

Asignaturas:
Electrónica Digital (GITI)

Fecha: 15/01/2018
Convocatoria: Enero 2018

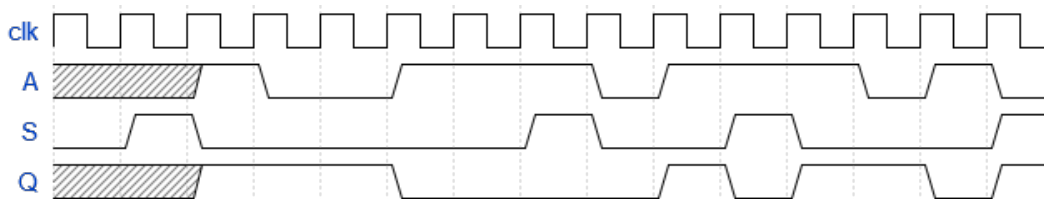
CUESTIÓN 1 (3 puntos)

- Dibujar el diagrama de estados reducido de un sistema que detecte si en los cuatro últimos ciclos de una secuencia síncrona de un bit, conectada a su entrada, hay al menos tres '1', ya sean seguidos o no. La detección, que debe hacerse mostrando un '1' a la salida, debe ser simultánea con el último bit de la secuencia, y hacerse de forma repetitiva y asumiendo que puede haber solape entre una secuencia y la siguiente.
- Diseñar, usando bloques como el diseñado en el apartado a) y los elementos adicionales necesarios, un circuito que diga si dos secuencias que circulan por dos señales diferentes cumplen simultáneamente, o con un ciclo de reloj de diferencia, la misma condición que en el caso a).

CUESTIÓN 2 (3 puntos)

Se quiere realizar un circuito que obtenga en su salida Q el complemento a dos de su entrada A. Tanto A como Q son señales de un bit, por lo que las secuencias se transmiten en serie, empezando por el bit menos significativo. La longitud de estas secuencias puede ser variable, por lo que el circuito cuenta con una entrada adicional S, que indica con un pulso de un ciclo de reloj de duración que el siguiente bit en llegar pertenece a una secuencia distinta (es decir, marca el final de la secuencia actual).

En el siguiente cronograma se puede ver el comportamiento esperado del circuito ante tres números/secuencias de ejemplo. Nótese que la salida Q representa el valor del complemento a dos de A en el mismo ciclo, y no en uno posterior.



Se pide:

- Diagrama de estados reducido del circuito secuencial síncrono
- Ecuaciones de estado y salida minimizadas
- Realización del circuito con biestables D, un decodificador, y el menor número de puertas lógicas adicionales.

Nota: se recuerda que el complemento a dos de un número se obtiene negando bit a bit dicho número y sumando 1 al resultado obtenido. La siguiente tabla muestra numéricamente los mismos ejemplos que la figura (los bits a la derecha en la tabla son los menos significativos, y por tanto, los primeros que aparecen en el cronograma).

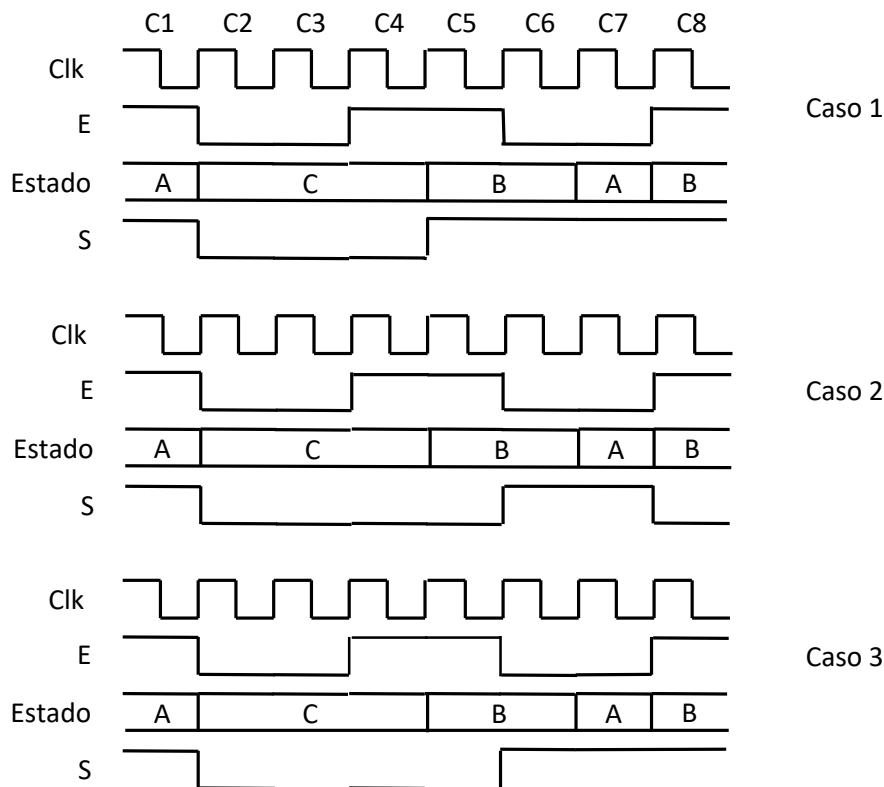
Entrada A	Salida Q
111001 (-7)	000111 (7)
110 (-2)	010 (2)
0101 (5)	1011 (-5)

CUESTIÓN 3 (4 puntos)

Las formas de onda de la figura representan tres circuitos síncronos con un bit de entrada E, salida S y el estado interno que se representa. Uno de los circuitos es de tipo Mealy, otro de tipo Moore, y otro corresponde a un funcionamiento incorrecto.

Se pide:

- Determinar cuál de los casos corresponde a cada circuito. Justificar la respuesta, indicando explícitamente en qué señal y en qué ciclo o ciclos (de C1 a C8) se puede distinguir cada caso.
- Para los circuitos correctos, indicar las razones por las que se puede saber que el circuito es secuencial, atendiendo exclusivamente a la entrada y la salida. Para la explicación, indicar cuál es el primer ciclo de reloj (C1 a C8) en el que se puede apreciar esto.
- Dibujar el diagrama de estados del circuito de tipo Mealy.
- Dibujar el diagrama de estados del circuito de tipo Moore.
- Ecuaciones de estado y salida minimizadas de la versión Moore.
- Dibujar la estructura interna de una PLA del tamaño adecuado para alojar la versión Mealy, indicando qué interconexiones están presentes y cuáles no.



Duración del examen: 1 hora y 40 minutos.

Publicación de notas (tentativo): 30 de enero

Revisión del examen (tentativo): 2 de febrero



INDUSTRIALES
ETSII | UPM

1º Apellido

2º Apellido

Nombre

Nº de Matrícula

Nº de Grupo

Asignatura

Especialidad

Año de carrera

Fecha

EJERCICIO

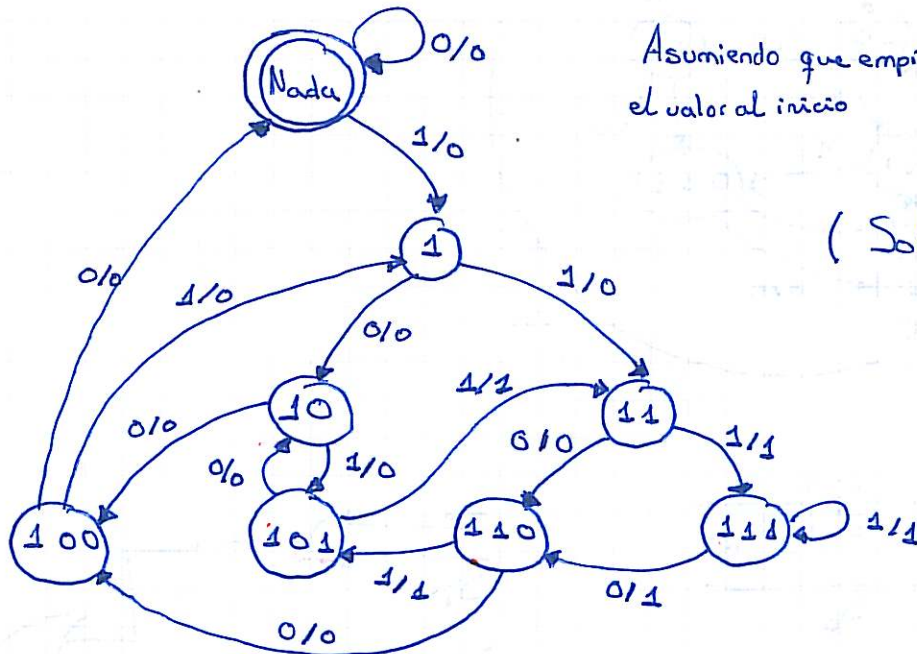
Hoja nº

CALIFICACIÓN

Resolución

CUESTION 1

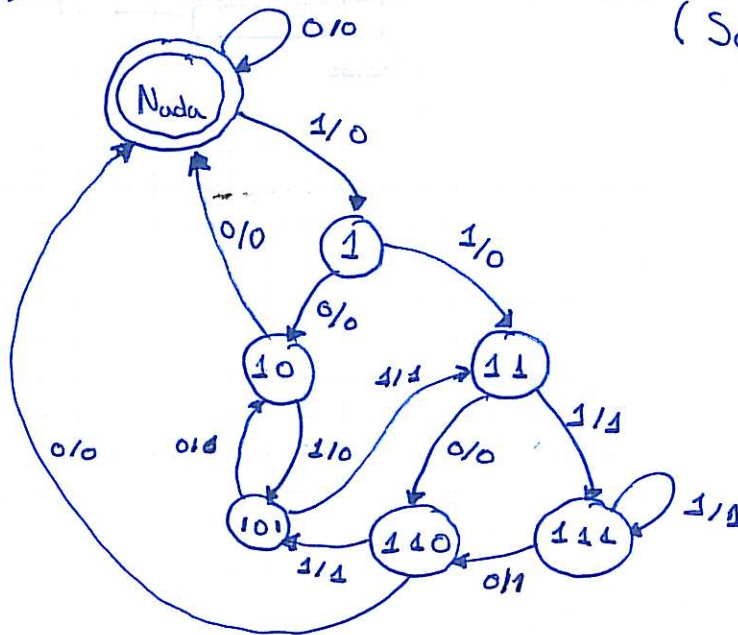
a)



Asumiendo que empieza en 0 o que no importa el valor al inicio

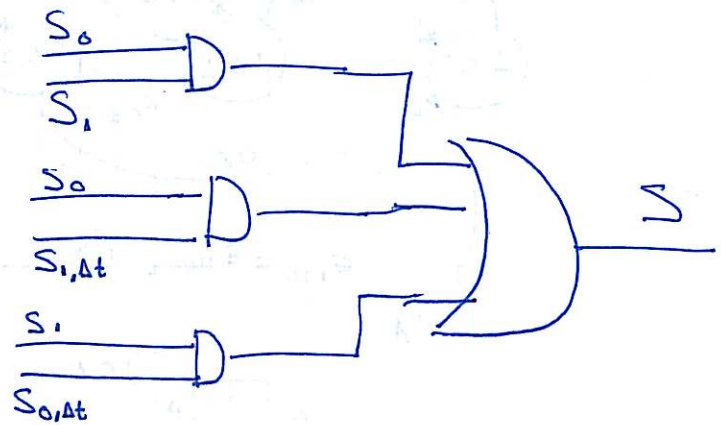
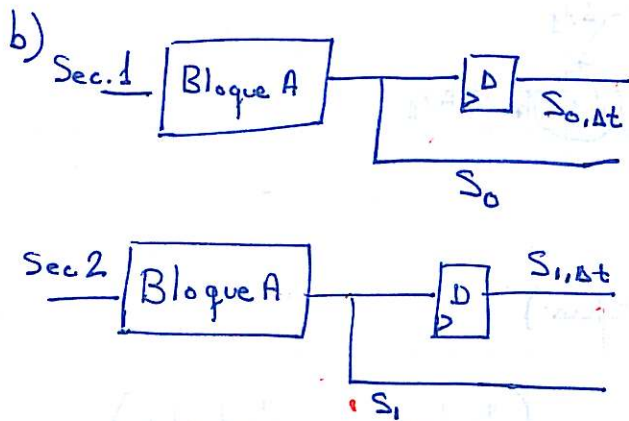
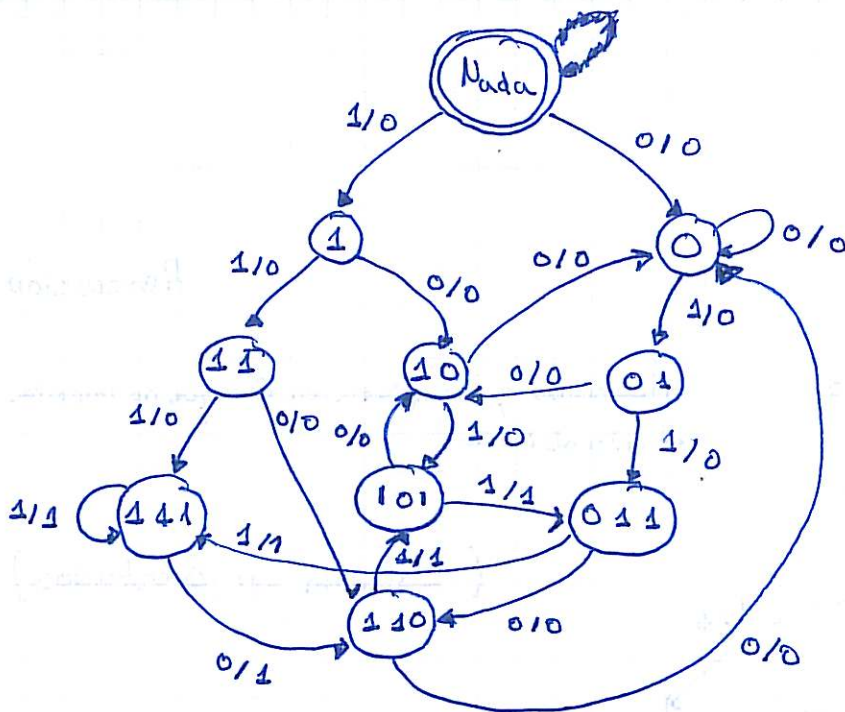
(Solución con 8 estados)

$E_{100} = E_{NADA}$ (Se puede simplificar)



(Solución con 7 estados)

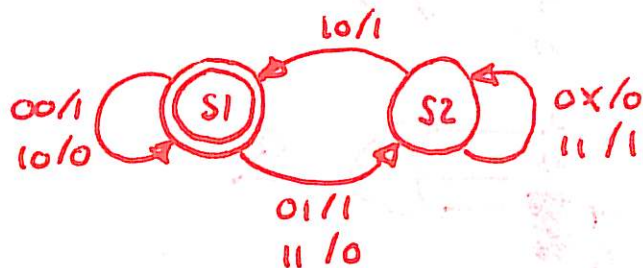
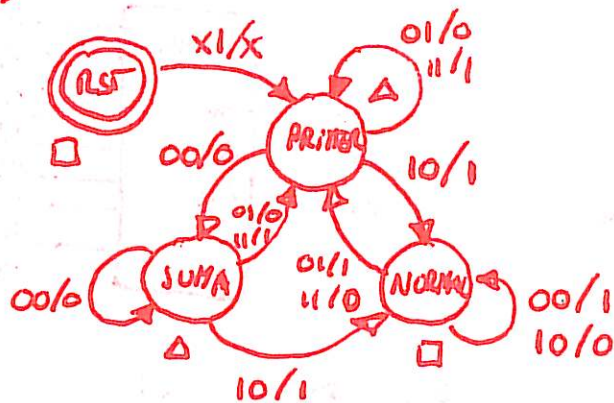
Solución considerando el estado inicial: El primer '1' debe venir tras 4 ciclos.



Cuestión 2

a)
(6 puntos)

AS/Q



S1: INVERSOR

S2: INVERSOR Y SUMADOR

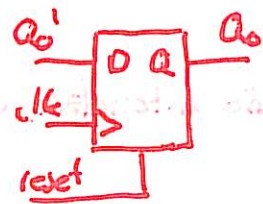
b)
(2 puntos)

Codificación de estados

	Q ₀
S1	0
S2	1

c)

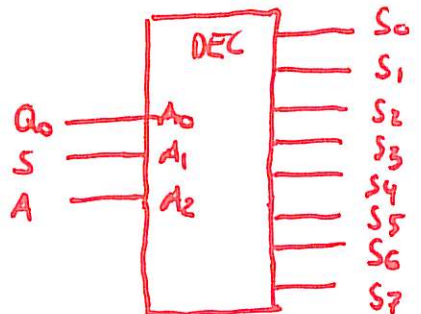
(2 puntos)



Q₀'

AS \ Q ₀	0	1
00	0	1
01	1	1
11	1	1
10	0	0

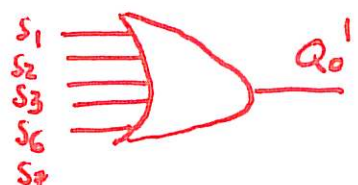
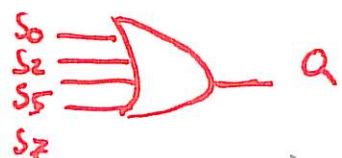
$$Q_0' = S + \bar{A} \cdot Q_0$$



Q

AS \ Q ₀	0	1
00	1	0
01	1	0
11	0	1
10	0	1

$$Q = \bar{A} \cdot \bar{Q}_0 + A \cdot Q_0$$



b) Codificación de estados

	Q_0
S1	1
S2	0

Q_0'

$AS \backslash Q_0$	0	1
00	0	1
01	0	0
11	0	0
10	1	0

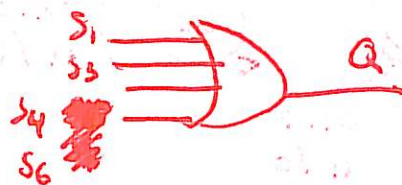
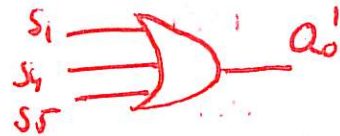
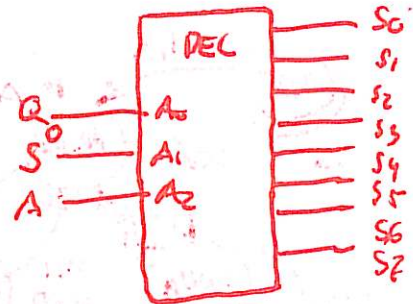
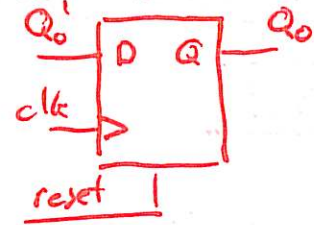
$$Q_0' = A \cdot \bar{S} + \bar{S} \cdot Q_0$$

Q

$AS \backslash Q_0$	0	1
00	0	1
01	0	1
11	1	0
10	1	0

$$Q = \bar{A} \cdot Q_0 + A \cdot \bar{Q}_0$$

c) $S_0 = 1, S_1 = 0, S_2 = 0, S_3 = 0, S_4 = 0, S_5 = 0, S_6 = 0$



[Diseño alternativo, considerando que S2 es el estado de reset]

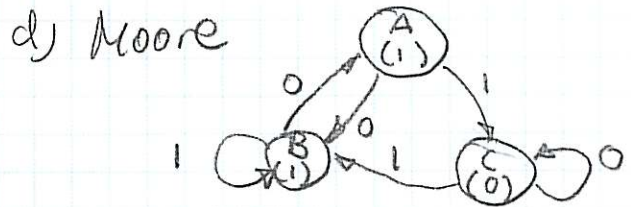
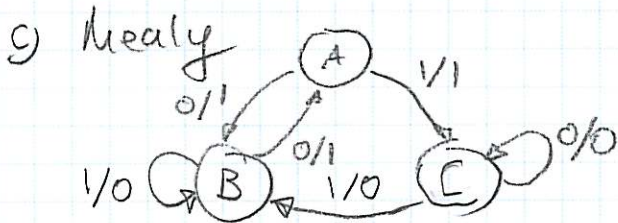
E^{sc} Digital. 15/01/2018 Cuestion 3

a) Caso 1: Estado A (C1, C7) $\rightarrow S=1$
 Estado B (C5, C6, C8) $\rightarrow S=1$
 Estado C (C2, C3, C4) $\rightarrow S=0$ } Moore

Caso 2: Estado B y $E=1 \rightarrow S=0$
 Estado B y $E=0 \rightarrow S=1$ } Mealy

Caso 3: En C5 \rightarrow estado B y $E=1 \rightarrow S=0$
 C8 \rightarrow estado B y $E=1 \rightarrow S=1$ } Incorrecto.

b) Para caso 1 y caso 2, si se compara C1 con C4, misma entrada da misma salida, por lo que depende del estado \rightarrow secuencial.



d)

Estado	Q_1, Q_0
A ($S=1$)	1 0
B ($S=1$)	1 1
C ($S=0$)	0 0

$S = Q_1$

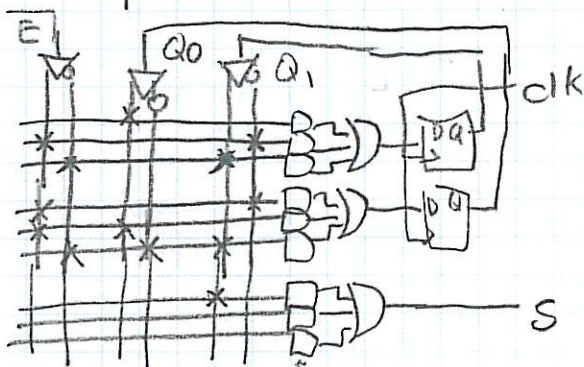
Q_1	Q_0	E	Q'_1	Q'_0
0	0	0	0	0
0	0	1	1	1
0	1	0	X	X
0	1	1	X	X
1	0	0	1	1
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

Q_1, Q_0	00	01	11	10
E				
Q'_1	0	1	1	1
Q'_0	0	1	0	0

$$Q'_1 = Q_0 + Q_1 \bar{E} + \bar{Q}_1 \bar{E}$$

$$Q'_0 = \bar{Q}_1 E + Q_0 E + Q_1 Q_0 \bar{E}$$

e) 3 productos, 1 entrada, 2 estados



← Este esquema es el de la versión Moore. La versión Mealy es similar.