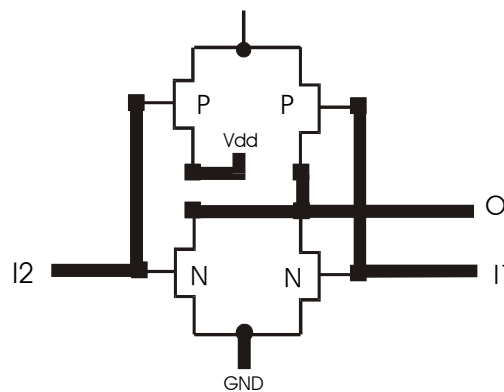
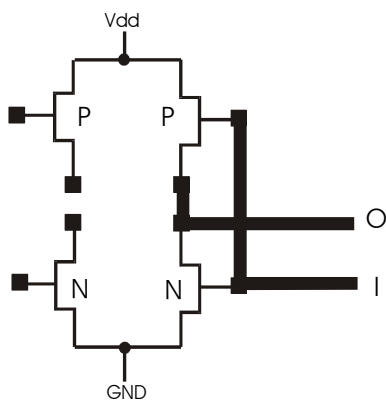




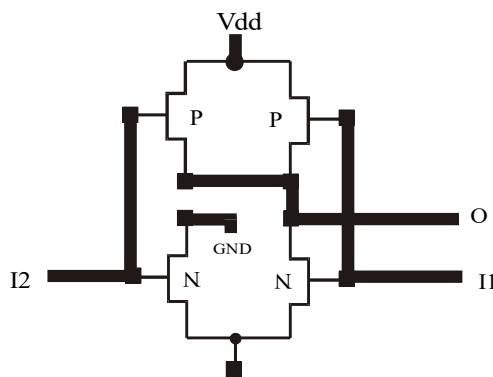
Los ejercicios indicados pueden verificarse con la app CMOS del DSLab UAM.

Disponible en: <https://play.google.com/store/apps/details?id=com.MOSCircuits>

1. Utilizando la tabla de la figura (donde P_i significa transistor P izquierdo, etc.) indique el estado de cada transistor (conducción-corte, etc.) y deduzca el nivel lógico de la salida O. ¿A qué puerta corresponde?



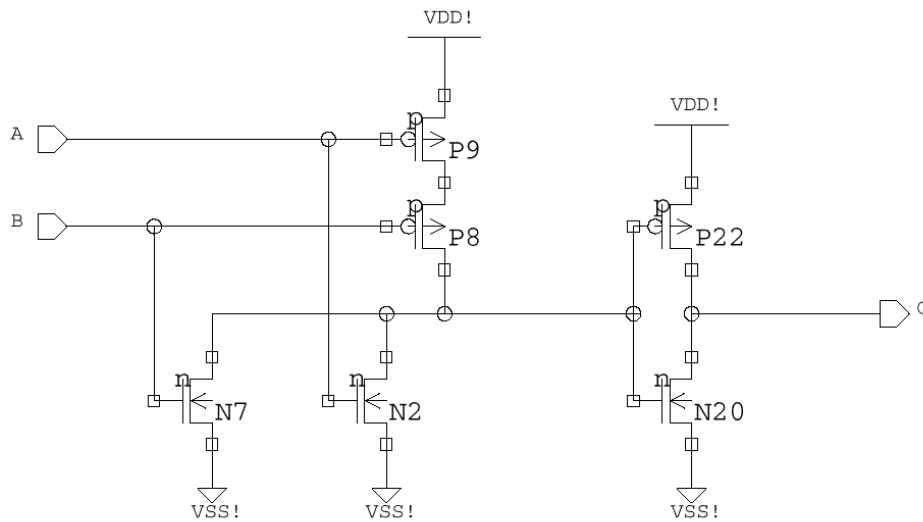
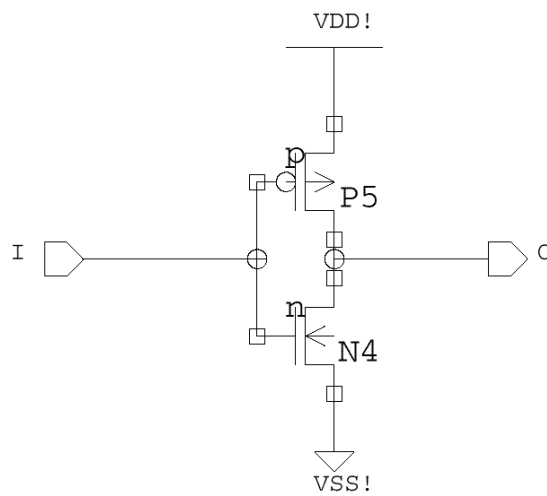
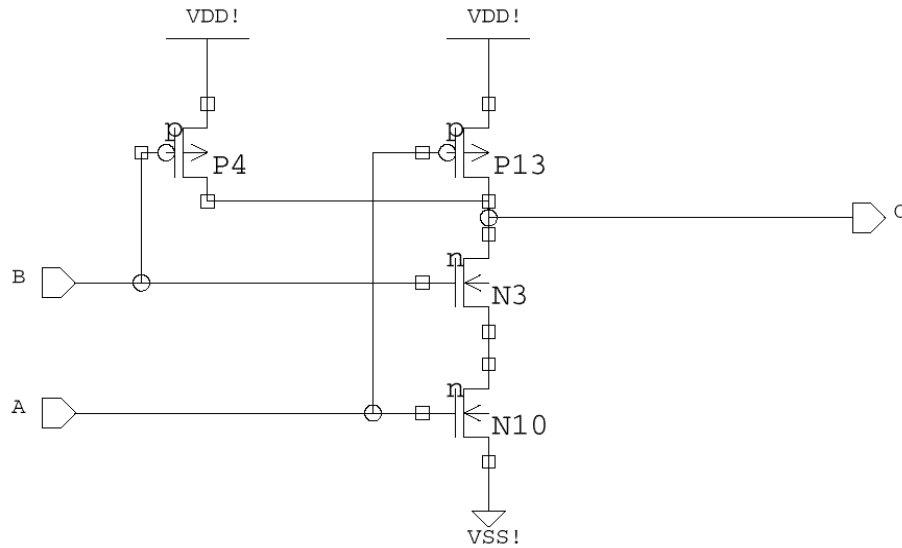
2. Repita el ejercicio anterior para los circuitos de la figura.



I2	I1	P_i	P_d	N_i	N_d	O
0	0					
0	1					
1	0					
1	1					

Ga4.cdr

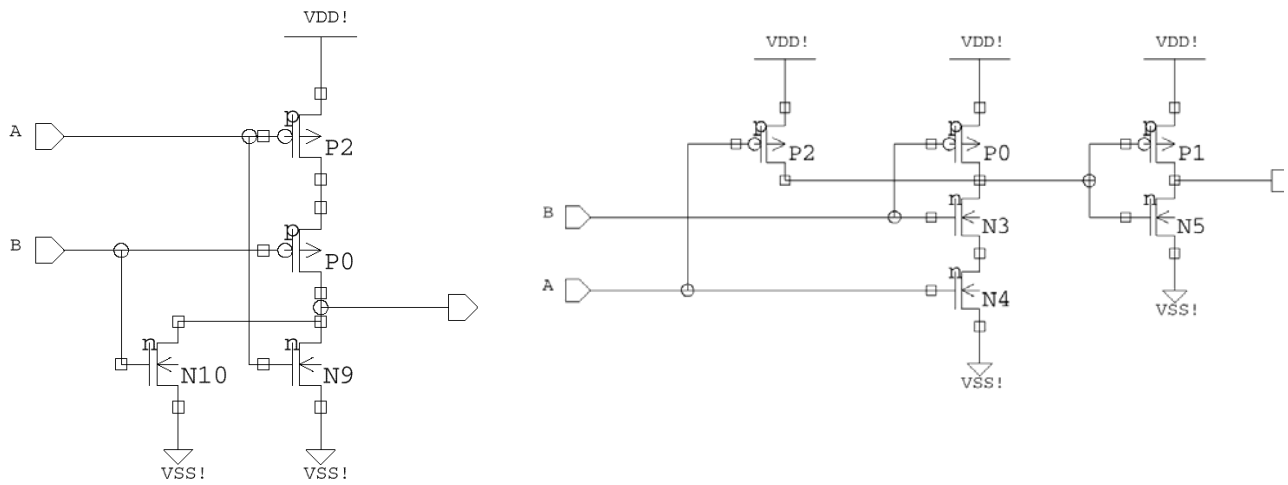
3. Indique a que puerta lógica corresponde cada una de las siguientes células estándares de ATMEL. ¿Qué función lógica realizan el par de transistores P22 y N20.



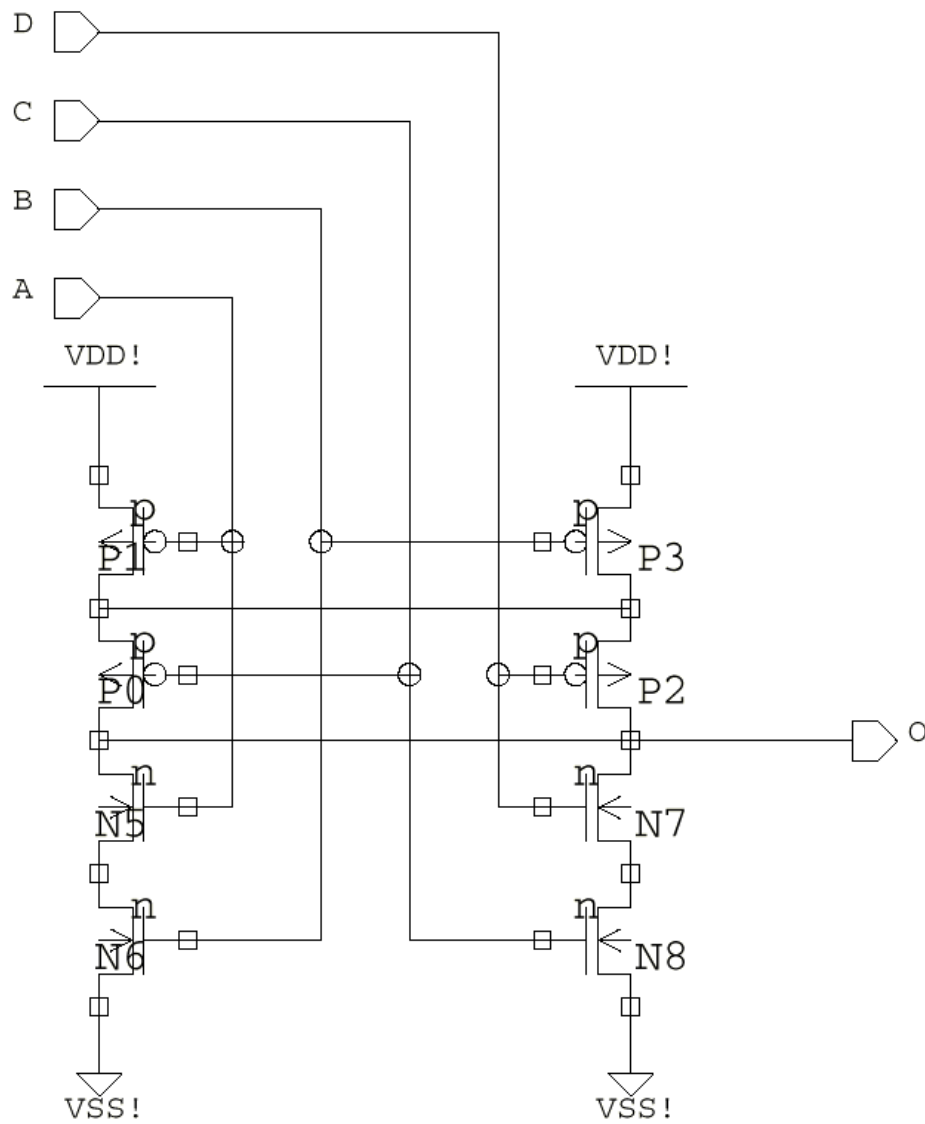
4. En los circuitos de la figura se muestran los esquemas internos de dos puertas lógicas en tecnología CMOS. Se pide:

- Deduzca la función lógica correspondiente a cada una.
- Redibuje cada célula para que realice la misma función, pero con 3 entradas.

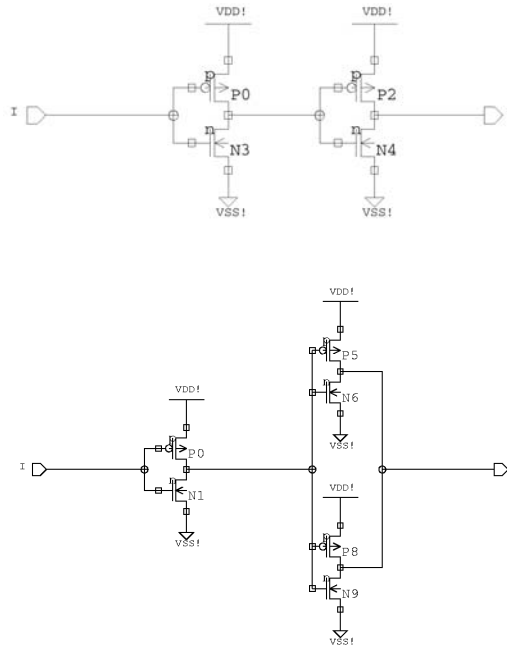




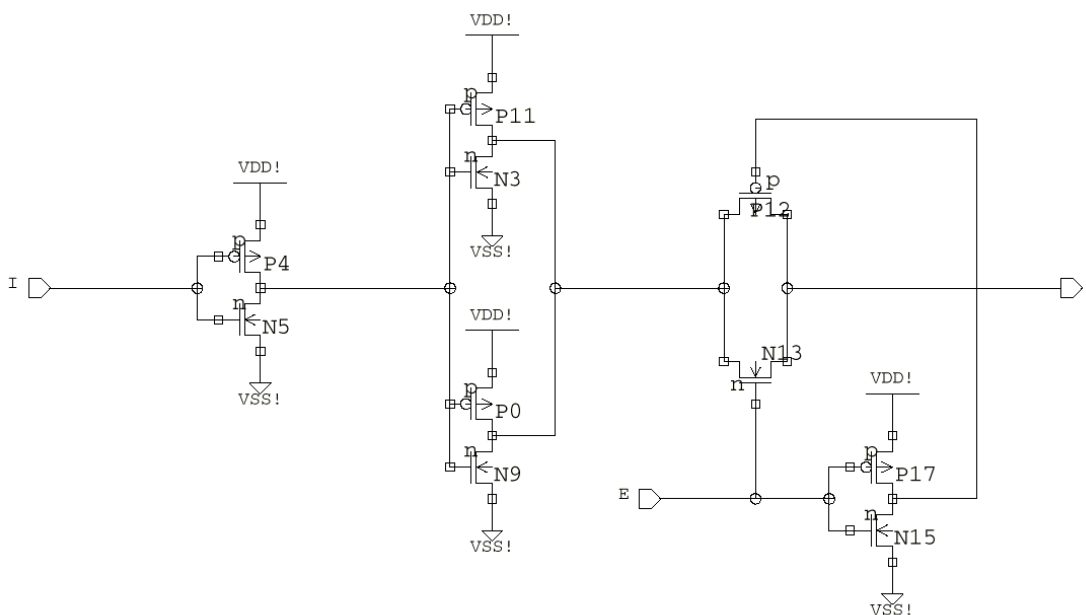
5. Deduzca la función lógica que realiza la siguiente célula. Rediseñarla a nivel de transistores a partir de puertas AND, OR e INV



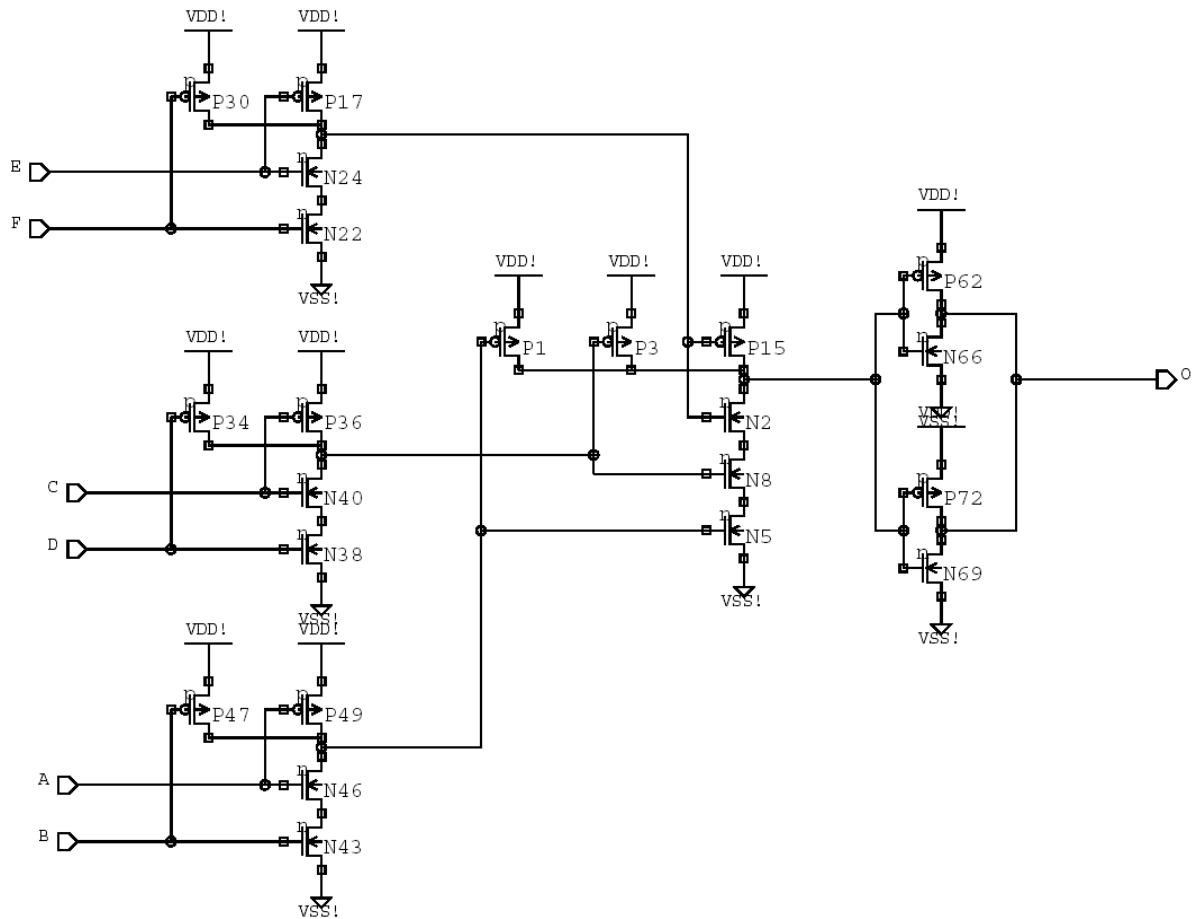
6. La siguiente figura muestra 2 *buffers*. Indique la función lógica que realizan y deduzca la razón por la cual se duplican los transistores de salida del segundo *buffer*.



7. En la siguiente figura se muestra un buffer con control de tercer estado (*tri-state*). Explique su funcionamiento.

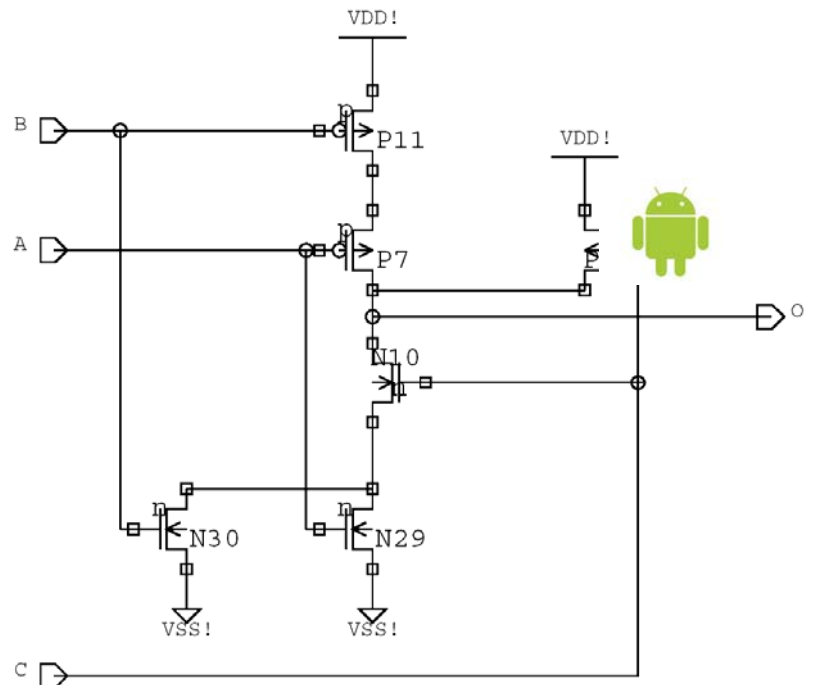


8. Hallar la función lógica de la siguiente *standard-cell*. Se sugiere separar el circuito en bloques.

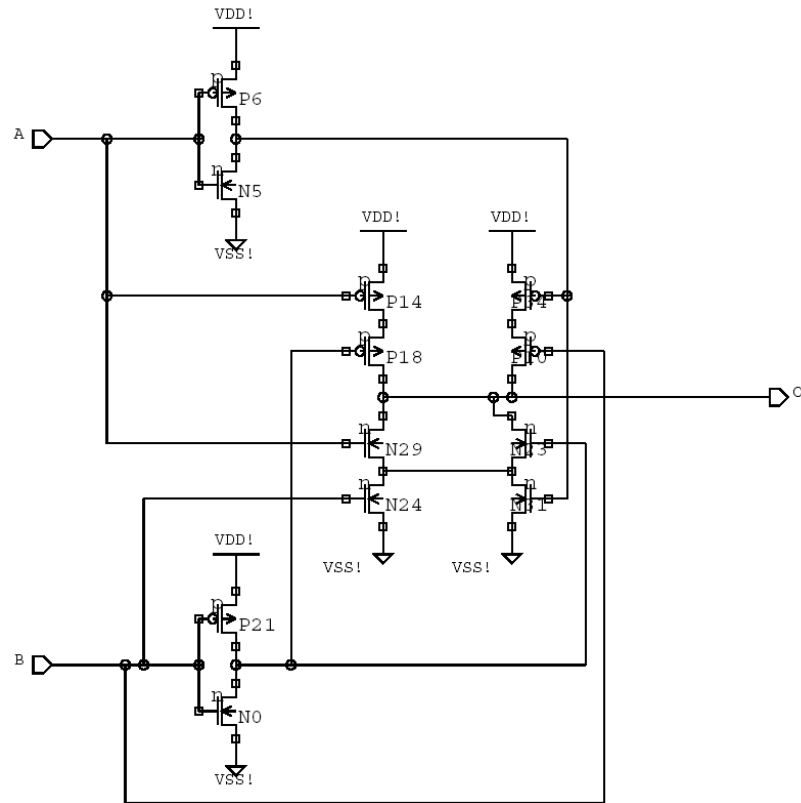


9. Complete la tabla de verdad correspondiente a la siguiente célula estándar:

C	B	A	Z
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

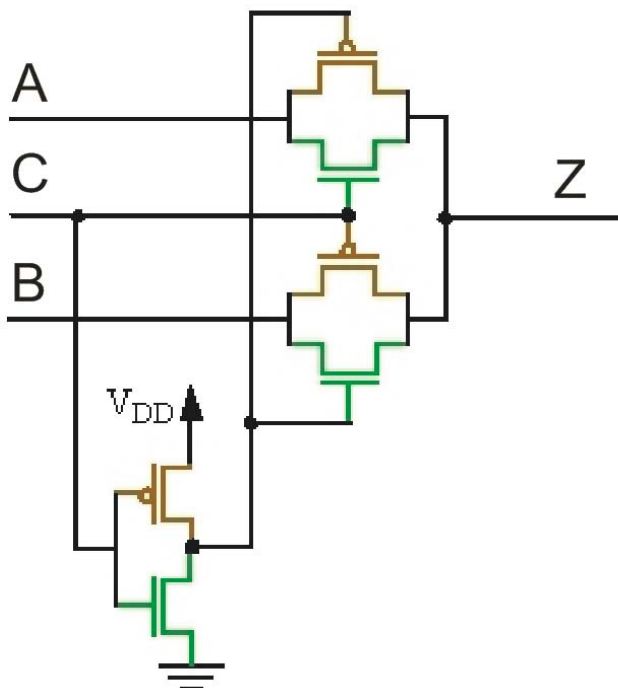


10. Hallar la función lógica de la siguiente célula estándar. Rediseñarla a nivel de transistores a partir de puertas AND, OR e INV



11. Diseñe una puerta NAND y NOR de 3 entradas.

12. Completar la tabla de verdad del siguiente circuito. Indicar a que conocido bloque combinacional corresponde.

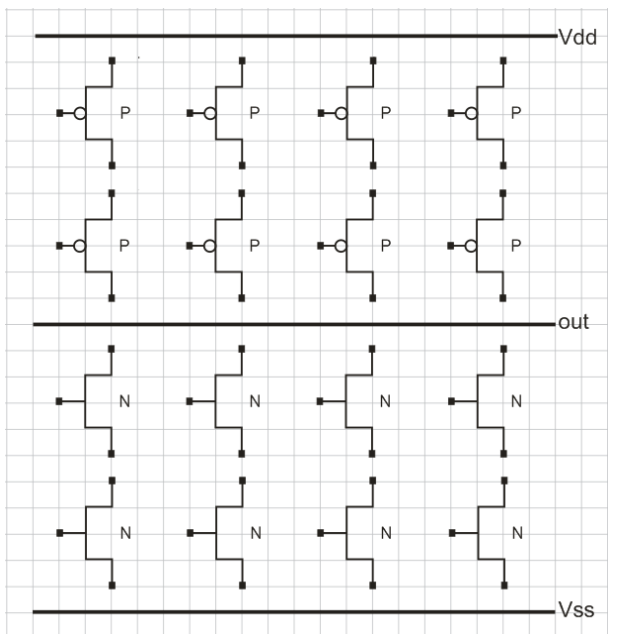
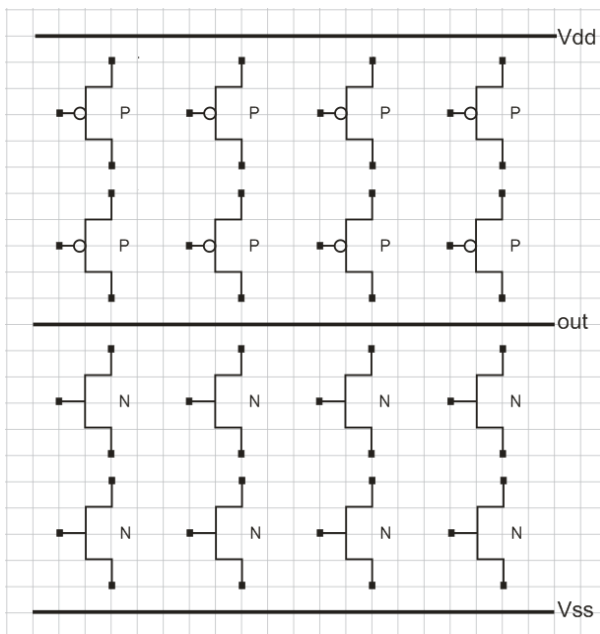
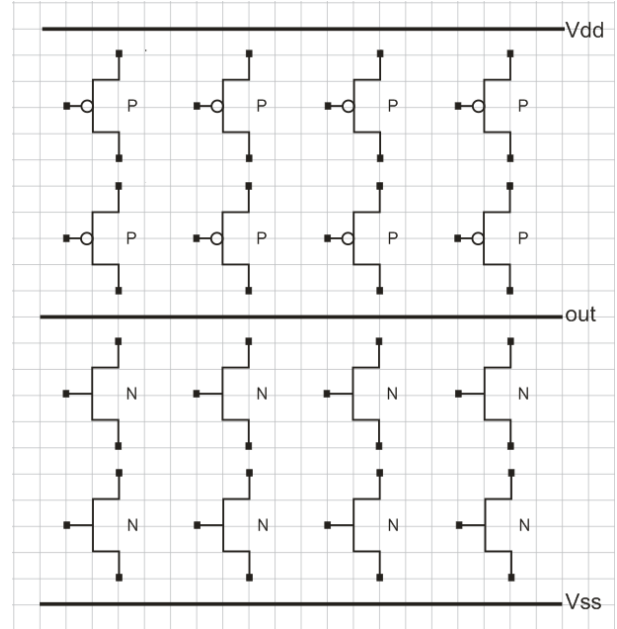
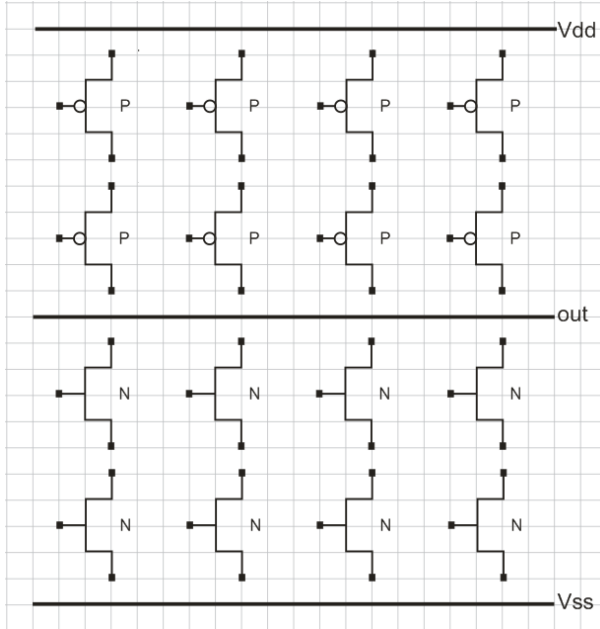


C	B	A	Z
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

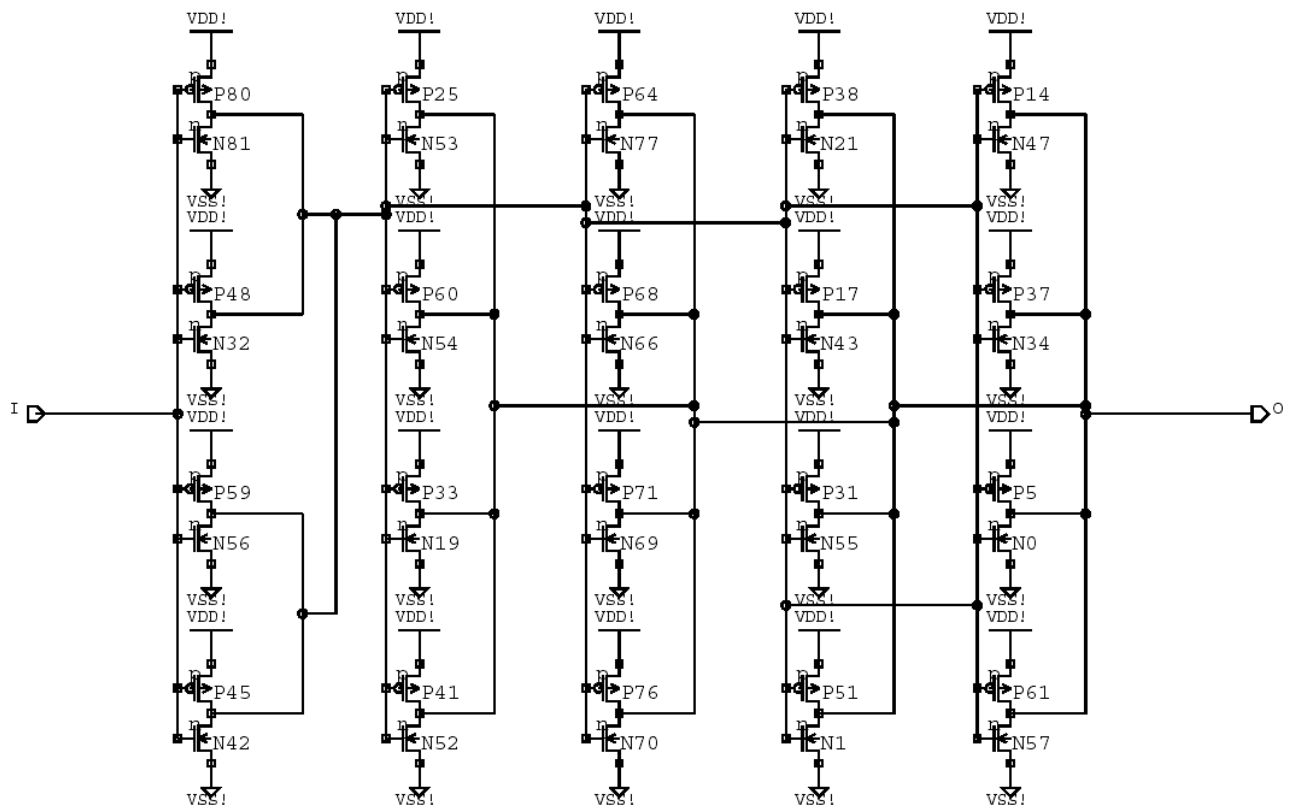


13. Conectando los cables necesarios mapear en cada array de transistores las siguientes funciones lógicas donde / significa negación.

- $F = \overline{(ABC+D)}$
- $F = \overline{[(A+B)(C+D)]}$
- $F = \overline{(AB+CD)}$
- $F = \overline{[(A+B+C).D]}$



14. Analice la siguiente célula *Standard Cell*. Indique su función lógica, para que puede servir y su *driving*.



15. Completar la tabla de verdad del siguiente circuito hallando las salidas K y Z en función de C, B, y A. Verificar que se trata de un *full-adder* donde K es el *carry out* y Z es el bit de suma.

