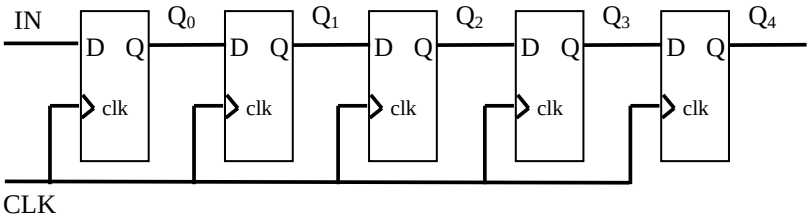
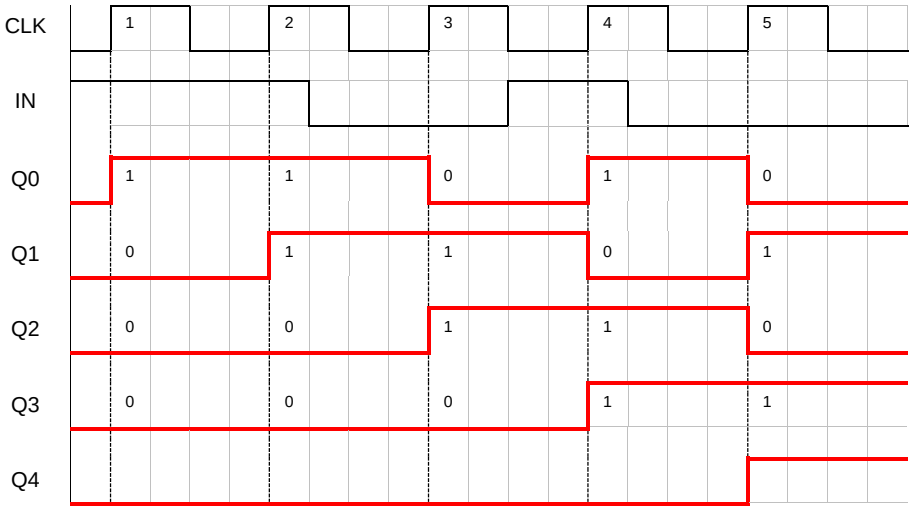
Soluciones de algunos Ejercicios de Sistemas Digitales Secuenciales

(Casi todos han sido resueltos en clase.)

Ejercicio 4:

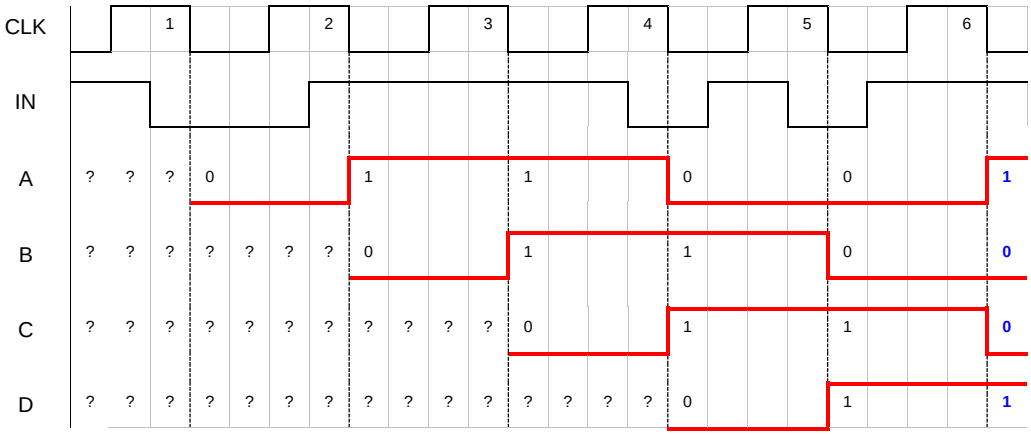
Obtener los estados del registro de 5 bits mostrado (inicialmente 0000), para las señales de reloj (CLK) y entrada de datos (IN) indicadas





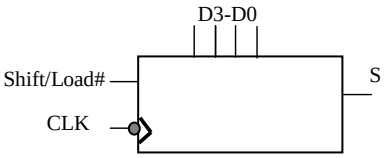
Ejercicio 5:

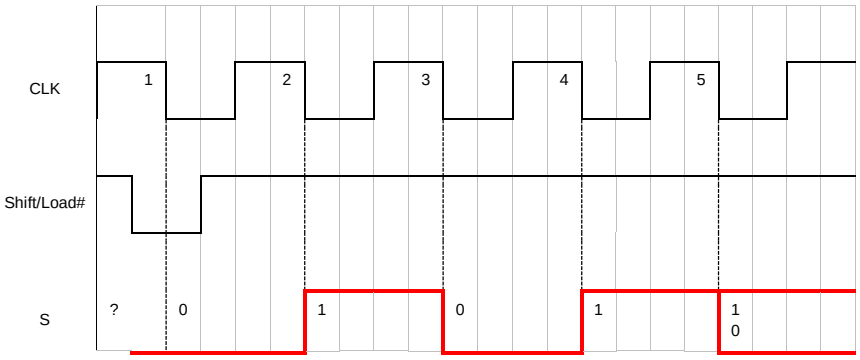
Hacer un diagrama de tiempos de un registro de desplazamiento con entrada serie y 4 salidas paralelas (A-B-C-D), suponiendo que está compuesto de biestables tipo D con entrada de reloj activa en flanco de bajada y que la entrada serie aplicada es la mostrada a continuación. ¿Qué dato se obtendría tras 6 ciclos de reloj?



Ejercicio 6:

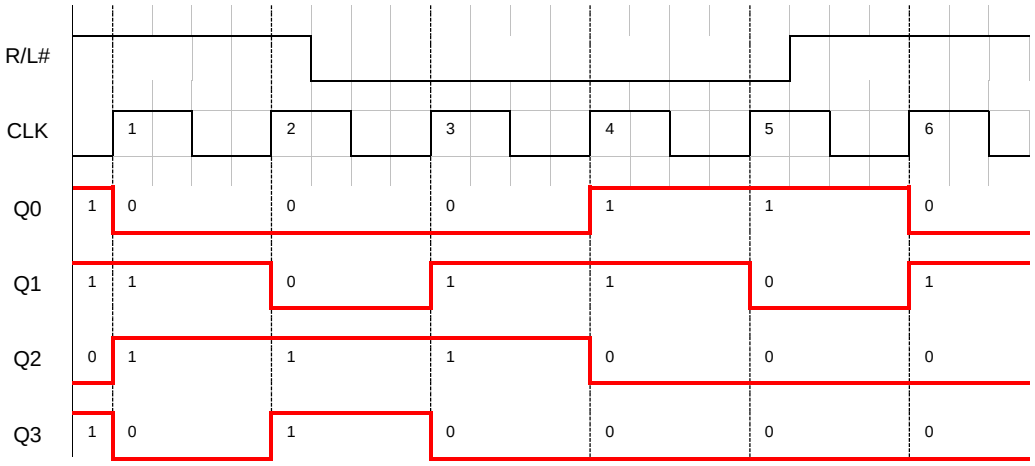
Determinar la forma de onda de la salida de datos de un registro entrada paralela / salida serie para las señales de entrada mostradas en la figura y suponiendo que las entradas D3-D0 tienen los datos 1010.





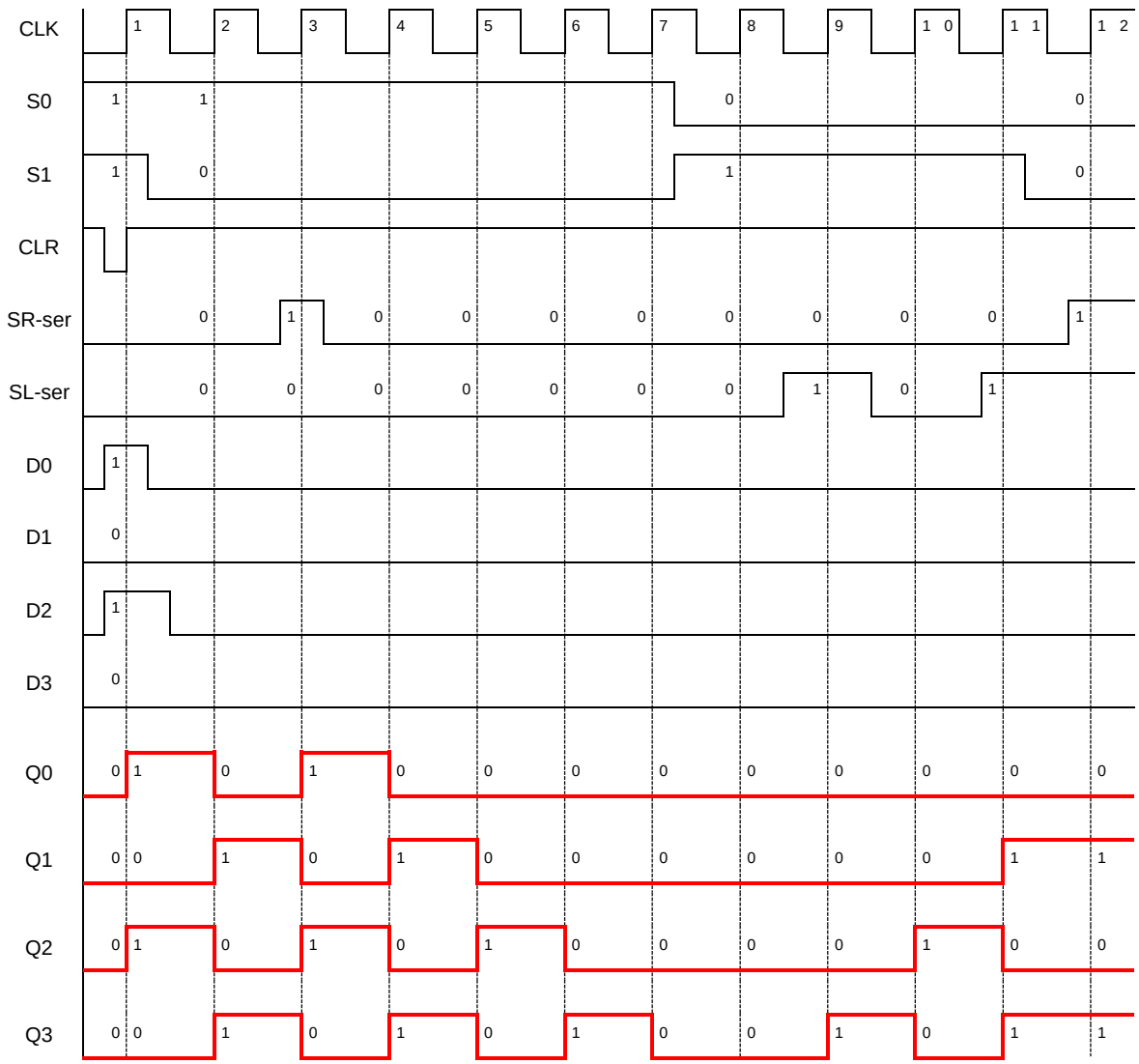
Ejercicio 7:

Determinar el estado en cada pulso de reloj de un registro de desplazamiento bidireccional de 4 bits en el que la entrada de datos está en nivel BAJO, si se aplica la señal de control RIGHT/LEFT# indicada. Suponer que el estado inicial del registro es Q0-Q3 = 1101 y que la sincronización es con el flanco de subida del reloj.



Ejercicio 8:

Determinar el estado en cada pulso de reloj de un registro de desplazamiento universal bidireccional de 4 bits en el que se aplican las señales de entrada y de control mostradas (sincronización con flanco de subida del reloj). Suponer que solo CLR es asíncrona y que las señales de control S0-S1 codifican el siguiente comportamiento: S0=S1=1 : Carga paralela (D0-D3); S0=S1=0 no hay cambios; S0=0 y S1=1 desplazamiento a la izquierda y S0=1 y S1=0 desplazamiento a la derecha. SR-ser y SL-ser son las entradas de datos serie derecha e izquierda respectivamente.



Ejercicio 10:

Diseñar un contador síncrono ascendente/descendente de 0 a 7 con biestables J-K.

Resuelto en el Floyd p 495