

ASIGNATURA	Modelado y Síntesis de Sistemas Electrónicos Digitales	FECHA	Mayo 2018
APELLIDOS, NOMBRE			

Cuestión 1

Para modelar el decodificador de la **figura a**, se utiliza el código de la **figura b**.

selec	Salida
00	0001
01	0010
10	0100
11	1000

(a)

```

library IEEE;
use IEEE.STD_LOGIC_1164.all;
use ieee.numeric_std.all;
entity c1 is
    port (
        selec : in std_logic_vector(1 downto 0);
        salida : out std_logic_vector (3 downto 0));
end;

architecture rtl of c1 is
begin

    process (selec)
    begin
        for j in 0 to 3 loop
            if j= to_integer(unsigned(selec)) then
                salida(j)<='1';
            end if;
        end loop; -- j
    end process;
end rtl;
    
```

(b)

1. Indique justificadamente cuál es el error o los errores cometidos.

(5 ptos)

2. Indique, sobre el código de la **figura b**, las modificaciones a realizar para que se modele correctamente el decodificador.

(5 ptos)

Cuestión 2

Dado el siguiente código VHDL

```

Library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity ej1 is
  port(a : in  std_logic_vector(7 downto 0);
        b : out std_logic_vector(3 downto 0));
end ej1;

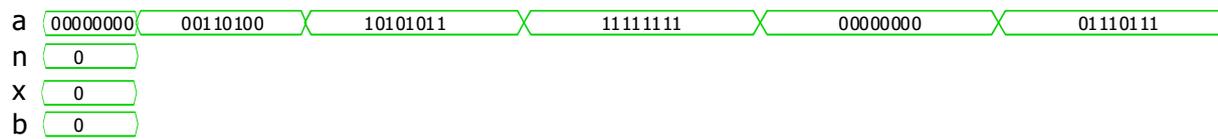
architecture behavioral of ej1 is
  signal x : std_logic_vector(3 downto 0) := x"0" ;
  signal n : unsigned(3 downto 0) := x"0" ;
begin

  process (a)
  begin
    n <= x"0";
    for i in a'range loop
      if a(i) = '1' then
        n <= n+1;
      end if;
    end loop;
    b <= x;
    x <= std_logic_vector(n);
  end process;
end behavioral;

```

Completar el siguiente cronograma

(10 ptos)



Indicar justificadamente, cuál es la función que realiza el código anterior teniendo en cuenta la evolución de la salida **b** en función de la entrada **a**.

(5 ptos)

Cuestión 3**(20 ptos)**

Codifique el modelo VHDL sintetizable de un sistema secuencial cuyo funcionamiento viene dado por la siguiente tabla de verdad.

CLR	S1	S0	CLK	Q _{t+1}			
				Q[3]	Q[2]	Q[1]	Q[0]
0	X	X	X	0	0	0	0
1	0	0	X	Q[3]	Q[2]	Q[1]	Q[0]
1	0	1	↑	SRI	Q[3]	Q[2]	Q[1]
1	1	0	↑	Q[2]	Q[1]	Q[0]	SLI
1	1	1	↑	D[3]	D[2]	D[1]	D[0]

```

entity cuestion_3 is
  port (
    clr : in std_logic;
    clk : in std_logic;
    s1  : in std_logic;
    s0  : in std_logic;
    sri : in std_logic;
    srl : in std_logic;
    d   : in std_logic_vector(3 downto 0);
    q   : out std_logic_vector(3 downto 0);
  end entity;

```

Cuestión 4**(20 ptos)**

Se debe crear el código VHDL que permita simular, completamente, la entidad de la cuestión anterior (*cuestión_3*). Los valores que se asignan a las entradas síncronas se realizarán coincidiendo con el flanco de bajada de *clk*.

Cuestión 5

En la Figura 4.1, se muestra el sistema de control de la velocidad de un motor. El circuito de control, que debe diseñarse en este ejercicio, recibe la información de tres pulsadores: **I**, **D** y **OFF**, **activos a nivel alto**, cuyo funcionamiento se describe más adelante. En función de la información recogida en estos pulsadores, se generará la consigna de velocidad del motor mediante dos señales V_1 y V_0 configuradas tal y como se muestra en la Tabla 4.1.

V_1	V_0	Estado del motor
0	0	Parado
0	1	Velocidad intermedia
1	0	Velocidad nominal
1	1	NO se utiliza

Tabla 4.1. Consigna de velocidad.

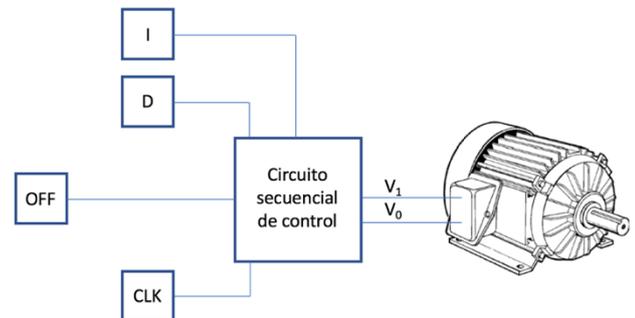


Figura 4.1.

Los requisitos que debe garantizar el circuito de control son:

- La evolución del sistema está gobernada por la señal de reloj, **CLK**, en todos los casos en los que no se indique explícitamente lo contrario.
 - Inicialmente, el motor estará parado y el circuito de control quedará preparado para comenzar a recibir las órdenes generadas por los botones. La activación de la señal **OFF** llevará el sistema, inmediatamente, a la misma situación de parada.
 - En caso de activarse los pulsadores **I** y **D** simultáneamente, la activación del botón **D** es prioritaria.
 - Con el motor parado, la primera pulsación del botón **I** provocará que el motor gire a su velocidad intermedia.
 - Si el motor está girando a velocidad intermedia, una nueva pulsación del botón **I** llevará al motor a girar a su velocidad nominal. El diseño del sistema debe impedir que una pulsación prolongada del botón **I** lleve el motor desde la situación de parado hasta su velocidad nominal directamente. Para alcanzar la velocidad nominal estando el motor parado es necesario garantizar que el botón **I** se haya presionado, soltado y vuelto a presionar.
 - La activación del botón **I**, una vez alcanzada la velocidad nominal, no producirá ningún efecto en el sistema.
 - La pulsación del botón **D** provocará la parada del motor. Si el motor está girando a su velocidad nominal, la parada se hará en dos pasos, haciendo que el motor gire a velocidad intermedia durante un ciclo de la señal **CLK** para pararse en el ciclo siguiente. Durante el tiempo que dura el proceso de parada, se ignorará la información de los botones **I** y **D**.
1. Realice el grafo de estados del sistema, diseñado como máquina de estados tipo **Moore**, utilizando el menor número de estados posibles. Indique la nomenclatura (leyenda) utilizada en el grafo .
(15 pts)

2. Crear el código VHDL, sintetizable, que modele el sistema anterior.

(20 ptos)

```
entity control_motor is
port (
  CLK : in std_logic;
  OFF : in std_logic;
  I    : in std_logic;
  D    : in std_logic;
  V1   : out std_logic;
  V2   : out std_logic);
end control_motor;
```

