
 UNIVERSIDAD DE ALCALÁ ESCUELA POLITÉCNICA SUPERIOR DEPARTAMENTO DE ELECTRÓNICA	 GRADO EN INGENIERÍA ELECTRÓNICA Y AUTOMÁTICA INDUSTRIAL	ASIGNATURA	SISTEMAS ELECTRÓNICOS DIGITALES	CURSO	2014-2015
		APELLIDOS, NOMBRE	SOLUCIÓN	DNI/GRUPO	

ENTREGABLE TEMA 4

Memorias SDRAM, DUAL-PORT

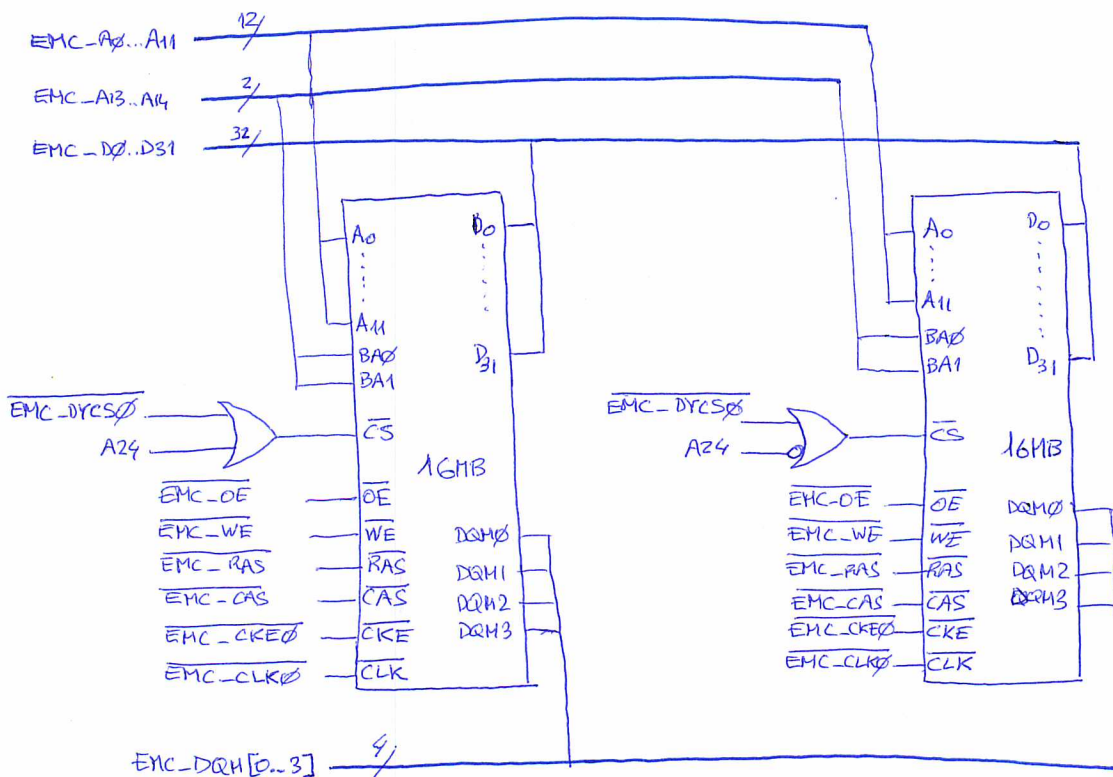
a) A partir del esquema del sistema de memoria de la tarjeta MYD-LPC1788 (ver hoja final):

1. Indique la capacidad y organización de la memoria SDRAM, así como el rango de direccionamiento dentro del mapa.

$K4S561632D \rightarrow 4M \times 16bit \times 4 \text{ bancos} \rightarrow 256MB \rightarrow 32 \text{ Mbytes}$

$EMC_DYCS\emptyset \rightarrow \emptyset \times A000.0000 - \emptyset \times A1FF.FFFF$

2. Proponga la solución para sustituir la SDRAM de 16 bits a partir del chip MT48LC4M32B2. Dibuje el nuevo diagrama de interconexión con el EMC del LPC1788 de forma simplificada (utilice buses para direcciones y datos) ignorando todas las señales de alimentación.



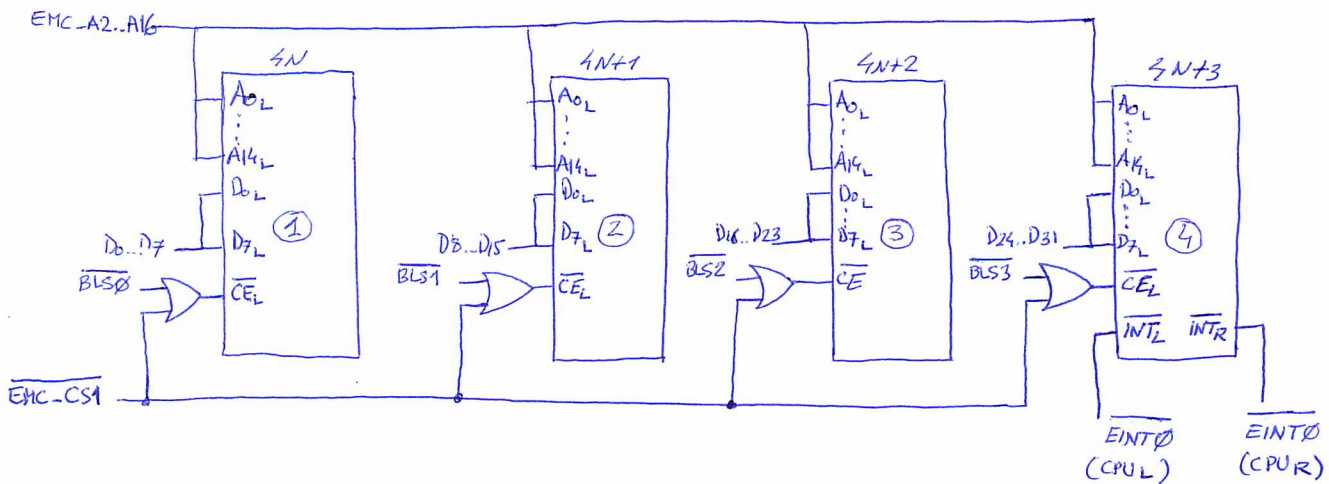
CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

Cartagena99

- b) Se desea añadir 128Kbytes de memoria Dual-Port a partir del chip CY70xxAV con objeto de poder compartir esta memoria con un segundo LPC1788 en modo 32bits. Dibuje de forma simplificada el diagrama de interconexión de la memoria Dual-Port (lado L) resultante con el EMC del LPC1788 base de la tarjeta. Considere que la arbitración se realiza por interrupción utilizando el lado L la última dirección de memoria impar. Explique brevemente su funcionamiento a partir de la solución adoptada.

CY7C007 → 32Kx8 (4 chips)



DIR. arbitración CPU_L $\begin{cases} 0x9001.FFFF & (\text{última chip } 4) \\ 0x9001.FFFB & (\text{penúltima chip } 4) \end{cases}$

CPU_L escribe en 0x9001.FFFF → $\overline{EINT0} = 0$ (CPU_R) → Activa int. externa

CPU_R lee en 0x9001.FFFF → $\overline{EINT0} = 1$ (CPU_R) → Desactiva " "

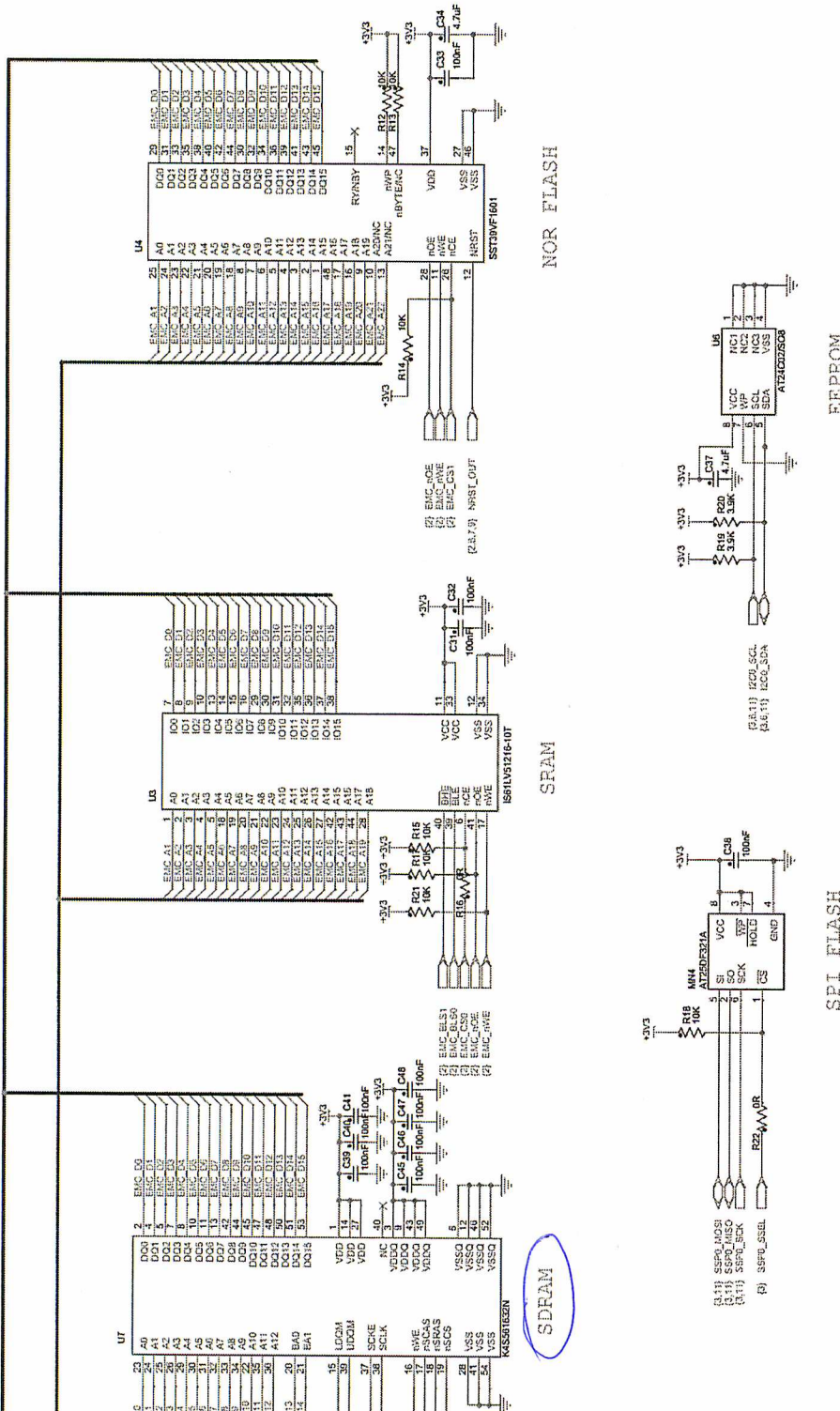
CPU_R escribe en 0x9001.FFFB → $\overline{EINT0} = 0$ (CPU_L) → Activa int. externa

CPU_L lee en 0x9001.FFFB → $\overline{EINT0} = 1$ (CPU_L) → Desact. " "

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70





SDR SDRAM

MT48LC4M32B2 – 1 Meg x 32 x 4 Banks

Features

- PC100-compliant
- Fully synchronous; all signals registered on positive edge of system clock
- Internal pipelined operation; column address can be changed every clock cycle
- Internal banks for hiding row access/precharge
- Programmable burst lengths: 1, 2, 4, 8, or full page
- Auto precharge, includes concurrent auto precharge and auto refresh modes
- Self refresh mode (not available on AT devices)
- Auto refresh
 - 64ms, 4096-cycle refresh (commercial and industrial)
 - 16ms, 4096-cycle refresh (automotive)
- LVTTTL-compatible inputs and outputs
- Single 3.3V ±0.3V power supply
- Supports CAS latency (CL) of 1, 2, and 3

Options

- Configuration
 - 4 Meg x 32 (1 Meg x 32 x 4 banks)
- Package – OCPL¹
 - 86-pin TSOP II (400 mil)
 - 86-pin TSOP II (400 mil) Pb-free
 - 90-ball VFBGA (8mm x 13mm)
 - 90-ball VFBGA (8mm x 13mm) Pb-free
- Timing (cycle time)
 - 6ns (166 MHz)
 - 6ns (166 MHz)
 - 7ns (143 MHz)
- Revision
- Operating temperature range
 - Commercial (0°C to +70°C)
 - Industrial (-40°C to +85°C)
 - Automotive (-40°C to +105°C)

Marking

- 4M32B2
- TG
- P
- F5
- B5
- 6A²
- 6³
- 7³
- :G/:L
- None
- IT
- AT⁴

- Notes:
1. Off-center parting line.
 2. Available only on Revision L.
 3. Available only on Revision G.
 4. Contact Micron for availability.

Table 1: Key Timing Parameters

CL = CAS (READ) latency

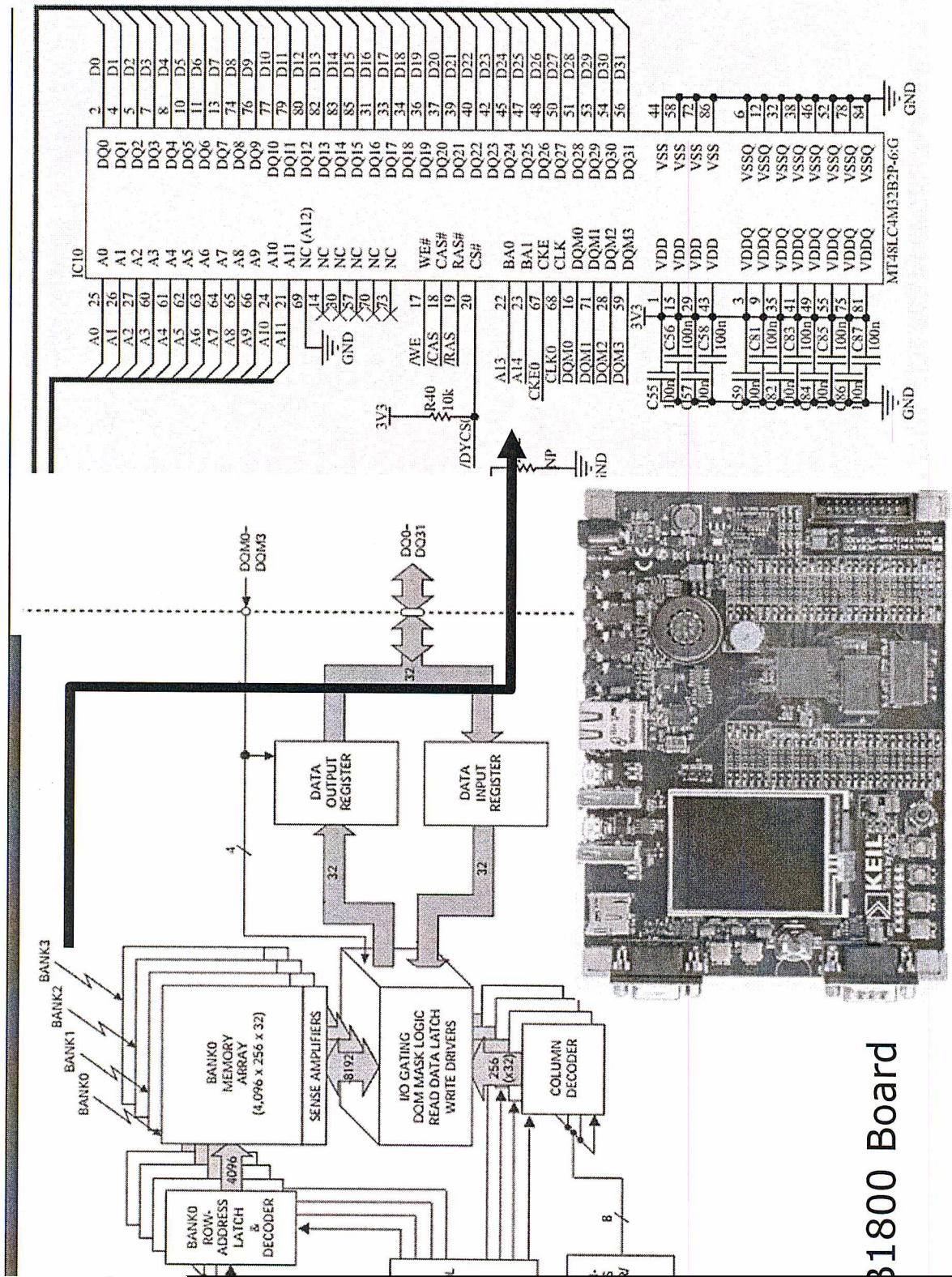
Speed Grade	Clock Frequency (MHz)	Target ^t RCD- ^t RP-CL	^t RCD (ns)	^t RP (ns)	CL (ns)
-6A	167	3-3-3	18	18	18
-6	167	3-3-3	18	18	18
-7	143	3-3-3	20	20	21



CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

4.3. EMC: SDRAM connection example

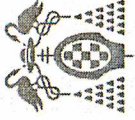


31800 Board

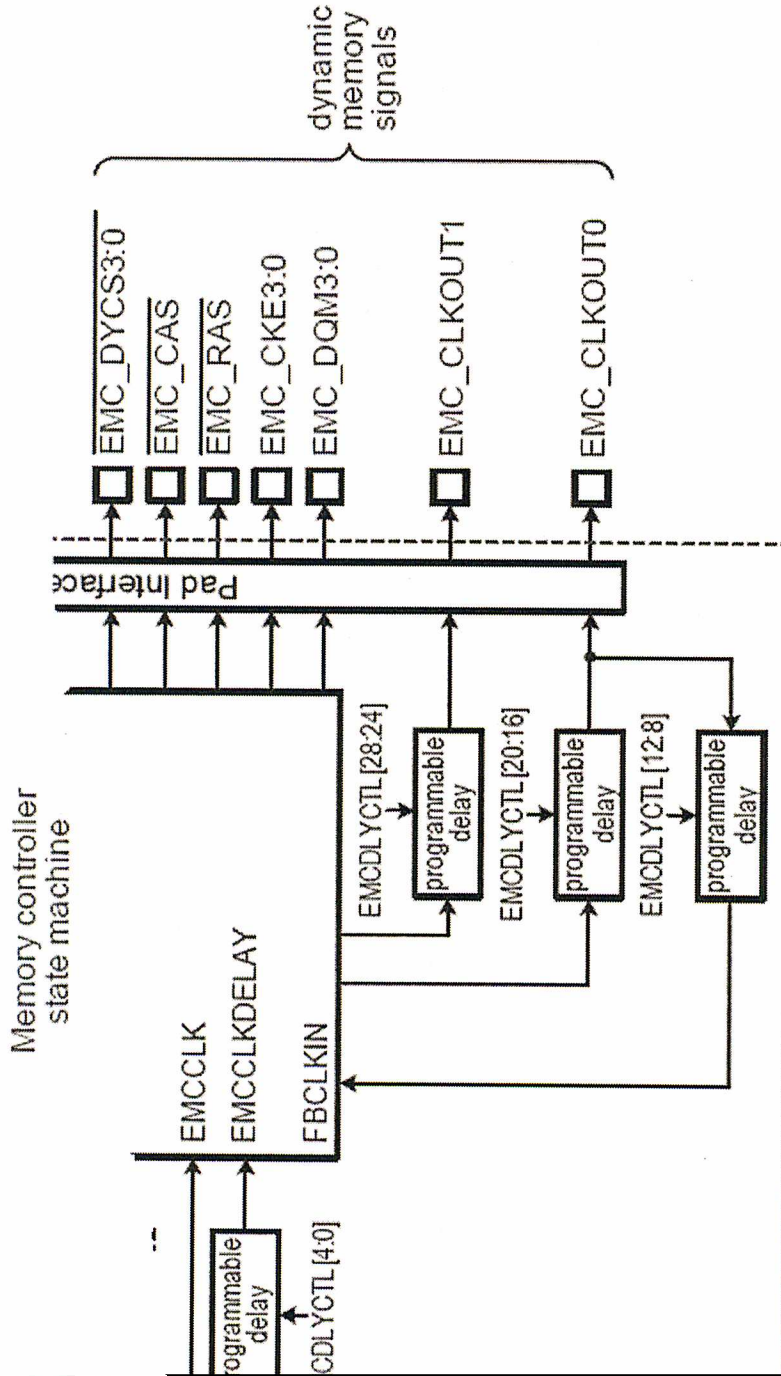
CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
 LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
 CALL OR WHATSAPP:689 45 44 70

www.cartagena99.com no se hace responsable de la información contenida en el presente documento en virtud al Artículo 17.1 de la Ley de Servicios de la Sociedad de la Información y de Comercio Electrónico, de 11 de julio de 2002. Si la información contenida en el documento es ilícita o lesiona bienes o derechos de un tercero háganoslo saber y será retirada.



4.3. LPC178x: SDRAM signals of EMC



select pin	Address range	Memory type	Size of range
<u>DYCS0</u>	0xA000 0000 - 0xAFFFF FFFF	Dynamic	256 MB
<u>DYCS1</u>	0xB000 0000 - 0xBFFFF FFFF	Dynamic	256 MB
<u>DYCS2</u>	0xC000 0000 - 0xCFFFF FFFF	Dynamic	256 MB
<u>DYCS3</u>	0xD000 0000 - 0xDFFFF FFFF	Dynamic	256 MB

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
 LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
 CALL OR WHATSAPP:689 45 44 70

