

**Asignatura:**  
Electrónica digital

**Fecha:** 16/01/2015  
**Convocatoria:** Julio

**CUESTIÓN 1. (2,5 puntos)**

Dibujar un diagrama de estado para cada uno de los circuitos que se indican a continuación. En todos los casos se trata de circuitos detectores de secuencias, con una entrada y una salida. La entrada es síncrona con el reloj.

- a) La salida se activa al detectar tres o más '1' seguidos (con repetición). Versión Mealy.
- b) La salida se activa desde exactamente el instante en que aparecen el tercer '1' en la entrada, sea cual sea ese instante, y no se quita hasta que se reinicia el detector.
- c) Se detectan tres secuencias de al menos un ciclo a '1', separados por uno o más ciclos a '0'. La salida debe valer 1 desde el instante en que la señal de entrada se ponga a 1 por tercera vez, y no se desactiva hasta que se reinicie el detector.
- d) Igual que al caso anterior, pero en el que las tres secuencias de '1' duren, al menos, dos ciclos de reloj. La salida se activará desde el instante en que se sepa que se cumple la condición pedida y, al igual que antes, no se desactiva hasta que se reinicie el detector.

**CUESTIÓN 2. (2,5 puntos)**

Dibujar el diagrama de estados de un circuito secuencial con las siguientes características: el circuito posee tres entradas, A, B y FIN. Por cada una de las señales A y B se recibe en serie un número binario, recibándose primero los bits más significativos y, sucesivamente en cada ciclo de reloj, los bits de A y B en orden decreciente de importancia. El final de las secuencias de números se indica con un pulso de un ciclo de reloj de duración en la señal FIN, que se activa coincidiendo con la llegada de los bits menos significativos. El circuito debe activar una salida durante un ciclo de reloj, coincidente con FIN, sólo si el número completo recibido por A es mayor que el recibido por B, valiendo '0' en cualquier otro caso o instante. El circuito debe quedar listo para comparaciones posteriores.

Posteriormente, modificar el diagrama si el circuito, en lugar de tener dos entradas, tuviera una sola entrada por la que se reciben consecutivamente y de forma alterna, el *i*-ésimo bit de A, seguido del *i*-ésimo bit de B, siguiendo el mismo orden decreciente, al igual que antes, de bits más significativos a menos significativos. La señal de FIN se considera válida si coincide con la llegada de un bit de B, que correspondería al último bit a comparar. Si FIN llegara en un ciclo impar (es decir, a la vez que un bit de A), no hacer caso de FIN hasta que se active correctamente.

(La cuestión 3 está por la otra cara)

**CUESTIÓN 3. (5 puntos)**

Una sierra industrial para cortar troncos en un aserradero y hacer tablonos, contiene un sistema de control que, en función de dos pulsadores de activación ( $P1$  y  $P2$ ) y dos sensores de fin de carrera de la cuchilla ( $FCS$  y  $FCI$ : Fin de Carrera Superior e Inferior, respectivamente), gobierna el desplazamiento y el giro de la sierra circular que realiza el corte. Mediante dos señales  $M1$  y  $M0$ , generadas por el control, se puede:

M1	M0	Acción motor
0	0	Parar el giro de la cuchilla y su descenso o elevación
0	1	Bajar la cuchilla, haciéndola girar para cortar la madera
1	0	Subir la cuchilla, girando despacio para que no se atasque la cuchilla

El funcionamiento del sistema de control ha de ser el siguiente:

- La cuchilla se encuentra normalmente en la posición superior.
- Cualquier acción del operario implica que se opriman los dos pulsadores simultáneamente, que están suficientemente separados como para que tenga que usar una mano en cada pulsador, evitando así que las meta en la zona de la sierra.
- Si se pulsan los dos botones, la cuchilla empieza a bajar y a girar. Por seguridad, es necesario mantener los dos botones pulsados para que la cuchilla siga bajando y girando, de lo contrario el movimiento se interrumpe hasta que no se vuelvan a pulsar  $P1$  y  $P2$ .
- Al llegar al  $FCI$ , la cuchilla se deberá quedar parada, mientras no se suelte alguno de los botones. Al soltar, la subida de la cuchilla se hace ignorando los pulsadores.
- Si los pulsadores están activados al llegar al  $FCS$ , no se inicia otro ciclo de corte mientras no se suelte alguno de los botones (o los dos).

**Nota:** Suponer que dos hechos fortuitos no se van a producir en el mismo ciclo de la señal de reloj. Las entradas son activas por nivel alto.

Se pide:

- Diseño del circuito secuencial síncrono (diagrama de estados minimizado, y diseño mediante biestables D, un decodificador y el mínimo de puertas OR necesarias).
- Diagrama de estados asíncrono, con los posibles conflictos de carreras resueltos.

**Duración total del examen: 2 horas**

**Publicación de notas de examen y PEC: 3 febrero (Aulaweb)**

**Revisión: 9 de febrero**