

# DIE Parcial 1 – Diciembre 2020 (4 puntos)

Apellido y nombres (en ese orden):

Últimos 3 dígitos DNI + letra:

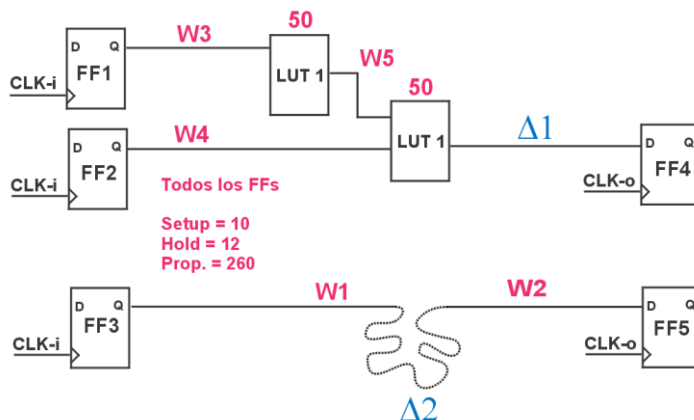
e-mail:

DIE/EPS/UAM (© [eduardo.boemo@uam.es](mailto:eduardo.boemo@uam.es))

P1 ( 1,4 p)				P2 ( 1 punto)	P3 (0,8 puntos)	P4 (0,8 puntos)
0,4	0,4	0,4	0,2			

**NOTA:** Para que el ejercicio puntúe, adjunte todos los cálculos auxiliares que le han llevado a la solución. No entregue hojas extras.

**Problema 1:** El circuito de la figura muestra un trozo crítico de un diseño mapeado en una FPGA. Los retardos de las LUTs valen 50 ps mientras que los FFs tienen: 260 ps de retardo de propagación, 10 ps de setup y 12 ps de hold. El circuito es manejado por un árbol de reloj que tiene un skew máximo de 315 ps.



Se pide calcular:

- Qué mínimo retardo  $\Delta 2$  adicional debe agregarse a la pista de retardo original  $W1+W2$  que va de la Q del FF3 a la D del FF5, de manera de asegurar que el circuito soporte el skew especificado considerando el peor caso (pesimista). Considere que cada pista tiene el retardo (en ps) que se indica en la Tabla 1.

W1	W2	W3	W4	W5
10	15	40	5	8

Tabla 1


- Presupueste el máximo valor que puede tener la pista  $\Delta 1$  para que el período mínimo de operación alcance 1220 ps para el peor caso de skew (pesimista). Considere que cada pista tiene el retardo (en ps) que se indica en la Tabla 1. Considere  $\Delta 2 = 55$  ps.
- Cuánto vale el período mínimo considerando el peor caso de skew (pesimista), si los retardos de las pistas son ahora los que se indican en la Tabla 2


W1	W2	W3	W4	W5	$\Delta 1$	$\Delta 2$
200	25	100	200	13	300	55

Tabla 2

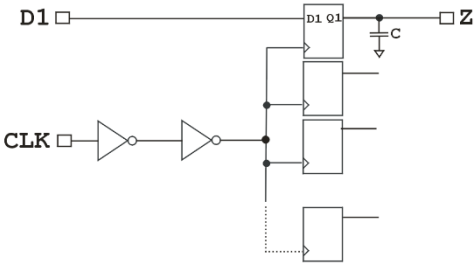
- Repita el punto b utilizando nuevamente la Tabla 1, pero siendo ahora optimista. Es decir, considerando que el skew le favorece.

**Problema 2:** El trozo de árbol de reloj de la figura maneja 11 FFs. Todos los FFs están inicialmente “seteados”; es decir con sus salidas Q a “1” lógico. En  $t=0$  ns la entrada **D1** pasa de 1 a 0 y en  $t=400$  ps la señal **CLK** pasa de 0 a 1. Tomando como origen  $t=0$ , calcule en que instante pasa la salida **Z** de 1 a 0. Observe que Q1 tiene una carga **C** = 0,005 pF y considere despreciable la capacidad de pista. Use la tabla de retardos adjunta.

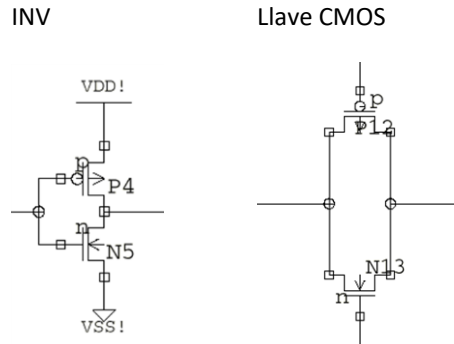
Dato	Unidad	INV
		
Dato	Unidad	A1→Z
tpd <sub>LH</sub>	ps	147
tpd <sub>HL</sub>	ps	63
Δtpd <sub>LH</sub>	ps/ff	1,13
Δtpd <sub>HL</sub>	ps/ff	6,57

Dato	Unidad	INV
		
Dato	Unidad	
Fanin A1	ff	2
Fanin A2	ff	–
Fanout	ff	29
Potencia	nW/MHz	6

Dato	Unidad		Dato	Unidad	CLK→Q
Fanin D	ff	3	tpd <sub>LH</sub>	ps	309
Fanin CLK	ff	3	tpd <sub>HL</sub>	ps	375
Fanout	ff	135	Δtpd <sub>LH</sub>	ps/ff	2,43
Potencia	nW/MHz	87	Δtpd <sub>HL</sub>	ps/ff	1,40
			setup	ps	111
			hold	ps	1



**Problema 3:** Usando una combinación de inversores y llaves CMOS construya un MUX 2-1. Dicho multiplexor tiene una entrada de control **Z**, 2 entradas de datos **B** e **A**, y una salida **S**. Cuando **Z**=0, ocurre **A** → **S** y cuando **Z**=1, ocurre **B** → **S**. Realice un dibujo preciso y cuidadoso del circuito a nivel transistor, indicando donde van **A**, **B**, **S** y **Z**.



**Problema 4:** Diseñe y dibuje cuidadosamente un árbol de reloj que maneje exactamente 107 FD utilizando como el componente INV como buffer de reloj. Su objetivo principal es minimizar el skew y el secundario reducir área. Es decir, una vez que consiga minimizar el skew (que no será exactamente cero pues 107 es un número primo), debe minimizar la cantidad de INV utilizados. Use las células del problema 2. Considere nula las capacidades de pista. Los FDs deben disparar cuando a la entrada de reloj haya un flanco de subida.