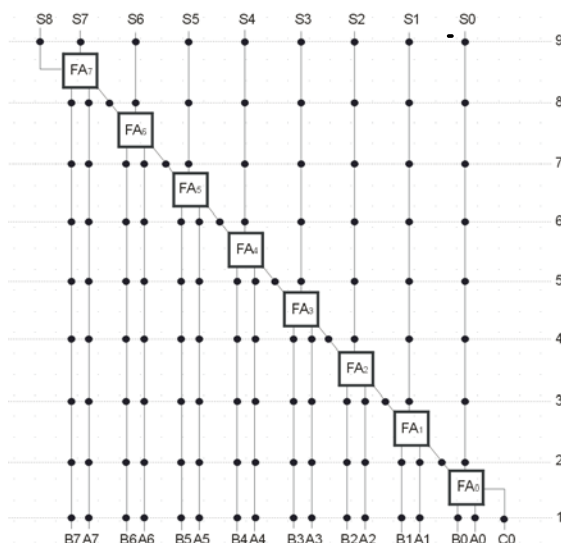


Tema: *Pipelining*

Objetivos: Comprensión de principios básicos de diseño digital de alta velocidad

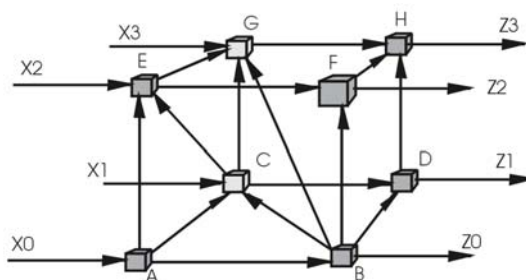
Bibliografía: E. Boemo, "Pipelining on FPGAs: A Tutorial," *2019 X Southern Conference on Programmable Logic (SPL)*, 2019, pp. 53-60, <https://ieeexplore.ieee.org/document/8714285>

1. Explique la diferencia entre paralelismo espacial y pipeline (paralelismo temporal).
2. Durante la concepción de un ASIC ó FPGA se puede optar por aumentar la velocidad en diferentes niveles de la jerarquía de diseño: topológico, arquitectural, tecnológico y *layout o diseño físico*. Explique cada uno de ellos.
3. Defina los siguientes términos relacionados con *pipelining*: *Throughput*, Aceleración (*speedup*), Latencia, Profundidad de lógica, Granularidad (β), y Penalización en área.
- 4.
5. Un FA (full-adder) se mapea con: a) con LUTs Xynq, b) con puertas lógicas, y c) con transistores MOS. Hallar la profundidad de lógica para caso.
6. En la figura se muestra un RCA (*ripple-carry adder* o sumador de acarreo serie) de 8 bits. Considere que el retardo de cada FA (*full-adder*) es 65 ps y que los retardos asociados a los FF son 260 ps – 40 ps – 140 ps (propagación-*setup*-*hold*). Los valores anteriores corresponden aproximadamente a la Zynq usada en 2020 en DIE. Considere que el módulo del skew es 100 ps. Por simplicidad omita en sus cálculos el retardo de las pistas. Se pide calcular *throughput*, latencia, *speedup* y nº de FF para las siguientes versiones pipeline:



- a) 1 etapa (combinacional con E/S registrada en líneas 1 y 9).
- b) 2 etapas (registros en líneas 1-5-9).
- c) 4 etapas (registros en líneas 1-3-5-7-9).
- d) 8 etapas (registros en todas las líneas).

7. Deduzca la expresión general que predice la cantidad de FF de un circuito RCA que opera con números de n bits "pipelinizado" para máxima velocidad, en función de n.
8. Segmentar el circuito "3D" de la derecha en dos versiones diferentes: $\beta=1$ y $\beta=2$. Redibujarlo para evidenciar la dependencia entre PEs.



9. Verificar el pipeline de la figura.

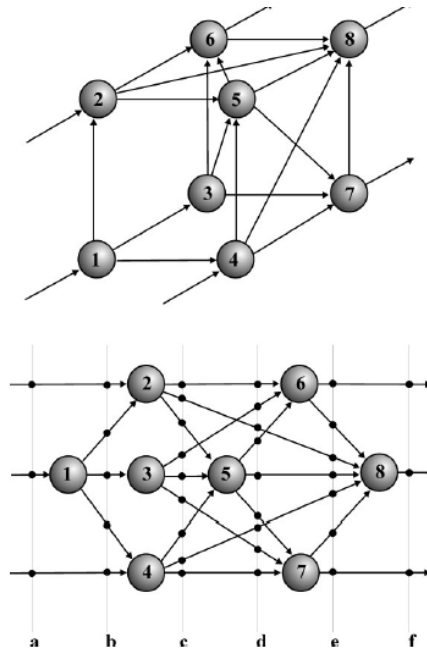
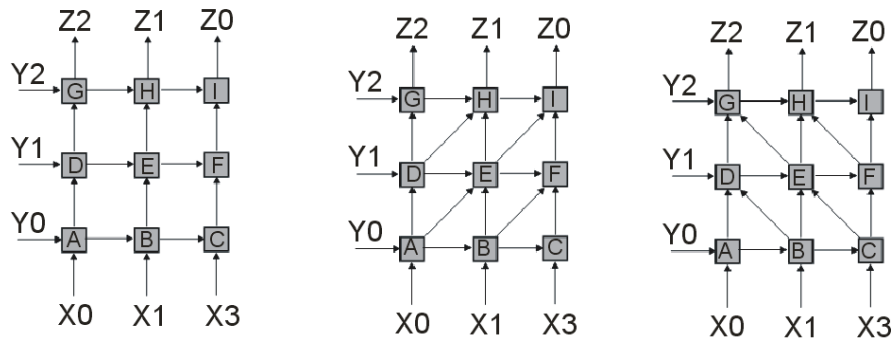
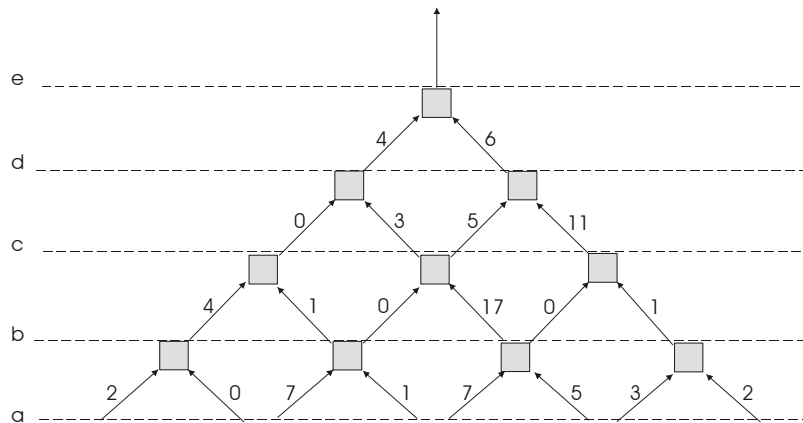


Fig.6: Redrawing a circuit (above) to evidence its data dependencies (below).

10. El retardo de los PEs (procesadores elementales) de cada uno de los siguientes arrays vale 50 ns. Considerando despreciable el retardo de pistas y registros, calcule la latencia y el número final de registros de cada circuito, cuando se segmenta de la manera más eficiente (es decir, con el menor costo en área) para obtener: a) Un ancho de banda de 20 MHz y b) Un ancho de banda de 10 MHz.



11. En el circuito de la figura, el retardo de cada PE vale 500 ps mientras que el número junto a cada pista indica su retardo en ps. Considere que el retardo de propagación de los registros vale 260 ps ns, el setup 40 ns y el hold 140 ps. Calcule la latencia y la máxima frecuencia de operación de cada una de las posibles segmentaciones balanceadas del circuito (Tres casos que corresponden a líneas de FFs en: a-b-c-d-e, a-c-e y a-e). ¿Cuál es la máxima aceleración respecto al circuito combinacional con E/S registrada? ¿Se cumple el mito de que una segmentación en N etapas aumenta la velocidad N veces?

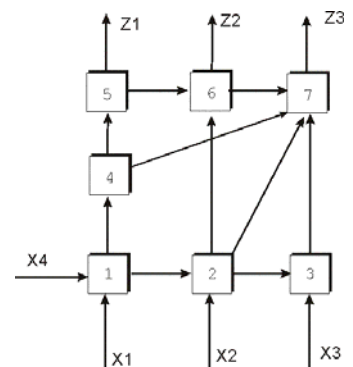


12. Repita el problema anterior considerando que todas las pistas están “ecualizadas”; es decir, tienen un retardo idéntico. Suponga que tal retardo vale 4 ps, un número cercano al promedio de los valores de las pistas del circuito.

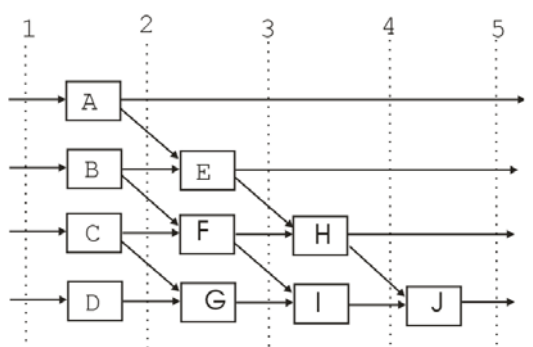
13. En el circuito de la figura, los bloques 1, 2, y 4 tienen un retardo de 300 ms; el bloque 5 un retardo de 100 ms; y los bloques 3, 6 y 7 un retardo de 400 ms. Suponga que se pueden despreciar los retardos asociados a los FF y las pistas. Se pide:

a) Transformar el circuito en un pipeline de máxima velocidad. Realice el dibujo de este e indique Número Total de FF y Período Mínimo al cual puede operar. El pipeline debe tener al menos la entrada/salida registrada.

b) Transformar el circuito en un pipeline que pueda operar a 800 ms de período y tenga la mínima cantidad de FF. Haga un dibujo de este e indique el número de FF resultantes. El pipeline debe tener al menos la entrada/salida registrada.



14. Un circuito digital está formado por 10 bloques cuyo retardo, en ns, se indica en la tabla adjunta. Diseñar un pipeline insertando FF en la entrada/salida (líneas 1 y 5) y en cada una de las salidas intermedias (líneas 2, 3 y 4). Los parámetros temporales de los FF y del árbol de reloj son despreciables en relación con los retardos de los bloques. Realizar 3 versiones del pipeline de modo que pueda operar con: a) $T_{\min} = 2100$ ns, b) $T_{\min} = 3700$ ns, c) $T_{\min} = 4300$ ns



Bloque	Retardo
A	1100
B	2000
C	500
D	1500
F	1000
G	1200
H	500
I	1100
J	400
E	800

15. Cada bloque del circuito de la figura tiene un retardo de 2,5 ns. Segmentarlo utilizando la mínima cantidad de FF de modo que el circuito final puede producir un dato de salida cada: a) 3 ns, b) 6 ns, c) 9 ns y d) 12 ns. Considere retardo FF es 0,260 ns y el setup 0,01 n y despreciable tanto el skew como el retardo de las pistas.