



Electrónica Digital

Capítulo 1: **Circuitos Digitales.**
Circuitos combinacionales. (2/3)



Índice

- Introducción
- Circuitos combinacionales
 - Multiplexores
 - Demultiplexores
 - Decodificadores
 - No excitadores/excitadores
 - Codificadores
 - Con prioridad/sin prioridad
 - Comparadores
 - Aritmética binaria
 - Introducción
 - Operación: suma. Circuitos sumadores binarios
 - Operación de resta
 - Operaciones con números codificados en complemento a dos
 - Unidades aritmético-lógicas (UAL, o ALU en inglés)
 - Introducción a la multiplicación



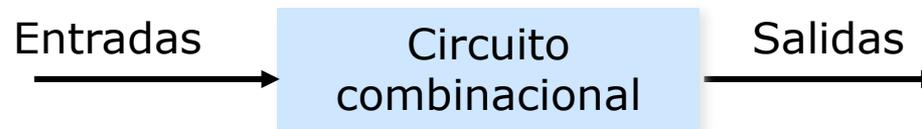
Introducción

SSDD combinacionales y secuenciales

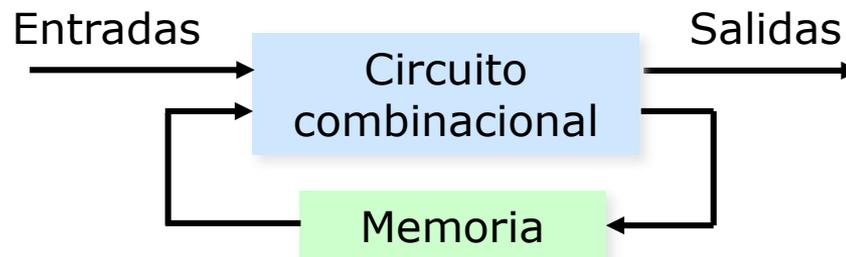


□ Tipos de sistemas digitales:

- **Combinacionales:** aquellos circuitos cuyas salidas, en un determinado instante, son función exclusivamente del valor de las entradas en ese instante. Entradas iguales dan lugar a las mismas salidas.



- **Secuenciales:** aquellos circuitos en los que las salidas dependen de las entradas en el instante actual y en los anteriores. **Tienen memoria.** Entradas iguales pueden generar salidas distintas.





□ Circuito combinacional

- Circuito digital cuyas salidas, en un instante concreto, vienen dadas por las entradas del circuito en ese mismo instante
- La misma combinación de entradas siempre da lugar a los mismos valores de salida
- Se suelen describir mediante la ***tabla de verdad***
- **No tienen *memoria***

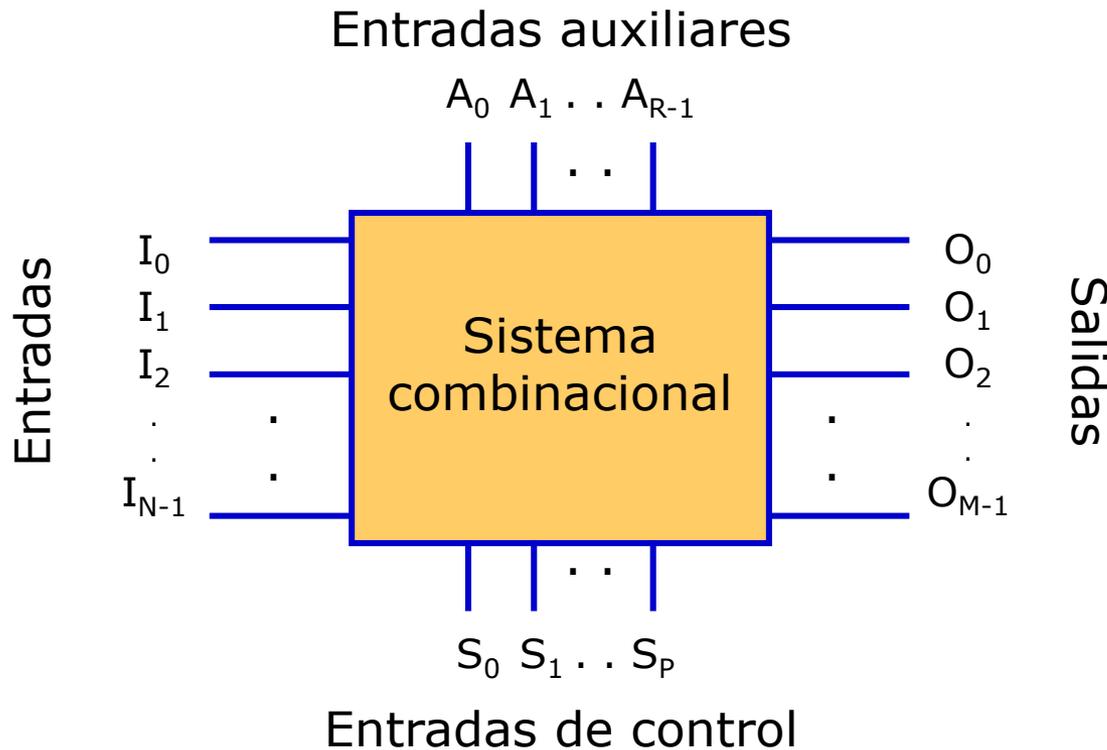


Introducción

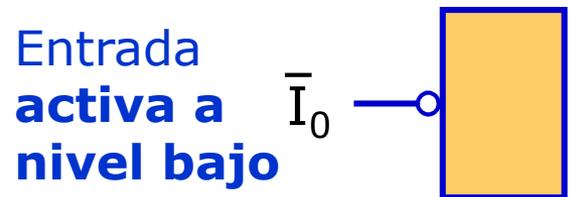
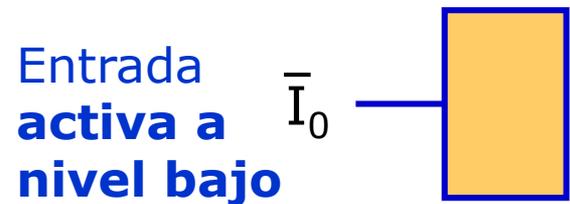
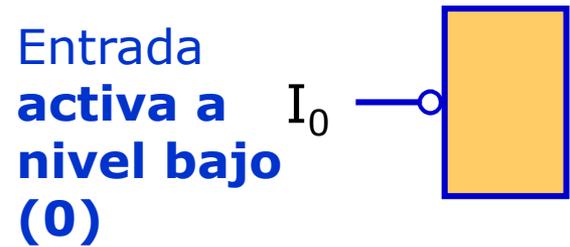
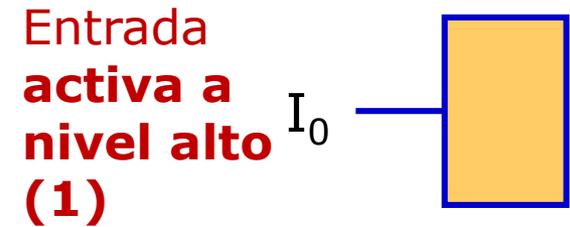
Circuitos combinacionales



□ Representación:



- 1 → Nivel alto de tensión (H), cercano a V_{cc}
- 0 → Nivel bajo de tensión bajo (L), cercano a masa





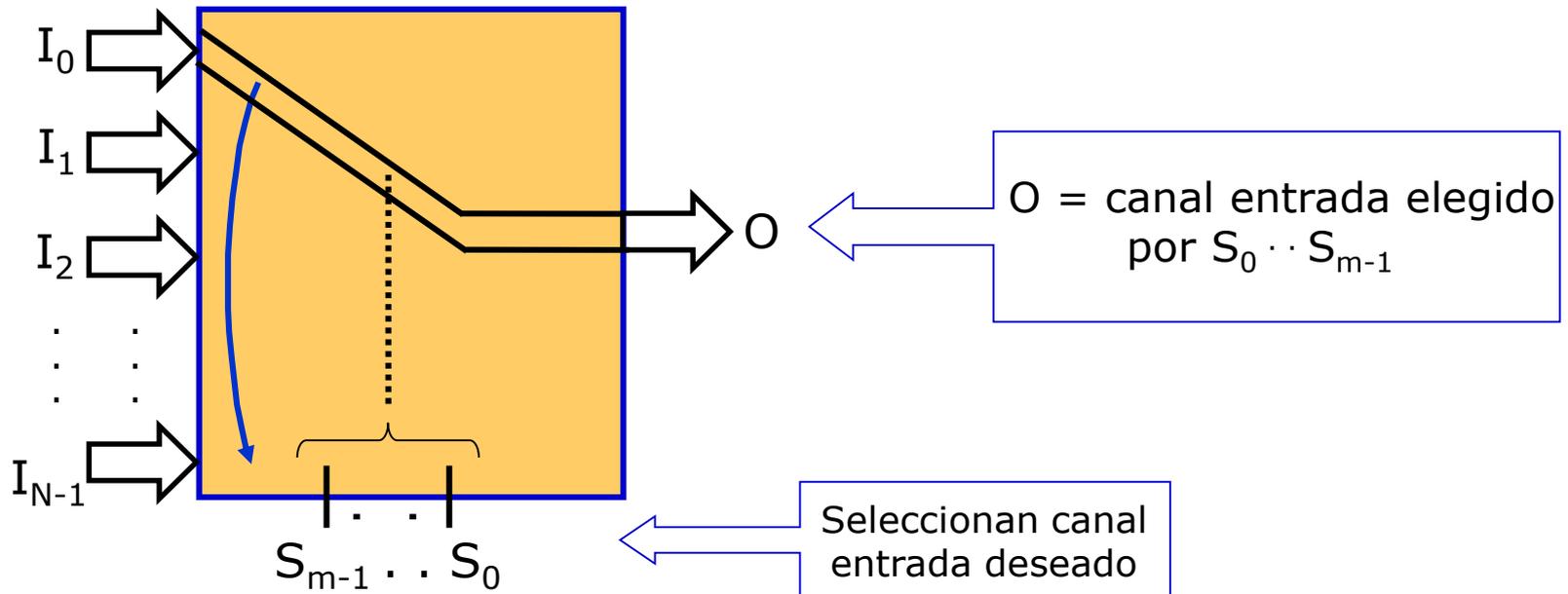
Circuitos combinacionales

Multiplexores



□ Multiplexor o selector de datos:

- Circuito que tiene N canales de entrada (I_i), un canal de salida (O) y m entradas de selección (S_j) que determinan cuál de los canales de entradas es el que transfiere su información (bits) al canal de salida. Se debe cumplir que $2^m \geq N$.



Nomenclatura: — (línea fina) compuesta de un bit

⇒, =, ■ líneas "multibit" compuestas por un conjunto de bits

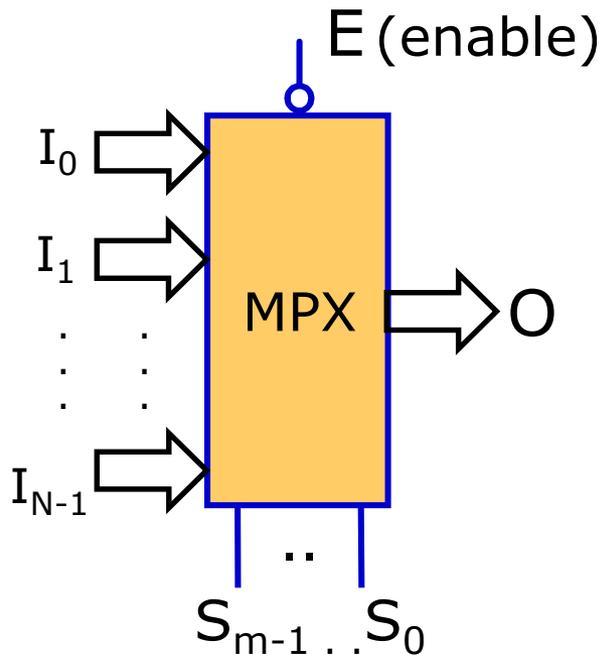


Circuitos combinacionales

Multiplexores



- ❑ Los multiplexores (y muchos más circuitos) pueden tener señal/es de Enable (habilitación):
 - Que permiten o no que el circuito haga su función
 - Pueden ser activas a nivel L o H



E	S _{m-1}	S _{m-2}	...	S ₂	S ₁	S ₀	O
1	X	X	...	X	X	X	0
0	0	0	...	0	0	0	I ₀
0	0	0	...	0	0	1	I ₁
0	0	0	...	0	1	0	I ₂
0	0	0	...	0	1	1	I ₃
...
0	1	1	...	1	1	0	I _{N-2}
0	1	1	...	1	1	1	I _{N-1}

Nivel no activo

- ❑ Con el enable desactivado las salidas podrían estar (en lugar de al nivel no activo) en estado de alta impedancia (denominado Z) → circuito abierto



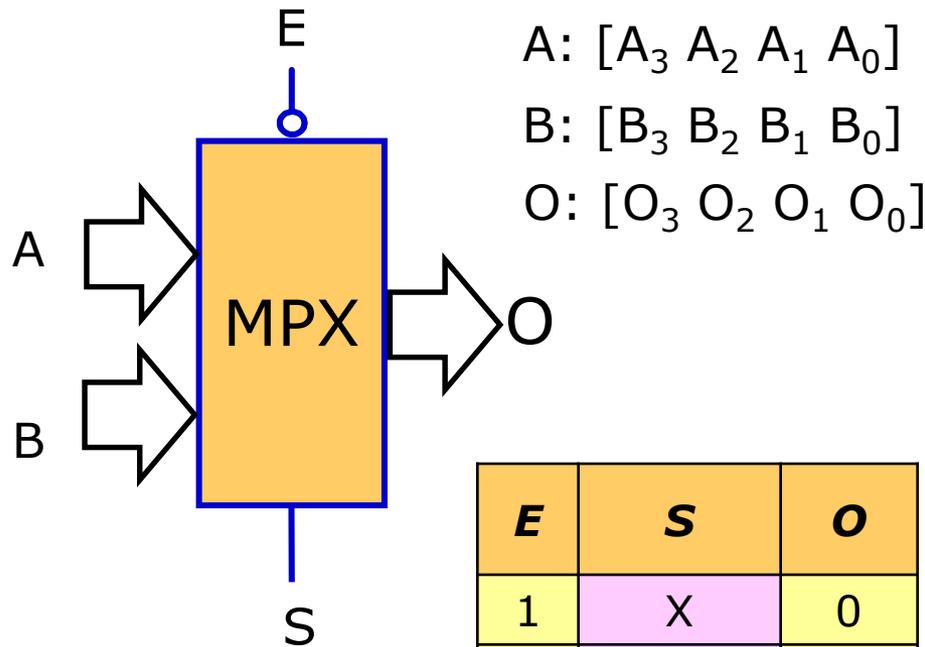
Circuitos combinacionales

Multiplexores



□ Para un multiplexor de 2 canales de 4 bit

Código VHDL



A: [A₃ A₂ A₁ A₀]
B: [B₃ B₂ B₁ B₀]
O: [O₃ O₂ O₁ O₀]

E	S	O
1	X	0
0	0	A
0	1	B

$O_3 = A_3, O_2 = A_2, O_1 = A_1, O_0 = A_0$

```
entity Mux4 is
    port (
        A      : in  bit_vector(3 downto 0);
        -- dato A 4 bits
        B      : in  bit_vector(3 downto 0);
        -- dato B 4 bits
        S, E   : in  bit;
        -- selección y enable
        O      : out bit_vector(3 downto 0);
        -- salida 4 bits
    );
end Mux4;

architecture funcionmux of Mux4 is
begin -- funcionmux
    -- purpose: selección dato A o B en la salida
    -- type : combinational
    -- inputs : A, B, S, E
    -- outputs: O
    process (A, B, S, E)
    begin -- process
        if E = '0' then
            if S = '0' then
                O <= A;
            else
                O <= B;
            end if;
        else
            O <= "0000";
        end if;
    end process;
end funcionmux;
```



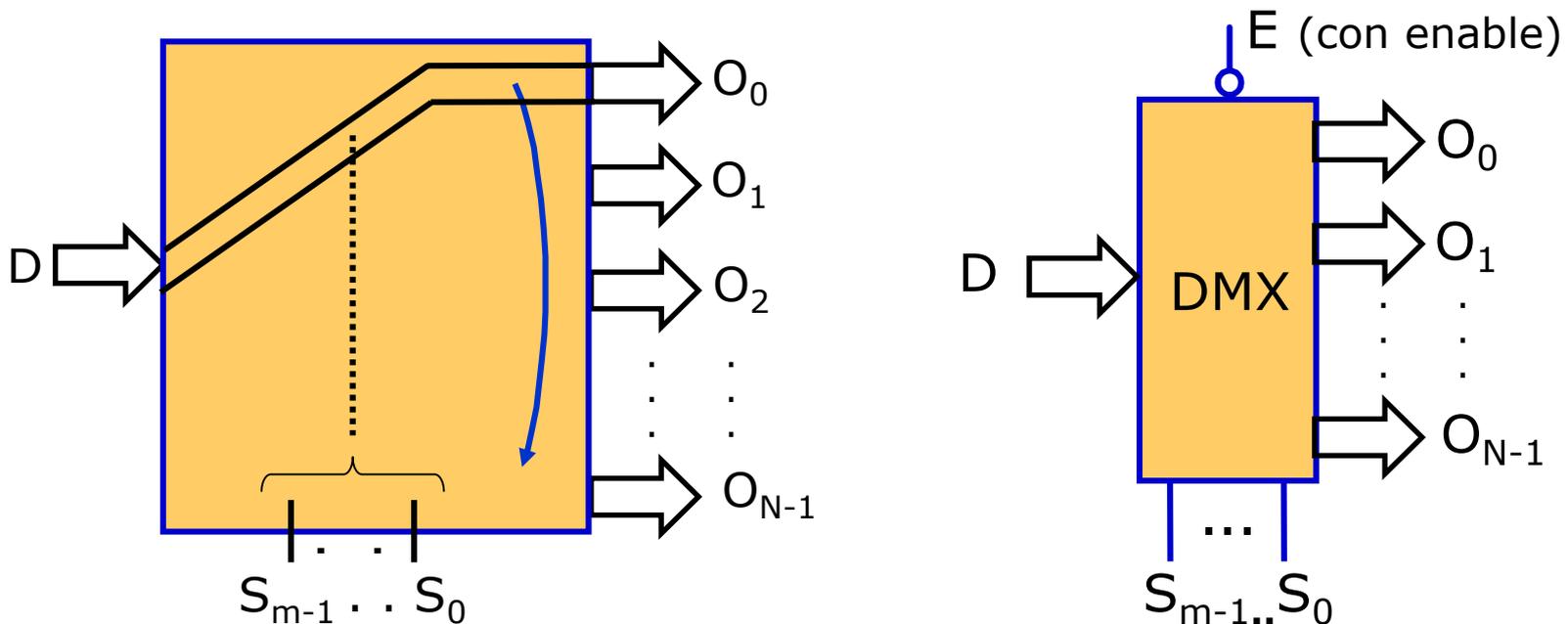
Circuitos combinacionales

Demultiplexores



Demultiplexor:

- Circuito que tiene N canales de salida (O_i), un canal de entrada (D) y m entradas de selección (S_j) que determinan a cuál de los canales de salida se transfiere la información (bits) del canal de entrada. Se debe cumplir que $2^m \geq N$



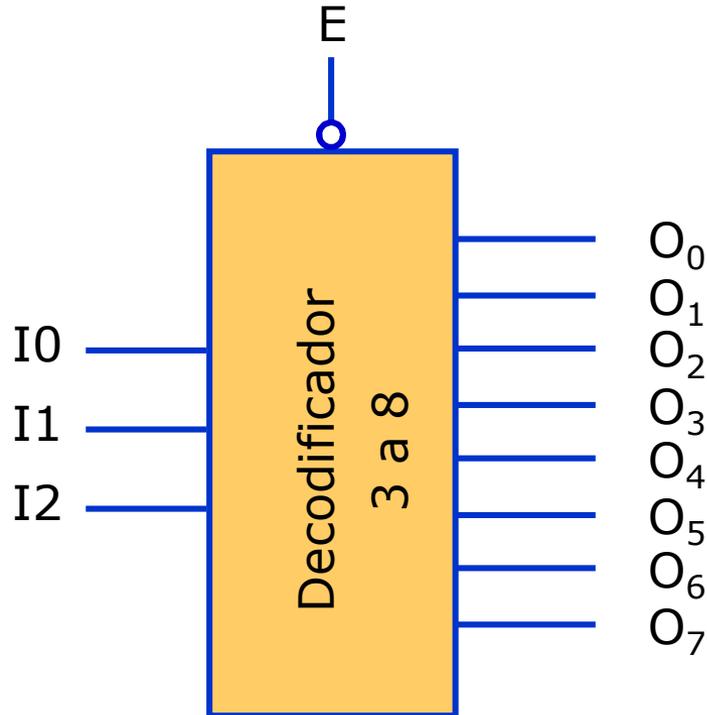
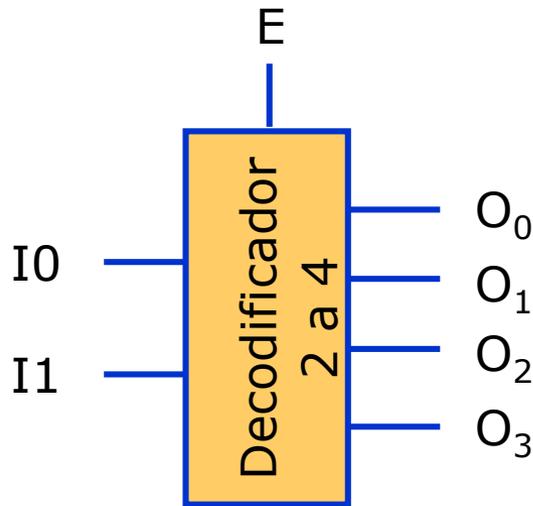


Circuitos combinacionales

Decodificadores



- Circuitos que activan una combinación de salidas, en función del código recibido en la entrada





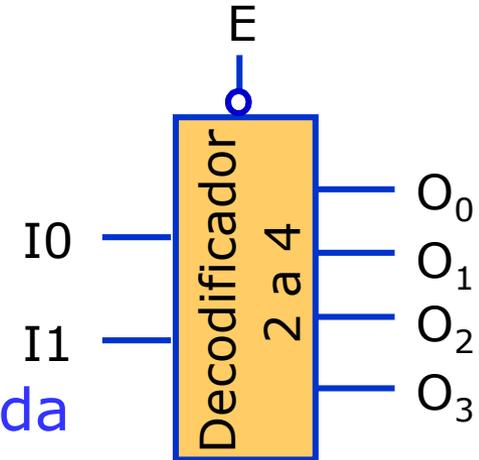
Circuitos combinacionales

Decodificadores

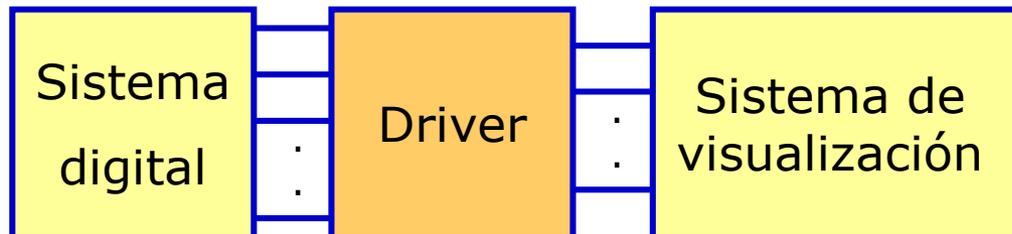


□ Tipos de decodificadores:

- **No excitadores** ("normales"): m entradas y N salidas ($2^m \geq N$) de las que en cada momento se activa solamente la correspondiente a la combinación binaria aplicada a la entrada



- **Excitadores** (*decoders/drivers*): para cada combinación de entrada se activa un conjunto determinado de salidas. Se usan en sistemas de visualización





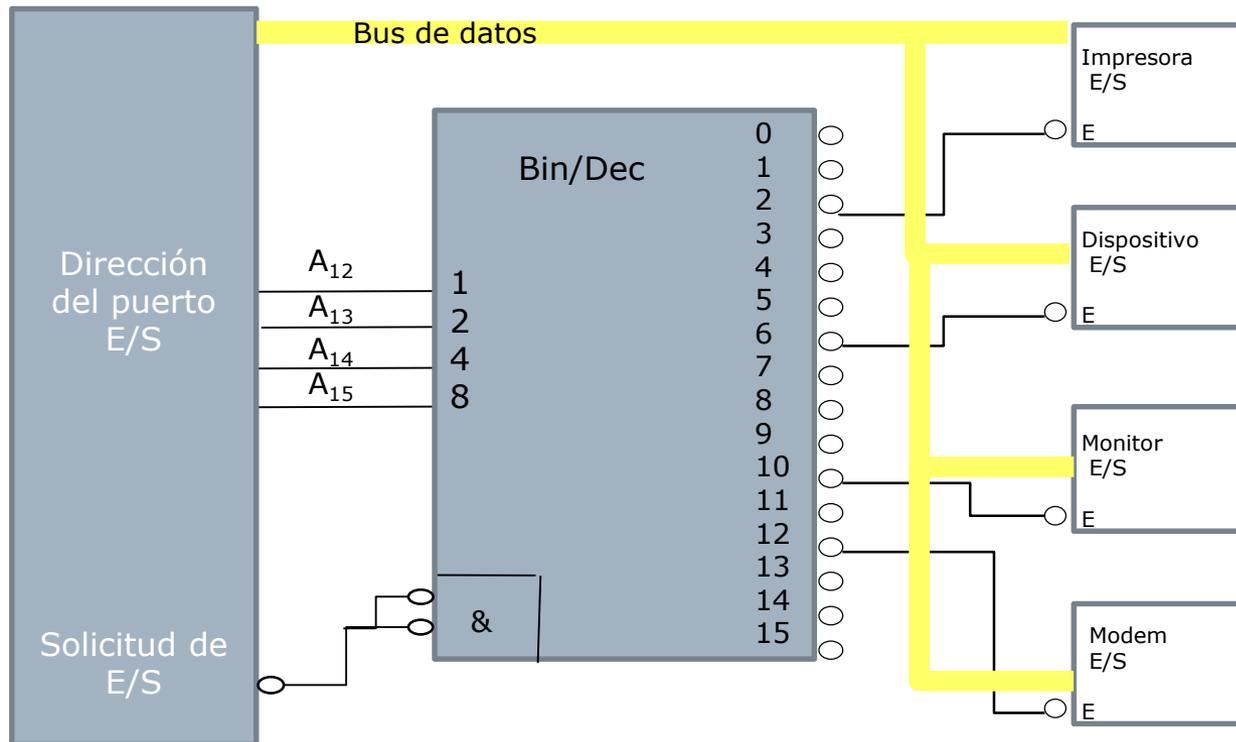
Circuitos combinacionales

Decodificadores no excitadores



□ Aplicaciones:

■ Selección de dispositivos. Ejemplo:



Decodificador de dirección de puertos: por medio de las líneas $A_{15}...A_{12}$ del bus de direcciones elijo a qué dispositivo envío datos. (También podría recibir datos)

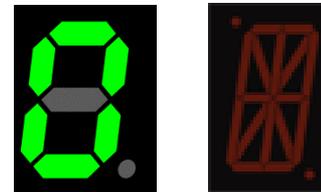


Circuitos combinacionales

Decodificadores excitadores (drivers)



- Para cada código de entrada se activa un conjunto determinado de salidas.
- Diseñados para activar, adecuadamente, los sistemas de visualización (visualizadores o displays).



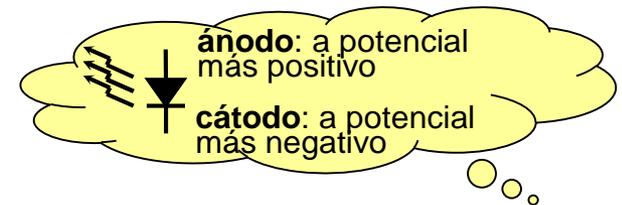


Circuitos combinacionales

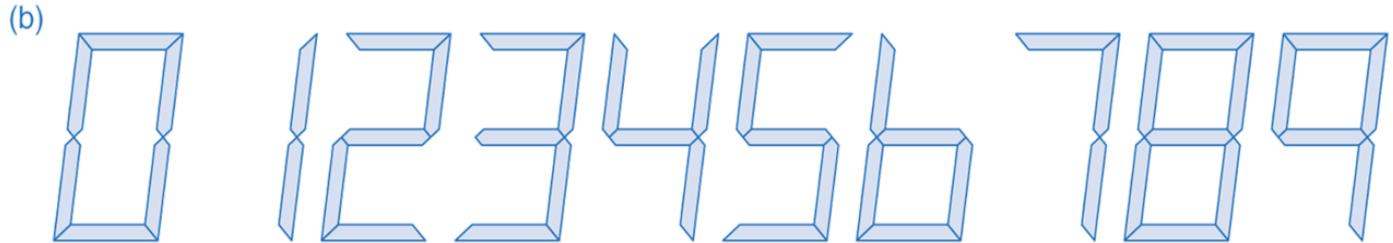
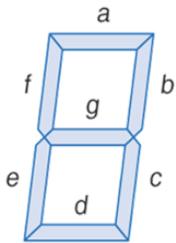
Displays 7 segmentos



□ Displays de 7 segmentos:



- Típicamente cada segmento (a,b,c...g) a iluminar es un diodo led: dispositivo (de dos terminales: ánodo y cátodo) que al polarizarse adecuadamente emite luz



- Tienen un consumo elevado:

- Diodo requiere I_D mínima
- Caída de tensión en diodo V_D

Ejem. polarización de diodo led:

$$R = \frac{V_{cc} - V_D}{I_D}$$

Si $I_D = 10\text{mA}$; $V_{cc} = 5\text{V}$; $V_D = 1,5\text{V}$ ¿R?



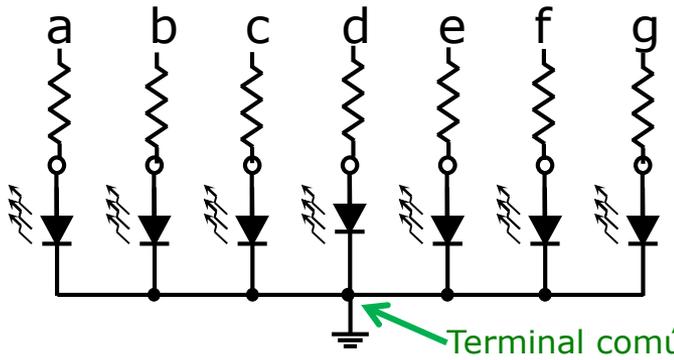
Circuitos combinacionales

Displays 7 segmentos

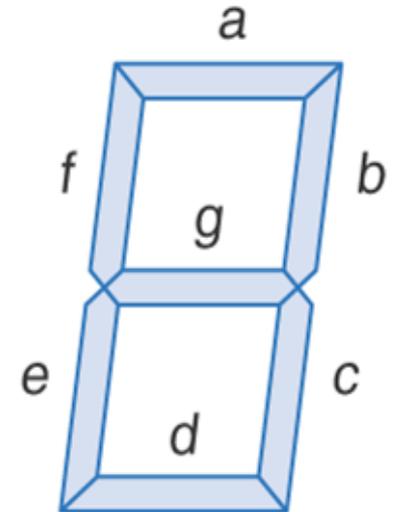


□ Displays de 7 segmentos:

■ De cátodo común (los 7 cátodos unidos):

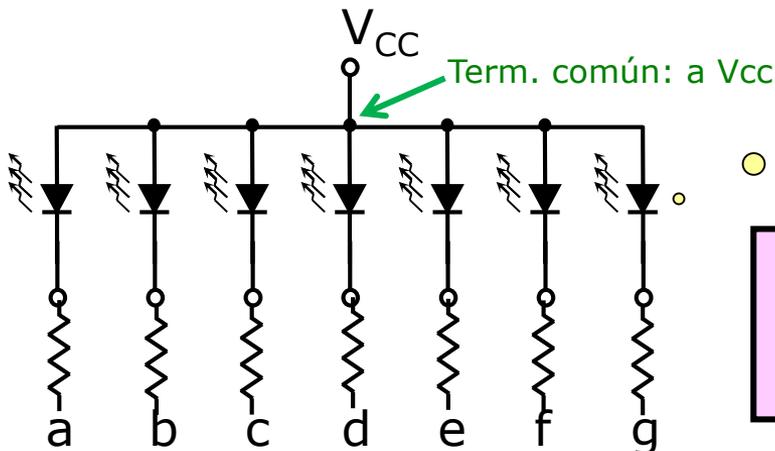


Excitaremos con un nivel alto en a,b.,g

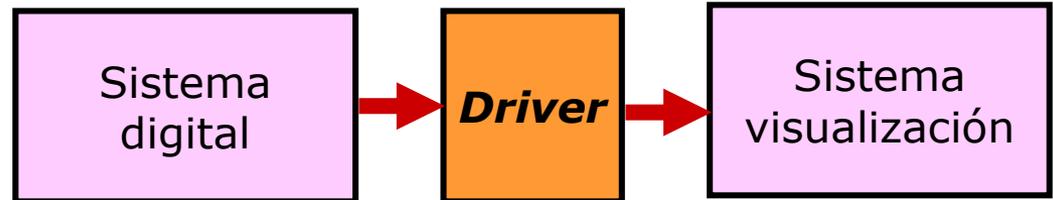


Colocación real de los segmentos

■ De ánodo común:



Excitaremos con un nivel bajo en a,b.,g



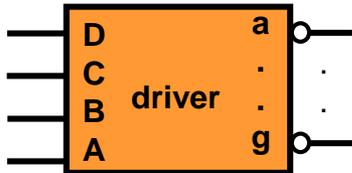


Circuitos combinacionales

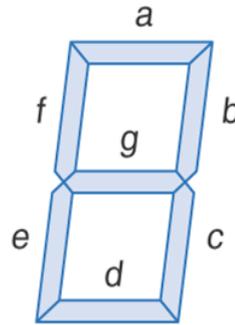
Decodificadores excitadores (drivers)



Decodificadores BCD-7 segmentos: funcionamiento



D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	1	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	1	0	0



Código VHDL (ejemplo)

```

entity bcd_7seg is
    port (
        BCD      : in  bit_vector(3 downto 0);
        -- entradas BCD
        DISPLAY  : out bit_vector(6 downto 0);
        -- salidas a los 7 segmentos
    );
end bcd_7seg;

architecture RTL of bcd_7seg is
begin -- RTL

    -- purpose: funcionamiento del decodificador
    -- type : combinational
    -- inputs : BCD
    -- outputs: DISPLAY
    process (BCD)
    begin -- process
        case (BCD) is
            when "0000" => DISPLAY <= "0000001";
            when "0001" => DISPLAY <= "1001111";
            when "0010" => DISPLAY <= "0010010";
            when "0011" => DISPLAY <= "0000110";
            when "0100" => DISPLAY <= "1101100";
            when "0101" => DISPLAY <= "0100100";
            when "0110" => DISPLAY <= "0100000";
            when "0111" => DISPLAY <= "0001111";
            when "1000" => DISPLAY <= "0000000";
            when "1001" => DISPLAY <= "0001100";
            when others => DISPLAY <= "0110000";

        end case;
    end process;
end RTL;

```

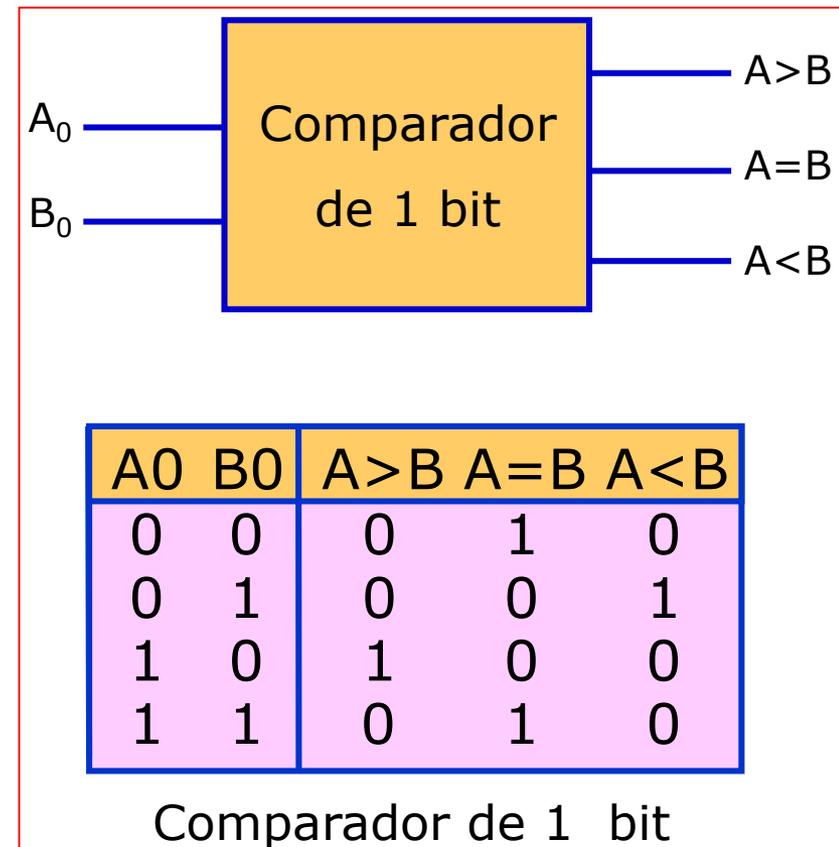
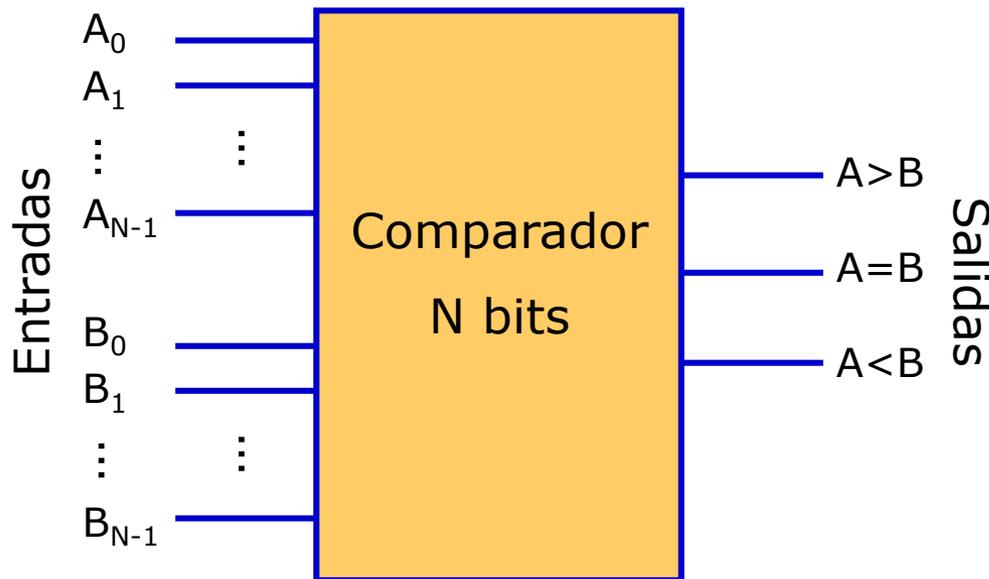


Circuitos combinacionales

Comparadores



- Se activa la salida correspondiente a la situación indicada por las entradas



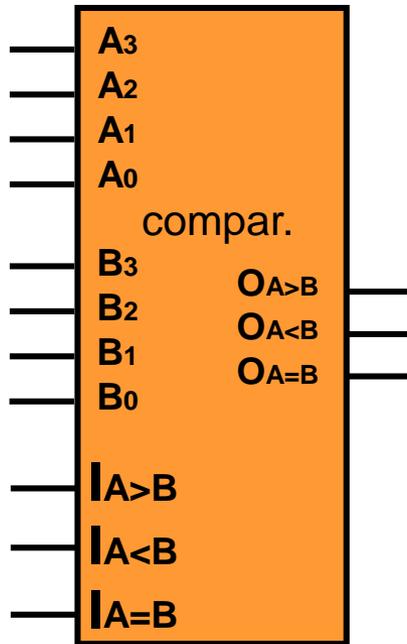


Circuitos combinacionales

Comparadores comerciales



- Comparador 2 números de 4 bits (con entradas en cascada)



COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A ₃ ,B ₃	A ₂ ,B ₂	A ₁ ,B ₁	A ₀ ,B ₀	I _{A>B}	I _{A<B}	I _{A=B}	O _{A>B}	O _{A<B}	O _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

- Las entradas I_{A>B}, I_{A<B} I_{A=B} sólo se verifican en el caso de que el n^o A = n^o B (sus 4 bits iguales).

□ ¿Qué nivel pondría en I_{A>B}, I_{A<B} e I_{A=B} para que se active O_{A=B} ?



□ Objetivos

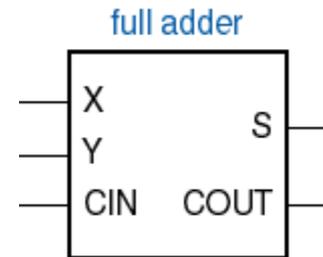
- Conocer las operaciones básicas de la aritmética binaria (suma, resta, multiplicación)
!Ojo! No confundir con las operaciones lógicas (suma y producto lógicos)
- Conocer el funcionamiento y diseño de los principales circuitos combinacionales aritméticos (sumador/restador, UAL)
- Conocer los circuitos comerciales correspondientes a las funciones descritas
- Describir distintas aplicaciones de cada uno de ellos



Aritmética binaria

Operación: suma. Circuitos sumadores binarios

- Sumador completo:
 - Suma dos bits con acarreo de entrada, y generando acarreo salida



X	Y	CIN	S	COUT
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Código VHDL

```
entity sumador is
port(x : in bit;
      y  : in bit;
      cin : in bit;
      s  : out bit;
      cout : out bit);
end sumador;

architecture arq1 of sumador is
begin
    cout <= (x and y) or (x and cin) or (y and cin);
    s    <= x xor y xor cin;
end arq1;
```



- Las unidades aritmético lógicas (UAL/ALU):
 - Permiten realizar múltiples operaciones:
Aritméticas y lógicas
 - Terminales:
 - Operandos (A y B)
 - Entradas de control (S)
 - Resultado (F)
 - Salidas auxiliares (Carry, Overflow...)



□ Operaciones:

■ Aritméticas:

- Suma/Resta

- Incremento/Decremento

■ Lógicas (no hay acarreo, operación bit a bit):

- Operandos sin modificar

- AND/NOR/XOR/NOT

- Combinaciones

■ Combinación de aritméticas y lógicas



Aritmética binaria

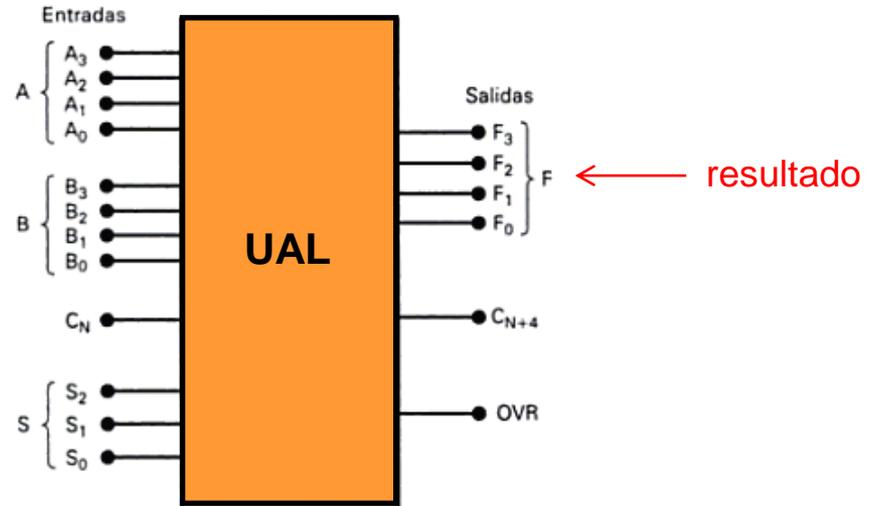
Unidades aritmético-lógicas comerciales



UAL con n^os de 4 bits

operandos

entradas de selección de operación



Lógicas Aritméticas

SELECTION			ARITHMETIC/LOGIC
S2	S1	S0	OPERATION
L	L	L	CLEAR ← F[3..0]=0000
L	L	H	B PLUS \bar{A}
L	H	L	A PLUS \bar{B}
L	H	H	A PLUS B
H	L	L	A ⊕ B
H	L	H	A + B
H	H	L	AB
H	H	H	PRESET ← F[3..0]=1111

H = high level, L = low level

iRecuerde!: operando con números codificados en complemento a dos:

$$A \text{ menos } B = A \text{ más } (-B) = A + \bar{B} + 1$$

S ₂	S ₁	S ₀	Operación	Comentarios
0	0	0	LIMPIAR	F ₃ F ₂ F ₁ F ₀ = 0000
0	0	1	B menos A	} Necesita C _N = 1
0	1	0	A menos B	
0	1	1	A más B	
1	0	0	A ⊕ B	Necesita C _N = 0
1	0	1	A + B	OR exclusiva
1	1	0	AB	OR
1	1	1	PREESTABLECER	AND F ₃ F ₂ F ₁ F ₀ = 1111

Notas: Las entradas S seleccionan la operación.
OVR = 1 para desbordamiento por números con signo.