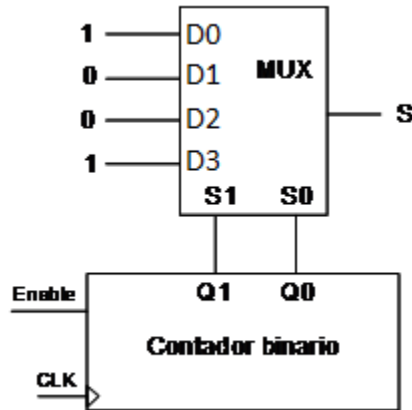


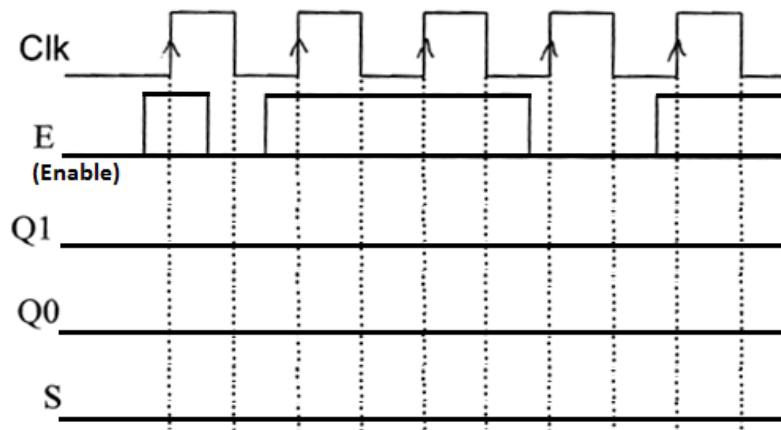
FIE: Ejercicio de cronograma. S18.

Se tiene el circuito secuencial de la figura compuesto por un contador ascendente y cíclico de 2 bits y un multiplexor (MUX) de 2 entradas de control (S1 y S0):



Se pide:

Complete el cronograma adjunto. Inicialmente el estado de todos los biestables del contador es '0':



Características del contador y multiplexor:

El contador está compuesto por dos biestables.

Enable: E=1 cuenta. E=0 para (detiene) la cuenta.

Q1 es la salida de mayor peso.

S1 es la entrada de control (selección) de mayor peso.

Solución:

En el esquema del enunciado se puede ver que el contador utiliza los flancos de subida de la señal de reloj (Clk) para cambiar de estado -valor **Q1 Q0** (2 bits)- siguiendo la secuencia: 00, 01, 10, 11, 00, 01, ... ; siempre que **E = 1**, ya que es ascendente y cíclico.

En relación con la entrada de la señal de reloj se puede estar ante dos situaciones.

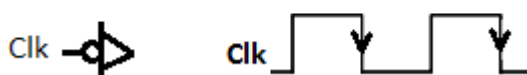
Entrada de reloj (Clk) **no negada**:

Los biestables cambian de estado en los flancos de subida de reloj (Clk):



Entrada de reloj (Clk) **negada**:

Los biestables cambian de estado en los flancos de bajada de reloj (Clk):



En este ejercicio se está en la situación de entrada de reloj no negada.

En el cronograma que se va a dibujar, los tiempos t para los que es posible tener cambios en las salidas de los biestables Q1 y Q0 son: **$t = t_1, t_2, t_3, t_4, t_5, \dots$**

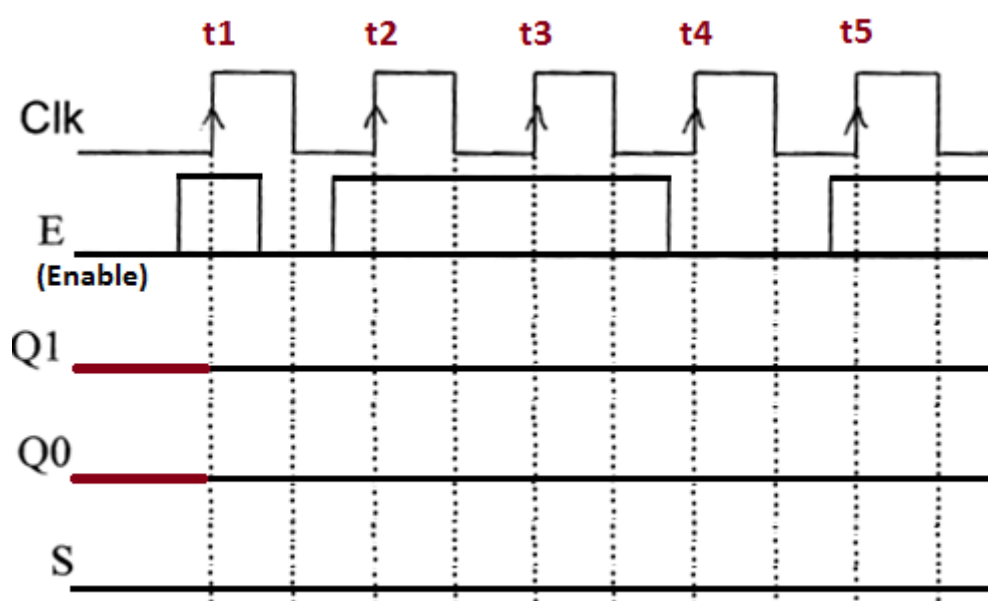
Dibujemos, en primer lugar, las salidas de la parte secuencial síncrona (del contador)

Al final se dibujará la salida S de la parte combinacional (del multiplexor)

1. Tramo $0 \leq t < t_1$:

Inicialmente (para $t=0$) los dos biestables del contador estarán a cero:

Para $0 \leq t < t_1$ se tiene que $Q1 = 0$ y $Q0 = 0$:

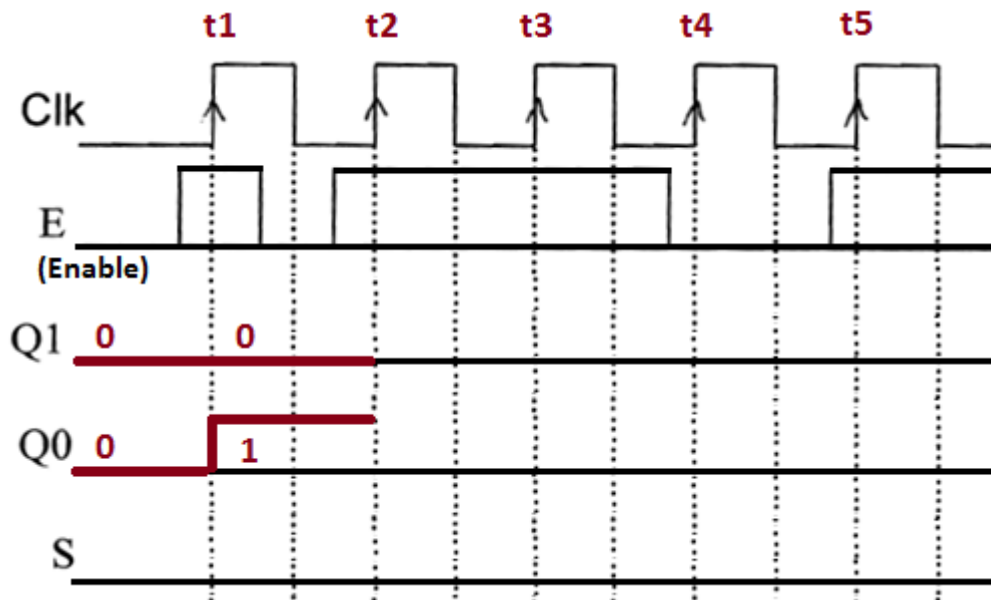


Inicialmente los biestables Q1 y Q0 están a 0

2. Tramo $t_1 \leq t < t_2$:

Antes de llegar a t_1 : $Q_1 = 0$ y $Q_0 = 0$.

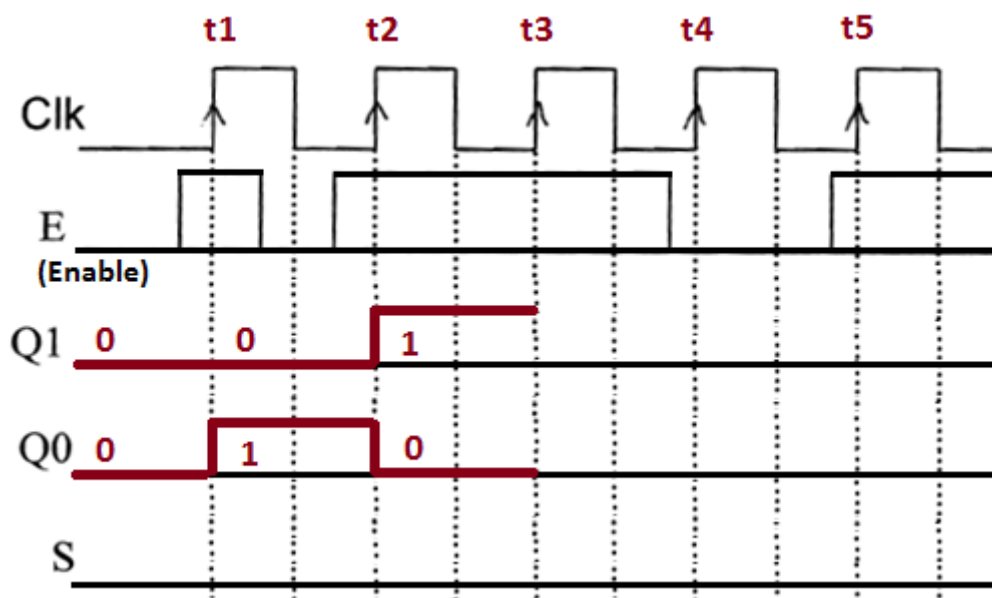
Se incrementará el valor del contador ($Q_1 Q_0$) en $t=t_1$, ya que en t_1 la señal de Enable está a 1 ($E=1$):



3. Tramo $t_2 \leq t < t_3$:

Antes de llegar a t_2 : $Q_1 = 0$ y $Q_0 = 1$.

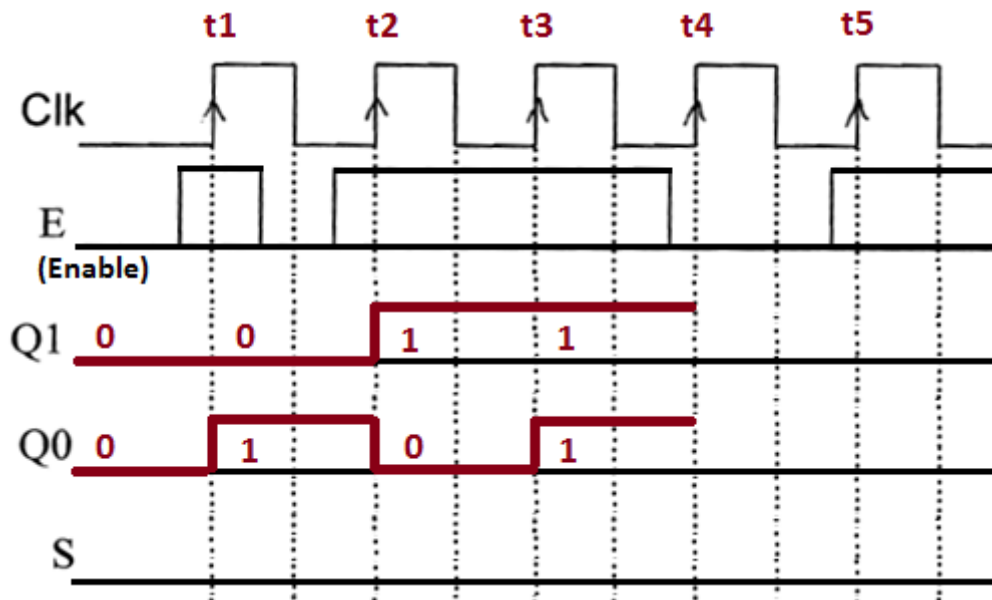
Se incrementará el valor del contador ($Q_1 Q_0$) en $t=t_2$, ya que en t_2 la señal de Enable está a 1 ($E=1$):



4. Tramo $t_3 \leq t < t_4$:

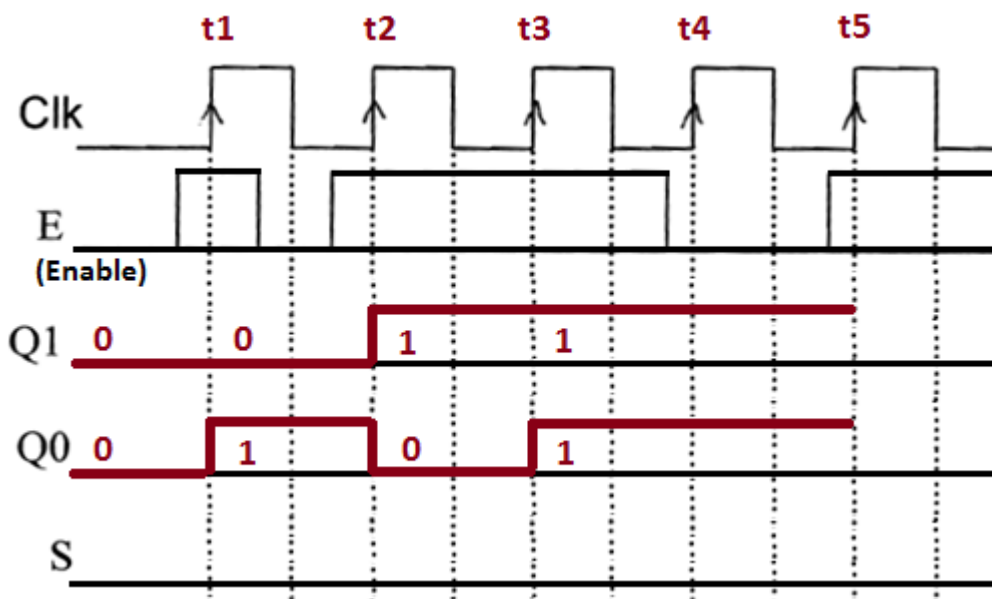
Antes de llegar a t_3 : $Q_1 = 1$ y $Q_0 = 0$.

Se incrementará el valor del contador ($Q_1 Q_0$) en $t=t_3$, ya que en t_3 la señal de Enable está a 1 ($E=1$):



5. Tramo $t_4 \leq t < t_5$:

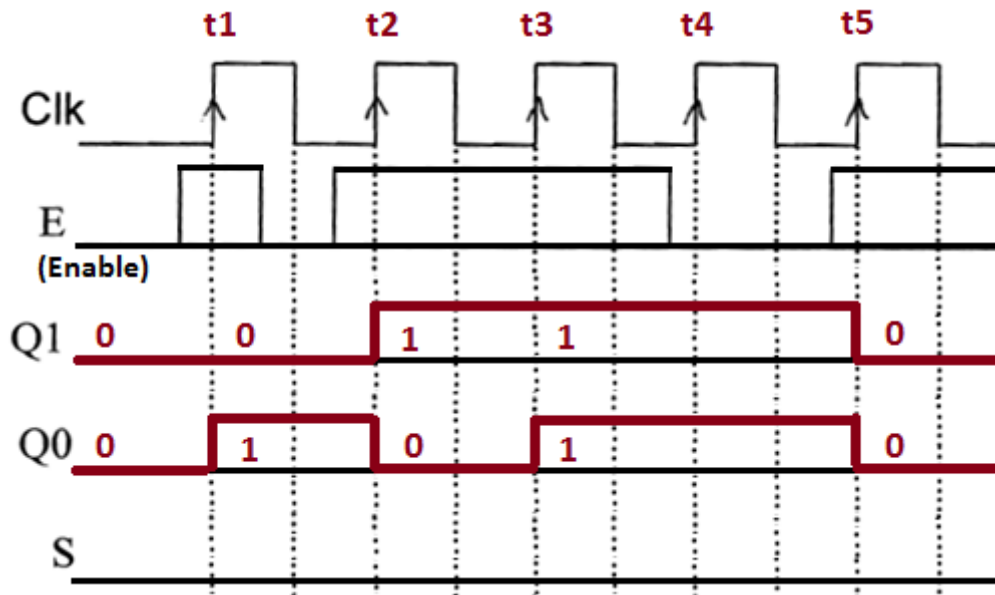
El valor del contador ($Q_1 Q_0$) no cambiará en $t=t_4$, ya que en t_4 la señal de Enable está a 0 ($E=0$):



6. Tramo $t5 \leq t$:

Antes de llegar a $t5$: $Q1 = 1$ y $Q0 = 1$.

Al ser un contador cíclico y haber alcanzado su valor ($Q1 Q0$) más alto, en $t=t5$ pasará a su **valor inicial**, ya que en $t5$ la señal de Enable está a 1 ($E=1$):



Señal de salida S:

Al estar conectadas las dos entradas de control del multiplexor ($S1$ y $S0$) a las salidas del contador ($Q1$ y $Q0$): **$S1=Q1$ y $S0=Q0$** . En la salida del multiplexor **S** aparecerá secuencialmente los valores existentes en las entradas de datos del multiplexor ($D0, D1, D2$ y $D3$).

Es decir: $S(S1, S0) = S(Q1, Q0) = \overline{Q1} \overline{Q0} D0 + \overline{Q1} Q0 D1 + Q1 \overline{Q0} D2 + Q1 Q0 D3$

Con $D0=1, D1=0, D2=0$ y $D3=1$ (según el enunciado)

Siendo la salida S del cronograma:

