

FUNDAMENTOS DE COMPUTADORES - 2ª PRUEBA ESCRITA

Apellidos y nombre	
Firma	

NORMAS:

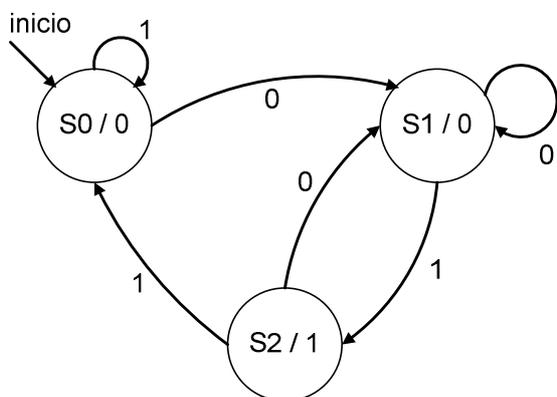
- Las preguntas de test se responderán en el casillero adjunto.
- No está permitido el uso de calculadora.
- No se admitirán ejercicios resueltos total o parcialmente a lápiz o en tinta de color rojo.

TEST (valor máximo ponderado: 3,75 puntos)

Cada pregunta contestada correctamente sumará 1 punto y cada respuesta incorrecta restará 0,25. Las preguntas en blanco no sumarán ni restarán. Al resultado se le aplicará un factor de ponderación para que el test tenga un valor máximo en el examen de 3,75 puntos.

Pregunta	1	2	3	4	5
Respuesta					

1. Sea el DTE de la figura adjunta. Si la FSM se encuentra en el estado S0 y recibe la secuencia de entrada 1001011, indicar cuál es la secuencia de estados que atraviesa y la salida que produce:



- Secuencia de salida: 0001010; secuencia de estados: S0 – S1 – S1 – S2 – S1 – S2 – S0
- Secuencia de salida: 0000010; secuencia de estados: S0 – S0 – S0 – S0 – S1 – S2 – S0
- Secuencia de salida: 0010010; secuencia de estados: S1 – S1 – S2 – S0 – S1 – S2 – S0
- Ninguna de las restantes respuestas es cierta.

2. Indicar cuál de las siguientes afirmaciones es CIERTA:

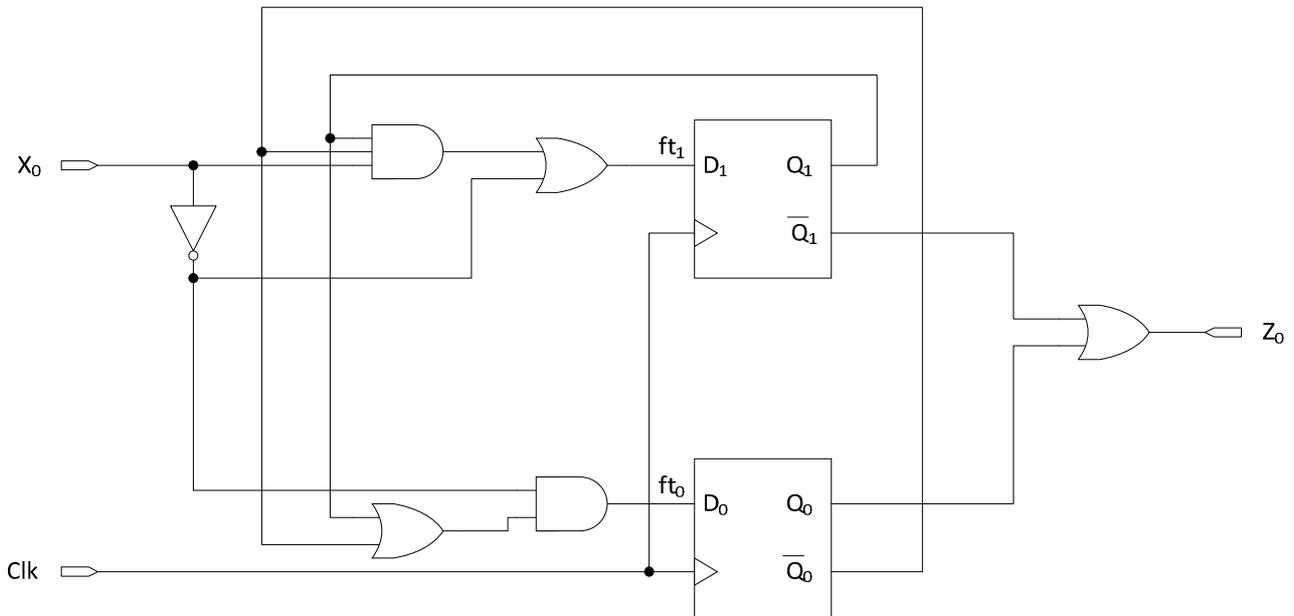
- Un latch D síncrono por nivel bajo se vuelve transparente en el instante en que se produce en el reloj un flanco de subida.
- El biestable JK tiene sentido únicamente cuando es síncrono por nivel.
- Una FSM no puede implementarse utilizando biestables SR para almacenar el estado: para esto último sólo valen los biestables JK, T o D.
- Ninguna de las restantes respuestas es cierta.

3. Indicar cuál de las siguientes afirmaciones es FALSA:

- La técnica de habilitación de salida en un registro permite, mediante una señal de control S, que el registro coloque en la salida su contenido cuando S esté activa, o un valor de alta impedancia cuando S esté inactiva.

- b. La técnica de habilitación de reloj (“clock gating”) en un registro puede producir problemas de sesgo (“skew”) en el reloj del sistema, motivo por el cual es preferible utilizar habilitación de entrada.
- c. Los contadores síncronos realizan obligatoriamente cuenta ascendente.
- d. Los contadores asíncronos se llaman así porque sus biestables no comparten la misma señal de reloj, a diferencia de lo que sucede en los contadores síncronos, en los que la señal de reloj es igual para todos los biestables.

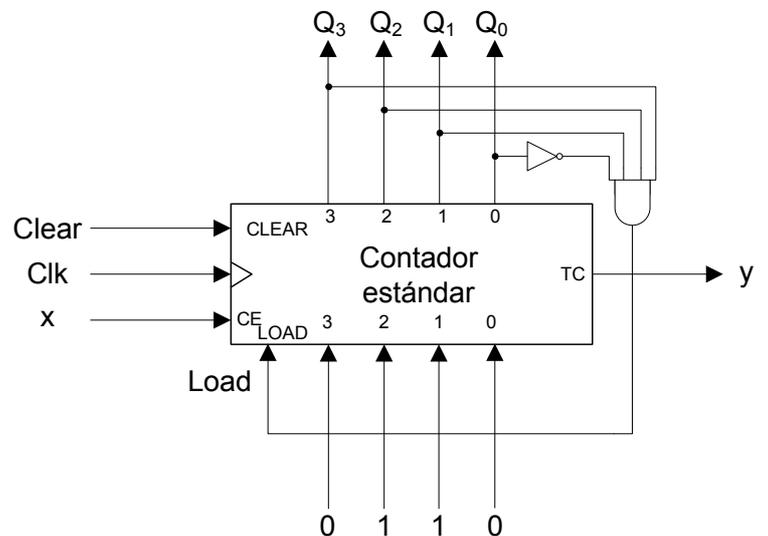
4. Dado el circuito de la figura, que representa una FSM, indicar cuál de las siguientes afirmaciones es CIERTA:



- a. La FSM de la figura no es una máquina de Moore.
- b. $ft_1(Q_1, Q_0, X_0) = Q_1 \overline{Q_0} X_0 + \overline{X_0}$
- c. $ft_0(Q_1, Q_0, X_0) = (Q_1 + \overline{Q_0}) \cdot X_0$
- d. $Z_0(Q_1, Q_0) = Q_1 Q_0$

5. Indicar la función que realiza el circuito adjunto:

- a. Es un contador de 0 a 14.
- b. Es un contador de 6 a 14.
- c. Es un contador de 6 a 15.
- d. Ninguna de las restantes respuestas es cierta



SOLUCIONES AL TEST

Pregunta	1	2	3	4	5
Respuesta	A	D	C	B	B