

Hoja de Ejercicios 4

1. Determina el *propagation delay* y el *contamination delay* del circuito usando los retardos de puertas dados en la Tabla 1. Escribe el circuito en VHDL.

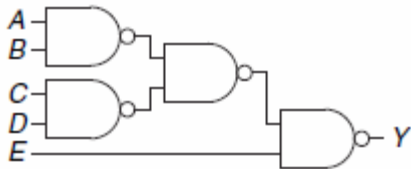
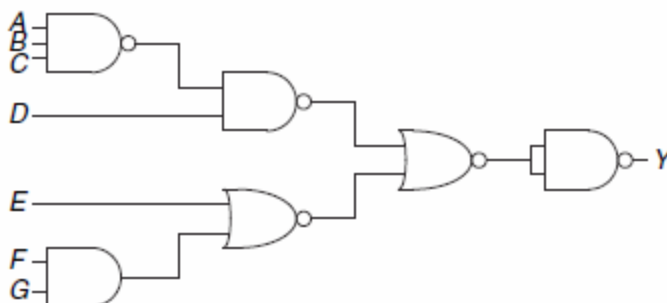


Tabla 1: Retardos de puertas.

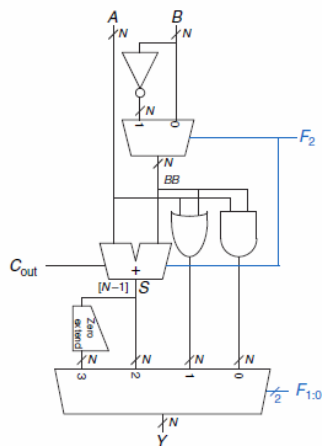
Gate	t_{pd} (ps)	t_{cd} (ps)
NOT	15	10
2-input NAND	20	15
3-input NAND	30	25
2-input NOR	30	25
3-input NOR	45	35
2-input AND	30	25
3-input AND	40	30
2-input OR	40	30
3-input OR	55	45
2-input XOR	60	40

2. Define las señales necesarias en el esquema anterior y reescribe el circuito en VHDL para su uso en simulación considerando los retardos indicados.
3. Determina el *propagation delay* y el *contamination delay* del circuito usando los retardos de puertas dados en la Tabla 1



4. Dibuja un esquema de un decodificador 3:8. Supón los retardos dados en la Tabla 1 (solo estarían disponibles las puertas allí presentes). Indica la ruta crítica y los retardos del circuito.

5. ¿Cuál es el retardo para los siguientes tipos de sumadores de 64 bits? Asume que el retardo de una puerta de dos entradas es de 150ps y que el del sumador completo es de 450ps.
 - a) Un ripple-carry adder
 - b) Un carry-lookahead adder con bloques de 4-bits
 - c) Un prefix adder
6. Explica por qué un diseñador podría elegir usar un ripple-carry adder en vez de un carry-lookahead adder.
7. Diseña los siguientes comparadores para números de 32 bits. Dibuja el esquema.
 - a) not equal (no igual)
 - b) greater than (mayor que)
 - c) less than or equal to (menor o igual que)
8. Diseña la ALU de 32-bits que se muestra en la figura siguiente usando VHDL. Puedes diseñar el módulo principal utilizando diseño estructural o behavioral.



9. Diseña un módulo que realice un desplazamiento de dos bits a la izquierda para las entradas de 32 bits que recibe. La salida también tendrá 32 bits. Explica el diseño en palabras y con un esquema. Implementalo en VHDL.
10. Diseña dos módulos que realicen un rotate a la izquierda o a la derecha y que tengan como entrada una señal de 4 bits (señal a rotar) y una señal que indique si se ha de rotar 0, 1, 2 o 3 bits. Dibuja el esquema e implementalo en VHDL.
11. Implementa un módulo de VHDL que reciba una entrada de datos de 4 bits y genere una salida compuesta por la entrada más un bit de paridad. Investiga sobre el código Hamming(7,4) y modifica el módulo para que genera la salida compuesta por la entrada más los 3 bits de paridad que introduce este módulo.
12. Implementa en VHDL un carry-lookahead adder (CLA) de 32 bits con bloques de 4 bits. Utiliza un enfoque de diseño estructural, generando al menos módulos para el CLA, el bloque de 4 bits y el Full Adder.