



Asignatura: IIN124 - **SISTEMAS DIGITALES**

Cuatrimestre: 1º Examen: **Parcial**

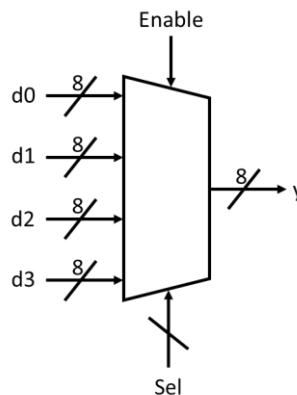
Grupo: 4ITI Curso: **2018/2019** Fecha: **20 de Marzo de 2019**

(NOTA: No se aceptarán respuestas que no hayan sido convenientemente razonadas)

Ejercicio 1 (2 puntos) Necesitamos diseñar una unidad Aritmético Lógica ALU para un microprocesador. Entre otras funciones la ALU tiene que ser capaz de sumar y restar números binarios de 8 bits.

- ¿Qué diferencia existe entre las arquitecturas de sumadores full adder y half adder? (0.5 puntos)
- Diseñar un sumador de 1 bit con una arquitectura full adder. (0.5 puntos)
- Como podemos implementar un sumador de 8 bits a partir de sumadores de 1 bit. (0.5 puntos)
- Explicar cómo podemos modificar la estructura del apartado c) para que el circuito además de sumar pueda restar. (0.5 puntos).

Ejercicio 2 (2 puntos) Queremos diseñar el multiplexor de la figura. Va a tener 4 entradas de 8 bits, d0, d1, d2, d3, una entrada de selección sel con el número de bits necesario, una señal de habilitación enable y una salida y de 8 bits. Cuando la entrada de habilitación enable valga '1' el multiplexor funcionará en el modo normal y si vale '0' la salida y se pondrá a cero.



- Dado el siguiente código en VHDL que intenta describir el multiplexor descrito completar la entidad (entity). (1 punto).

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity mux4_1 is  
  Port (
```



ALUMNO: _____

```
);  
end mux8_1;
```

- b) Dado el siguiente código en VHDL rellenar los huecos del código para que describa el comportamiento del multiplexor. (1 punto).

architecture Behavioral of mux4_1 is

begin

mux: process()

begin

if then

case is

end case;

else

end if;

end process;

end Behavioral;

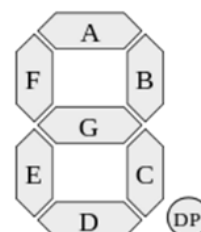
Ejercicio 3 (2 puntos)

- a) Diseñar un circuito que compare dos entradas de 8 bits, a y b de modo que si a es distinto de b la salida y del circuito es igual a '1' y en caso contrario es igual a '0'. (1 punto).
- b) **Suponiendo que tenemos el código VHDL del comparador anterior y que el nombre de la entidad es comp_1, queremos conectarlo con el multiplexor del Ejercicio 2 tal y como se indica en la figura.**

Ejercicio 4 (2 puntos)

- a) Diseñar un decodificador binario a BCD, de cuatro entradas. (1 punto).
- b) Describir que hace el siguiente código escrito en VHDL. (1 punto).

```
library ieee;  
use ieee.std_logic_1164.all;  
entity bcd2seg is  
port ( input: in std_logic_vector(3 downto 0);  
      seg: out std_logic_vector (6 downto 0));
```





ALUMNO: _____

```
end bin2seg;
architecture arch of bin2seg is
begin
    uno:PROCESS (input)
    BEGIN
        CASE input IS
            WHEN "0000"=>seg<="0001000";
            WHEN "0001"=>seg<="0000000";
            WHEN "0010"=>seg<="1000110";
            WHEN "0011"=>seg<="1000000";
            WHEN "0100"=>seg<="0000110";
            WHEN "0101"=>seg<="0001110";
            WHEN OTHERS=>seg<="1111111";
        END CASE;
    END PROCESS;
end arch;
```