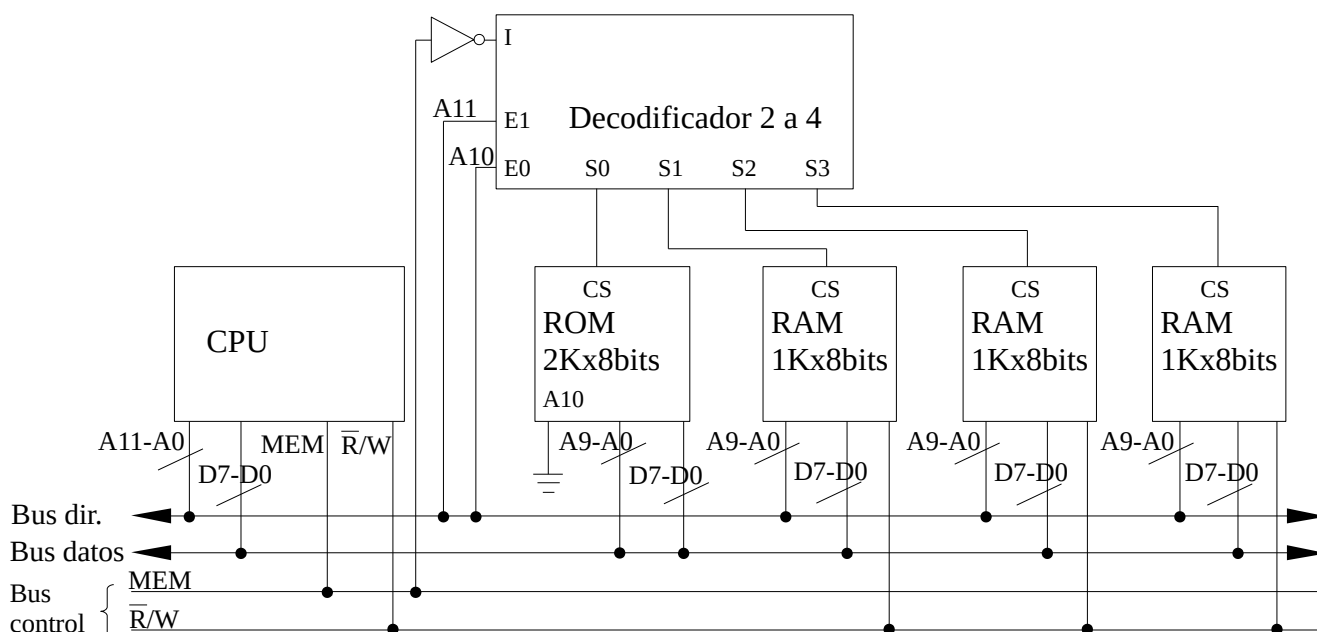


Soluciones ejercicios teoría PEI1

1. Diseñese la arquitectura de memoria para un procesador que tiene 8 líneas para datos, 12 para direcciones y, entre otras, las líneas habituales de $\overline{R/W}$, MEM e IO. Se requiere que el primer K de memoria sea ROM y el resto de direcciones posibles sean de RAM. Para ello se dispone de un chip de ROM de 2Kx8 bits y todos los módulos de RAM de 1Kx8 bits que sean precisos. También se dispone de decodificadores y multiplexores de cualquier tipo así como de puertas triestado y todas las puertas básicas (AND, OR, NOT, etc.) que sean necesarias.

Direccionar 1K = 2^{10} direcciones => se necesitan 10 bits (líneas)



2. En general, si un sistema tiene DMA:

- El reloj del sistema podrá ir más rápido.
- El bus de direcciones se usará más.
- No se va a precisar en el bus de control de la línea IO.
- Ninguna de las anteriores.**

3. Sean las siguientes afirmaciones:

- El intento de ejecución de un opcode no válido genera una interrupción.
- La shell (por ejemplo, bash) se ejecuta en modo kernel.

a) 1 y 2 son falsas.

b) 1 es cierta y 2 es falsa

c) 1 es falsa y 2 es cierta

d) 1 y 2 son ciertas.

4. Ensamble el siguiente programa en SUBLEQ sabiendo que la ejecución comienza por la dirección 0 y el tamaño de palabra es de un byte. Muestre el volcado de memoria en decimal con signo con las posiciones que sean relevantes, antes de empezar la ejecución del programa. Indique asimismo y generalizando, qué hace el programa.

```
; Programa: ...
; Propósito: ...
; Autor: Javier Macías
; Fecha: 11/10/2021
    subleq i, b
bucle1:
    subleq a, b, bucle2
    subleq i, c
    subleq z, z, bucle1
bucle2:
    subleq z, z, bucle2
z: DW 0
i: DW -1
a: DW 10
b: DW 40
c: DW 0
```

Etiqueta	Dir. memoria	Contenido	Instrucción
	0	16	subleq i, b
	1	18	
	2	3	
bucle1	3	17	subleq a, b, bucle2
	4	18	
	5	12	
	6	16	subleq i, c
	7	19	
	8	9	
	9	15	subleq z, z, bucle1
	10	15	
	11	3	
bucle2	12	15	subleq z, z, bucle2
	13	15	
	14	12	
z	15	0	
i	16	-1	
a	17	10	
b	18	40	
c	19	0	

El programa hace la división entera del valor almacenado en la posición de memoria b (dividendo) entre el valor almacenado en la posición de memoria a (divisor). Al finalizar (“termina” en un bucle infinito) el cociente queda en la posición de memoria c (en b queda el resto menos el divisor más uno). Es válido para dividendo ≥ 0 y divisor > 1 .

5. Sea la siguiente instrucción de D-CORE:

Mnemonic	Coding	Hex	Meaning
not	0010 0111 <****> <xxxx>	27*x	R[x] = NOT R[x]

Dado que, a diferencia de otras operaciones, solo hay un operando, responda razonadamente si se podría hacer que el registro destino fuera distinto del registro origen.

En principio se podían usar los 4 bits no usados en la instrucción para codificar el registro destino, pero por construcción el puerto selector de registro de grabación del banco de registros de D-CORE está cableado con el selector del operando origen X, con lo cual es imposible solo por microprogramación implementar esta operación.