

# FUNDAMENTOS DE COMPUTADORES

## Ejercicios U2: Circuitos Combinacionales

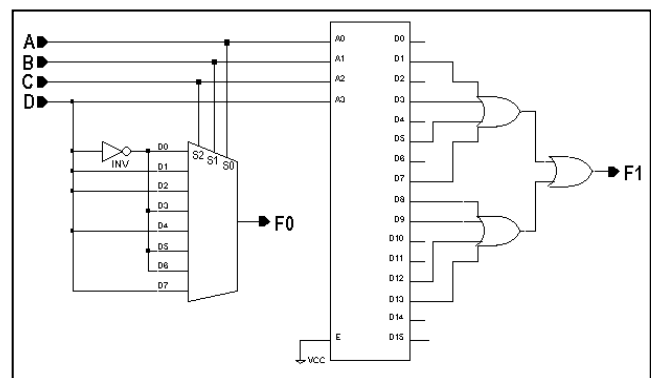
**U2\_1.** Se desea transmitir las primeras cuatro letras del alfabeto de un ordenador ORD1 a otro ORD2. En el primero las cuatro letras están codificadas en tres líneas X1, X2 y X3 y en el segundo tan sólo en dos, Y1 e Y2, según la tabla adjunta. Se pide realizar y dibujar un circuito combinacional que, utilizando sólo puertas NAND, sirva para realizar la conversión de código tal y como muestra la figura. **NOTAS:** Con una "X" se indica en la tabla que la variable puede tomar cualquier valor entre los posibles. La letra "A" se codifica como 01X o 100.

	A	B	C	D
X1	0 ó 1	1	0	1
X2	1 ó 0	1	0	0
X3	X ó 0	X	X	1
Y1	0	0	1	1
Y2	0	1	0	1

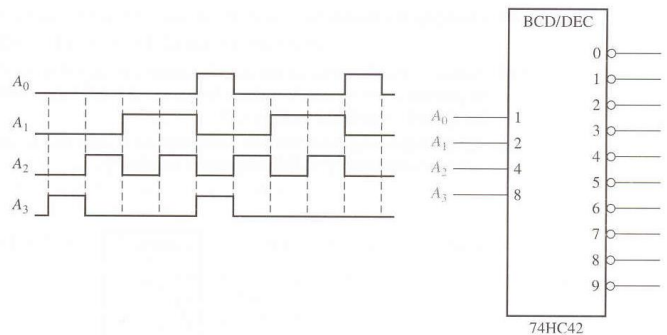


**U2\_2.** Dado el circuito de la figura, formado por un decodificador 4-16 y un multiplexor 8-1, se pide:

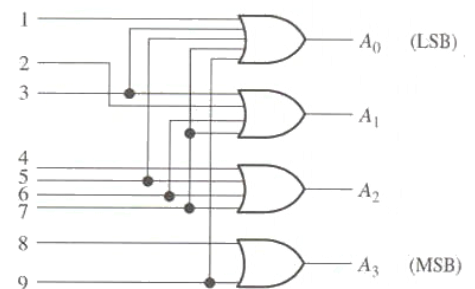
- Deducir la tabla de la verdad del sistema
- Simplificar las funciones lógicas  $F_1$  y  $F_0$
- Obtener expresiones que utilicen sólo puertas XOR y algún inversor si es necesario para  $F_0$  y sólo puertas NAND para  $F_1$



**U2\_3.** Se aplican secuencialmente los números BCD al conversor BCD-Decimal de la siguiente figura (la activación de las salidas es a nivel BAJO): Dibujad un diagrama de tiempos que muestre cada salida en relación con el resto de las señales de salida y con las entradas (suponed  $A_0$  LSB y  $A_3$  MSB del BCD).



**U2\_4.** Suponga que el codificador lógico decimal-BCD de la siguiente figura tiene las entradas 3 y 9 a nivel ALTO. ¿Cuál es el código de salida? ¿Es éste un código BCD (8421) válido?



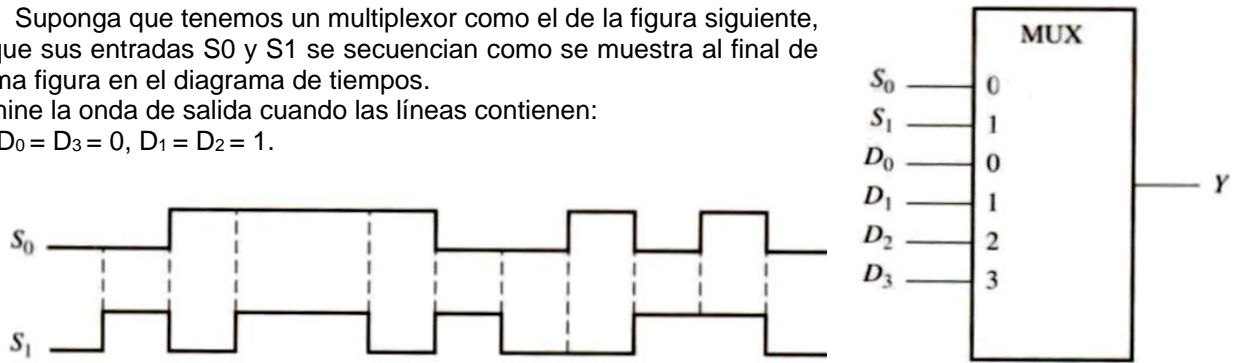
# FUNDAMENTOS DE COMPUTADORES

## Ejercicios U2: Circuitos Combinacionales

**U2\_5.** Suponga que tenemos un multiplexor como el de la figura siguiente, en el que sus entradas  $S_0$  y  $S_1$  se secuencian como se muestra al final de la misma figura en el diagrama de tiempos.

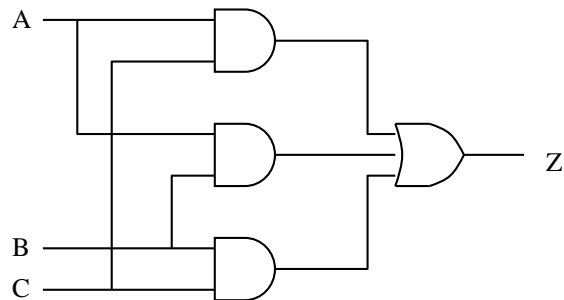
Determine la onda de salida cuando las líneas contienen:

$$D_0 = D_3 = 0, D_1 = D_2 = 1.$$

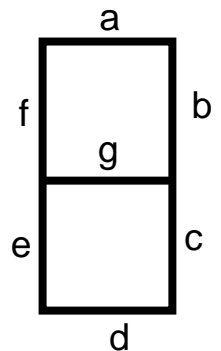


**U2\_6.** Escriba el circuito de la figura:

- Utilizando sólo puertas NAND.
- Utilizando sólo puertas NOR.



**U2\_7.** Utilizando tablas de Karnaugh, calcular las 7 expresiones lógicas correspondientes a cada uno de los segmentos de un visualizador que utilice entradas BCD (siendo  $D_3$  el bit MSB y  $D_0$  el LSB) activas en alto y que active los elementos del visualizador en alto.



**U2\_8.** Utilizando un multiplexor 4-1, se pide realizar un circuito que cumpla la función:

$$\text{a) } Z = AB + AC + \overline{A} \overline{B} \overline{C} \quad \text{b) } Z = \overline{A} B + AD + CD + \overline{A} \overline{D}$$

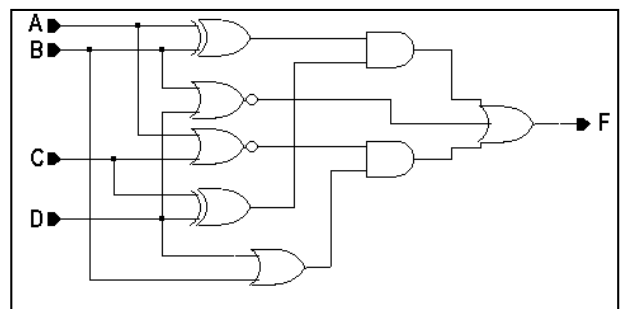
**NOTA:** Añadir alguna puerta si fuera necesario. Utilizar las variables A y B como control.

**U2\_9.** Obtenga la función  $S(A,B,C,D) = \sum m(2,3,5,6,9,10,13,14,15)$

- Utilizando un multiplexor de 16 entradas
- Utilizando un multiplexor de 8 entradas
- Utilizando un multiplexor de 4 entradas

Añadir en cada caso el mínimo número de puertas lógicas necesarias, utilizando en cada caso las variables de más peso como control.

**U2\_10.** Dado el circuito de la figura, se pide realizar la misma función lógica utilizando un multiplexor 8-1 y el mínimo número de puertas lógicas necesarias, utilizando las variables A, B y C como control.



# FUNDAMENTOS DE COMPUTADORES

## Ejercicios U2: Circuitos Combinacionales

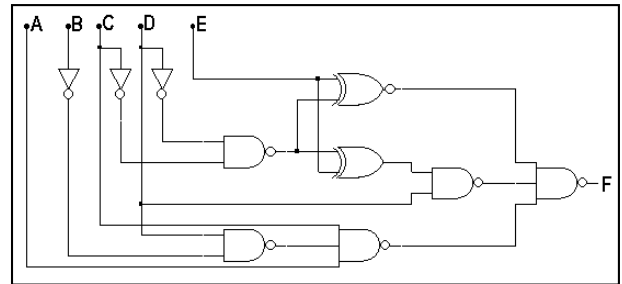
**U2\_11.** Un cierto circuito lógico con 4 variables de entrada A, B, C, y D sirve para resolver las funciones lógicas F y G. La función F vale '1' siempre que valgan '1' dos o más señales de la entrada, en otro caso F vale '0'. La función G vale '1' siempre que valga '1' un número par de señales de la entrada, en otro caso G es el complemento de F. Se pide:

- Diseñar un circuito para la función F que utilice un decodificador 4-16, con salidas activas a nivel bajo y el mínimo número de puertas lógicas necesarias
- Diseñar un circuito para la función G que utilice únicamente un multiplexor 8-1 y el mínimo número de puertas lógicas necesarias
- Diseñar un circuito para las funciones F y G que utilice el mínimo número de puertas utilizando sólo puertas NAND

Utilizar las variables más representativas como control.

**U2\_12.** Implemente la función  $F(A,B,C,D) = \sum m(4,5,6,7,8,13,14,15)$ , utilizando un multiplexor 4-1 y el mínimo número de puertas lógicas. Utilizad las variables de más peso como control.

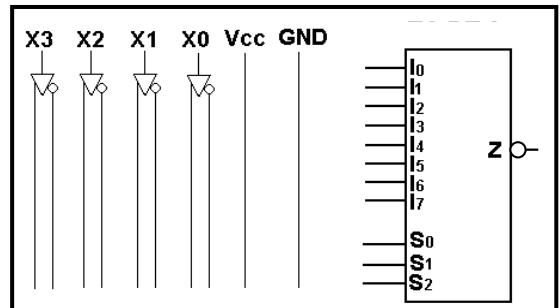
**U2\_13.** Se desea realizar la misma función lógica de 5 variables que realiza el circuito de la figura, pero utilizando un multiplexor 8-1. Utilizad las variables C, D y E como líneas de control de mayor a menor peso respectivamente.



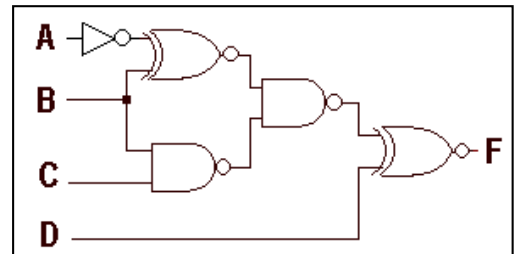
**U2\_14.** Dada la función de tres variables  $F = (A \oplus \overline{B}) (C + \overline{B})$ , se pide implementarla utilizando un decodificador 3-8 con salidas activas en bajo y el mínimo número de puertas. Tomar A como la variable de mayor peso.

**U2\_15.** Dada la función de 4 variables  $f(X3,X2,X1,X0) = \sum m(0,2,5,8,10,12,14)$ , donde X3 es el bit más significativo, se pide, utilizando como control las variables de menos peso:

- Materializar dicha función utilizando un multiplexor como el de la figura. Recordad que la salida de este circuito es activa a nivel bajo. Realizar las conexiones correspondientes en el esquema como el de la figura.
- Utilizando un mapa de Karnaugh, simplificar la función f.



**U2\_16.** Dado el circuito de la figura se pide, resolver la misma función utilizando un multiplexor 4-1. Utilizar las variables A y B como señales de control S1 y S0 respectivamente.



**U2\_17.** Dada la función de 4 variables  $F(ABCD) = AB + AC/D + BC + CD$ . Se pide:

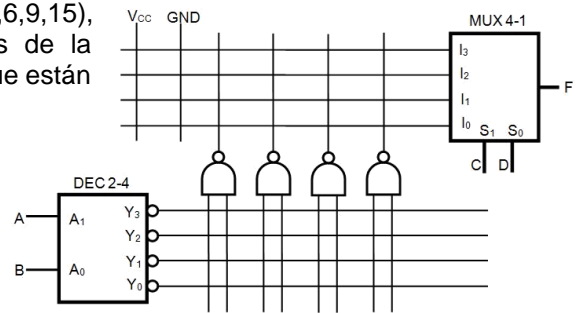
- Diseñarla utilizando el multiplexor 4-1.
- Diseñarla utilizando el decodificador 4-16 con salidas activas en bajo.

Añadir en cada caso las puertas adicionales mínimas que se consideren necesarias.

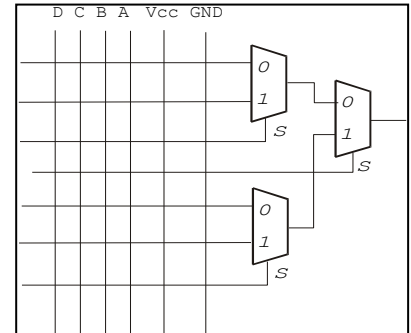
# FUNDAMENTOS DE COMPUTADORES

## Ejercicios U2: Circuitos Combinacionales

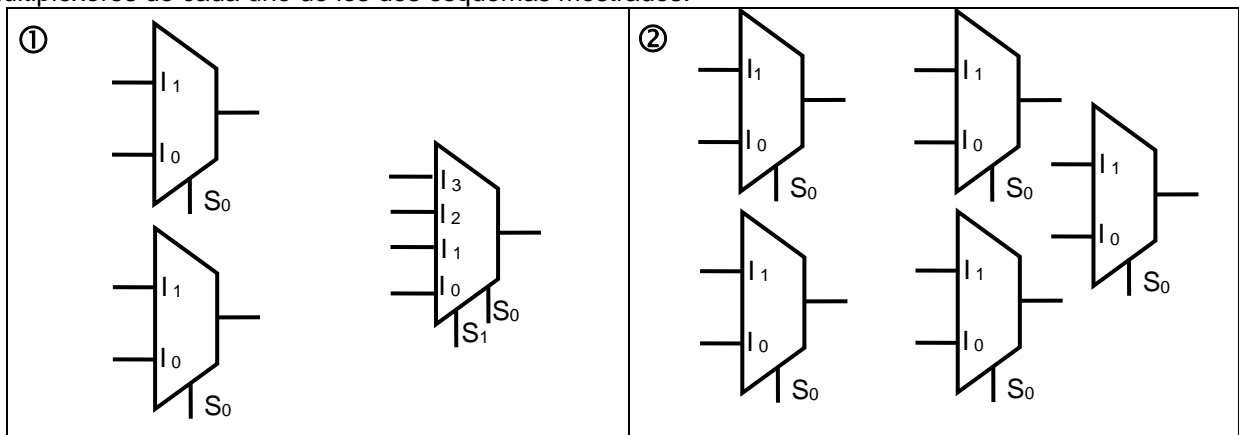
**U2\_18.** Dada la función lógica  $F(A,B,C,D) = \sum m(1,2,3,6,9,15)$ , impleméntela utilizando EXCLUSIVAMENTE los dispositivos de la figura adjunta, marcando con un punto o una cruz los cables que están conectados.



**U2\_19.** Los multiplexores 2-1 de la figura tienen una señal de control S y dos entradas (S=0 selecciona la entrada como 0). Se quiere implementar la función lógica  $F(D, C, B, A) = \prod M(0, 1, 4, 6, 8, 9, 10, 11)$  completando las conexiones en la figura. La variable D es la más significativa. Indique con una x los cables que deben quedar unidos.



**U2\_20.** Se pide implementar la función  $F(A,B,C,D) = \sum m(2,6,9,11,13)$ , utilizando exclusivamente, todos los multiplexores de cada uno de los dos esquemas mostrados.



**U2\_21.** Se tienen dos números X e Y de dos bits ( $X_1X_0$  e  $Y_1Y_0$ ) dados en complemento a dos.

- Escriba en una la tabla la suma de dichos números ( $S_2S_1S_0$ ). Tenga en cuenta que, como los números vienen dados en complemento a dos, el resultado también estará en complemento a dos.
- Expresé en maxterms la función S2. Expresé también S2 en la forma más simplificada posible como producto de sumas.

**U2\_22.** Para el llenado de un depósito de agua se cuenta con dos electroválvulas F1 y F2 que suministran un caudal de 50 y 10 litros/minuto respectivamente. Para ello se tendrán en cuenta los siguientes criterios:

- Cuando la cantidad de agua existente en el depósito se encuentre entre el 0 y el 60% de la capacidad total, se deberá llenar el depósito a razón de 60 litros/minuto.
- Si el nivel de agua se encuentra entre el 60 y el 90% la velocidad de llenado será de 50 litros/minuto.
- Si el nivel se encuentra entre el 90 y el 100% se procederá a terminar de llenar el depósito con un caudal de 10 litros/minuto.
- Si el nivel ha llegado a su punto máximo, es decir, al 100% se deben cerrar ambas electroválvulas.

Se dispone de 3 sensores (S1, S2, y S3) que permiten determinar el nivel del depósito en cada momento, de manera que:

- En el sensor S1 aparece un '1' cuando hemos llegado al 100% de la capacidad del depósito.
- Aparecerá un '1' en el sensor S2 si la cantidad de agua que existe en el depósito supera el 90%.
- Y por último, el sensor S3 nos indica mediante un '1' si el nivel se encuentra por encima del 60%.

# FUNDAMENTOS DE COMPUTADORES

## Ejercicios U2: Circuitos Combinacionales

Se pide:

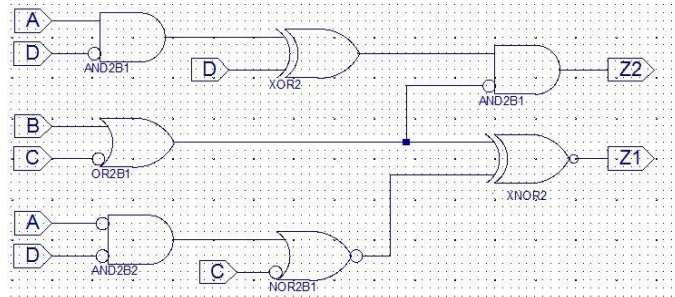
- La tabla de verdad del sistema.
- Implemente el control del actuador F1 utilizando un decodificador 3-8 con las salidas activas en bajo y la puerta lógica más simple que pueda necesitar.
- Implemente el control del actuador F2 utilizando un multiplexor 4-1, con el mínimo número de puertas adicionales.

**Nota1:** Se considera que una electroválvula está abierta, es decir, permite el paso del agua, cuando recibe un '1'; en caso contrario se encuentra cerrada.

**Nota2:** Para aquellas combinaciones de los sensores que no puedan darse, la salida de los actuadores (F1 y F2) serán consideradas como "0".

**U2\_23.** Dado el circuito de la figura se pide:

- Escriba la tabla de verdad del sistema.
- Implemente la función Z2 utilizando un decodificador 4-16 con las salidas activas en bajo y la puerta lógica más simple que pueda necesitar.
- Implemente la función Z1 utilizando un multiplexor 8-1, con el mínimo número de puertas adicionales. Utilice las variables A, B y C como variables de control, tomando A como la más significativa.



**Nota:** Señale el orden de las entradas de los circuitos y las entradas y salidas, que en cada caso se conectan.

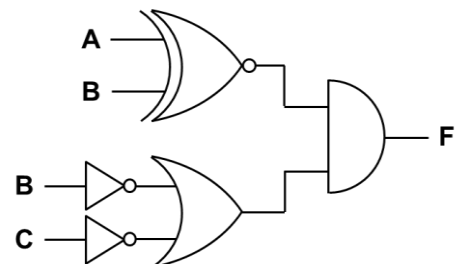
**U2\_24.** Dada la función de 4 variables  $F(A,B,C,D) = \prod M(0,5,7,9,10,12,14,15)$ , se pide:

- Escriba la tabla de verdad del sistema.
- Implemente la función utilizando el mínimo número de puertas y un multiplexor 8-1. Utilice en el control del multiplexor las variables más significativas.
- Implemente la función utilizando el mínimo número de puertas y un multiplexor 4-1. Utilice en el control del multiplexor las variables más significativas.

**NOTA:** En todos los circuitos se debe especificar el orden de prioridad de las entradas y en todas ellas se debe señalar la variable de entrada a la que se asocia.

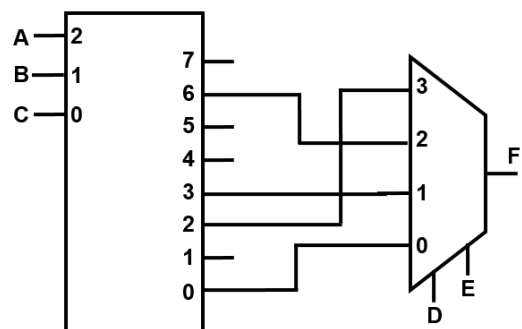
**U2\_25.** Dado el circuito de la figura, se pide:

- Escriba la tabla de verdad del sistema.
- Implemente la función utilizando un decodificador con salidas activas a nivel alto y el mínimo número de puertas del menor tamaño posible. Utilice A como variable más significativa.
- Implemente la función utilizando un decodificador con salidas activas a nivel bajo y el mínimo número de puertas del menor tamaño posible. Utilice A como variable más significativa.



**NOTA:** En todos los circuitos se debe especificar el orden de prioridad de las entradas y en todas ellas se debe señalar la variable de entrada a la que se asocia.

**U2\_26.** En el circuito de la figura se representa un decodificador 3-8 conectado a un multiplexor 4-1. Se pide la forma canónica de la función de 5 variables  $F(A,B,C,D,E)$ , dada como producto de maxterms.

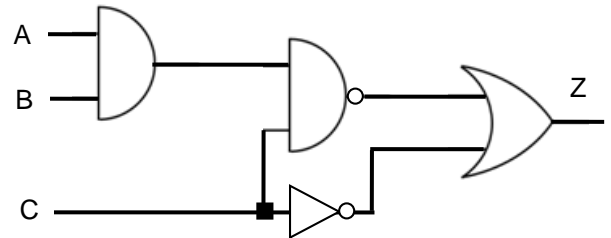


# FUNDAMENTOS DE COMPUTADORES

## Ejercicios U2: Circuitos Combinacionales

**U2\_27.** Dada la forma canónica de la función  $F(A,B,C) = \sum m(0,3,6)$ , función con 3 variables y donde A se considera la variable de mayor peso, se quiere implementar dicha función F utilizando un decodificador 3-8 con salidas activas en bajo y el menor de número de puertas lógicas y del tipo más simple que sea posible. Se pide realizar el diseño del circuito dibujando el decodificador y las puertas utilizadas, señalando en cada caso las entradas y salidas que se utilicen en el mismo.

**U2\_28.** Dado el circuito de la figura adjunta, donde se representa la función  $Z(A,B,C)$ , se quiere implementar dicha función Z utilizando un multiplexor 4-1 y el menor de número de puertas lógicas posible. Se pide realizar el diseño del circuito, justificando brevemente el diseño, dibujando el multiplexor y las puertas utilizadas, señalando en cada caso las entradas y salidas que se utilicen en el mismo. Utilizar A y B como variables de control, tomando A como la variable de mayor peso.

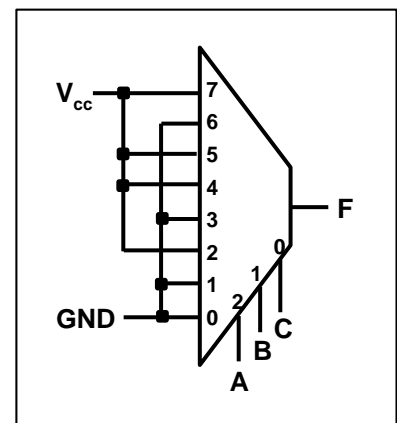


**U2\_29.** Dada la función de 4 variables  $F(A,B,C,D) = AB + AC\overline{D} + BCD$ , se pide:

- Obtener la expresión de F en su forma canónica como producto de sumas.
- Implementar dicha función utilizando un multiplexor 8:1 y el menor número de puertas posible.

**U2\_30.** Dado el circuito de la figura que implementa una función lógica de tres variables,  $F(A,B,C)$ , mediante un multiplexor 8-1, se pide:

- Utilizando el mínimo número de puertas, implementar la misma función por medio de un decodificador 3-8 con las salidas activas en bajo.
- Utilizando el mínimo número de puertas necesario, implementar la misma función por medio de un multiplexor 16-1.
- Utilizando el mínimo número de puertas necesario, implementar la misma función por medio de un multiplexor 4-1.



**U2\_31.** Dada la función de 4 variables  $F(A, B, C, D) = \sum m(3, 4, 6, 7, 9, 12, 13, 14)$ , donde A es la variable más significativa. Se pide:

- Implementar dicha función utilizando un multiplexor 8:1 y el menor número de puertas posible.
- Implementar dicha función utilizando un multiplexor 4:1 y el menor número de puertas posible.

**U2\_32.** Dada la función de 2 variables  $F(A, B) = A\overline{B} + \overline{A}B$ . Se pide:

- Implementar dicha función utilizando un decodificador 3-8 como el de la figura, en el que las salidas son activas en bajo. Utilizar las puertas lógicas adicionales que sean necesarias, se valora la utilización del menor número de puertas con el menor número de entradas que sea necesario.

**U2\_33.** Se pretende diseñar un circuito combinacional, cuya entrada ( $E_3E_2E_1E_0$ ) sea un número de 4 bits y su salida ( $S_2S_1S_0$ ) sea el número de unos presentes en la entrada. Se pide:

- La tabla de verdad del circuito.
- Las ecuaciones de las funciones de salida, de la siguiente forma:
  - S0 en una de sus formas canónicas.
  - S1 en su máxima simplificación como producto de sumas.
  - S2 en su máxima simplificación como suma de productos.
- Implemente (diseñe el circuito) las funciones de salida de la siguiente forma.
  - S2 con puertas lógicas.
  - S1 con un multiplexor 4:1 y el menor número de puertas lógicas posible.
  - S0 con un multiplexor 8:1 y el menor número de puertas lógicas posible.

En este tercer apartado, se valorará la utilización del menor número de puertas con el menor número de entradas que sean necesarias.