

## Problema 1

Como se observa en la tabla siguiente, para que todas las instrucciones hayan sido lanzadas a ejecución y solo la primera se haya ejecutado completamente, es necesario que las instrucciones de LOAD tengan una latencia de 6 ciclos

<b>Inst</b>		<b>Issue</b> (Se lanza a)	<b>Execute</b>	<b>Write</b>	
I1: LD	F6,x(R1)	1	Load1	2-7	8
I2: LD	F2,y(R1)	2	Load2	3-8	9
I3: MULTD	F0,F2,F4	3	Mul1	10-?	
I4: SUBD	F8,F6,F2	4	Add1	10-?	
I5: DIVD	F6,F0,F6	5	Mul2		
I6: ADDD	F10,F0,F6	6	Add2		
I7: ADDD	F6,F8,F2	7	Add3		
I8: SD	z(R1),F6	8	Store1		

Problema 1 (cont.): Ciclo 1

Se lanza: LD F6,x(R1)

### Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
	Add1	No					
	Add2	No					
	Add3	No					
	Mul1	No					
	Mul2	No					

### Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi				Load1					
Vi									

### Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
	Load2	No	
	Load3	No	

### Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 2

Se lanza: LD F2,y(R1)

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
	Add1	No					
	Add2	No					
	Add3	No					
	Mul1	No					
	Mul2	No					

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi		Load2		Load1					
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 3

Se lanza: MULTD F0,F2,F4

### Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
	Add1	No					
	Add2	No					
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
	Mul2	No					

### Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Load1					
Vi									

### Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

### Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 4

Se lanza: SUBD F8,F6,F2

### Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
	Add2	No					
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
	Mul2	No					

### Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Load1	Add1				
Vi									

### Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

### Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 5

Se lanza: DIVD F6,F0,F6

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
	Add2	No					
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1		Load1

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Load1 Mul2	Add1				
Vi									

Load Buffers

Instr alojada	Busy	Dirección
I1	Yes	X + R1
I2	Yes	Y + R1
	No	

Store Buffers

Instr alojada	Busy	Dirección	Qi	Vi
	No	Store1		
	No	Store2		
	No	Store3		

Problema 1 (cont.): Ciclo 6

Se lanza: ADD F10,F0,F6

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
I6	Add2	Yes	Add		Mul1		Mul2
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1		Load1

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Mul2	Add1	Add2			
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 7

Se lanza: ADDD F6,F8,F2

### Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
I6	Add2	Yes	Add		Mul1		Mul2
I7	Add3	Yes	Add		Add1		Load2
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1		Load1

### Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Mul2 Add3	Add1	Add2			
Vi									

### Load Buffers

Instr alojada	Busy	Dirección
I1	Yes	X + R1
I2	Yes	Y + R1
	No	

### Store Buffers

Instr alojada	Busy	Dirección	Qi	Vi
	No	Store1		
	No	Store2		
	No	Store3		



Problema 1 (cont.): Ciclo 8    Se lanza: SD z(R1),F6    Acaba: LD F6,x(R1)

### Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub	[F6]			Load2
I6	Add2	Yes	Add		Mul1		Mul2
I7	Add3	Yes	Add		Add1		Load2
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1	[F6]	

### Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Add3	Add1	Add2			
Vi									

### Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	No	
I2	Load2	Yes	Y + R1
	Load3	No	

### Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
I8	Store1	Yes	Z + R1	Add3	
	Store2	No			
	Store3	No			