

Problema 4.

Símbolos:

- * Riesgo estructural por acceso a memoria
- \$ Dependencia verdadera (LDE)

ITERACIÓN 1	ISSUE	EXECUTE	WRITE	ER ocupadas		
				Load	Store	Add
loop: SUB R1,R1,#4	1	2	3	0	0	0
LD F0, y (R1)	2	4-6 \$	7	1	0	0
LD F2, z (R1)	3	5-7 *	8	2	0	0
LD F4, t (R1)	4	6-8 *	9	3	0	0
ADDD F6,F4,F0	5	10-13 \$	14	3	0	1
ADDD F8,F2,F0	6	9-12 \$	13	3	0	2
ADDD F6,F6,F8	7	15-18 \$	19	3	0	3
BNEZ R1, loop	8	9	--	2	0	3
SD x (R1), F6	9	20-22 \$	--	1	1	3
ITERACIÓN 2				Load	Store	Add
loop: SUB R1,R1,#4	10	11	12	0	1	3
LD F0, y (R1)	11	13-15 \$	16	1	1	3
LD F2, z (R1)	12	14-16 *	17	2	1	3
LD F4, t (R1)	13	15-17 *	18	3	1	3
ADDD F6,F4,F0	14	19-22 \$	23	3	1	3
ADDD F8,F2,F0	15	18-21 \$	22	3	1	3
ADDD F6,F6,F8	16	24-27 \$	28	3	1	4
BNEZ R1, loop	17	18	--	2	1	4
SD x (R1), F6	18	29-31 \$	--	1	2	4
ITERACIÓN 3				Load	Store	Add
loop: SUB R1,R1,#4	19	20	21	0	2	4
LD F0, y (R1)	20	22-24 \$	25	1	2	3
LD F2, z (R1)	21	23-25 *	26	2	2	3
LD F4, t (R1)	22	24-26 *	27	3	2	3
ADDD F6,F4,F0	23	28-31 \$	32	3	1	3
ADDD F8,F2,F0	24	27-30 \$	31	3	1	3
ADDD F6,F6,F8	25	33-36 \$	37	3	1	4
BNEZ R1, loop	26	27	--	2	1	4
SD x (R1), F6	27	38-40 \$	--	1	2	4

Observar:

Al terminar la tercera iteración la ocupación de ER es la misma que al terminar la segunda, solo que 9 ciclos más tarde. La ejecución de las instrucciones en la 3ª iteración sigue la misma pauta que en la segunda.

Luego:

En la 4ª iteración y siguientes, todo transcurrirá como en la 3ª, con 9 ciclos de retardo en cada iteración. Por lo tanto basta con tener 3 Load Buffers, 2 Store Buffers y 4 ER de la suma.

Rendimiento

3 FLOP por cada iteración → 3 FLOP / 9 ciclos

$$R = \frac{3 \text{ FLOP} \times 1.2 \times 10^9 \frac{\text{ciclos}}{s}}{9 \text{ ciclos}} = \frac{3600 \times 10^6 \text{ FLOP}}{9 \frac{s}{s}} = 400 \text{ MFLOPS}$$