

| ASIGNATURA        | Modelado y Síntesis de Sistemas<br>Electrónicos Digitales | FECHA | Junio 2018 |
|-------------------|---|-------|------------|
| APELLIDOS, NOMBRE |   |       |            |

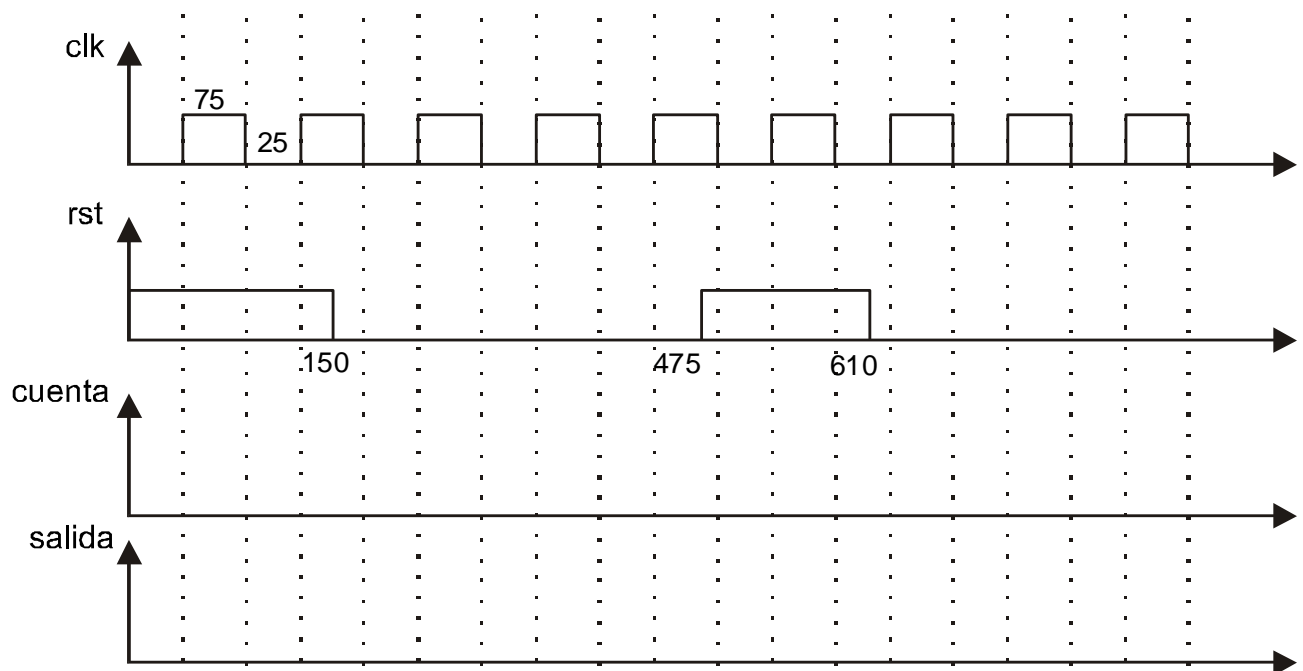
### Cuestión 1

Para el modelo de un contador en VHDL se ha utilizado el siguiente código:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity c1 is
    port ( clk      : in  std_logic;
          rst      : in  std_logic;
          salida    : out std_logic_vector(3 downto 0));
end c1;
architecture rtl of c1 is
    signal cuenta : unsigned(0 to 3);
begin
    process (clk, rst)
    begin
        if (rst = '1') then
            cuenta <= (others => '0');
        elsif (clk'event and clk = '0') then
            cuenta <= cuenta+1;
        end if;
        salida <= std_logic_vector(cuenta);
    end process;
end rtl;
```

A este código se le aplican los estímulos de la gráfica siguiente. Se pide completar dicha gráfica

(10 ptos)



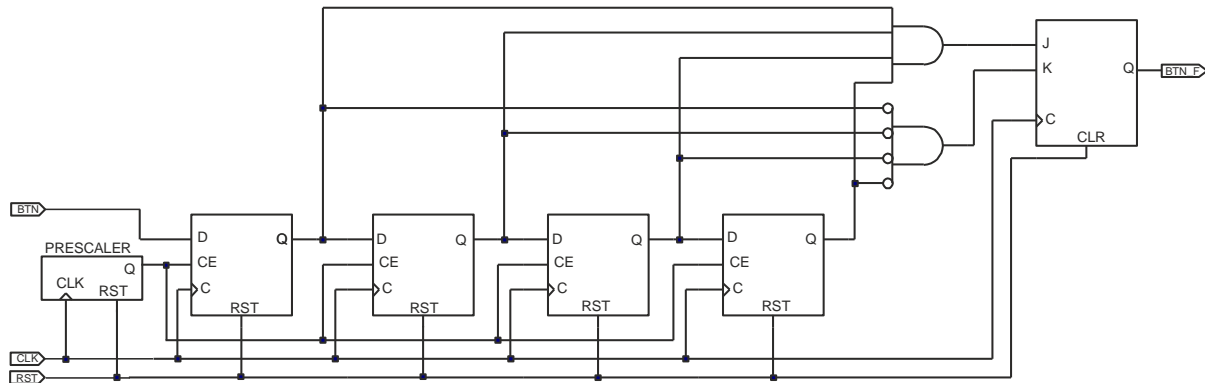
**Cuestión 2**

Generar el Testbench que permita comprobar el funcionamiento del contador de la cuestión anterior, de forma que los estímulos aplicados sean los que aparecen en el cronograma de dicho ejemplo. La simulación debe finalizar cuando el contador pase por 5 después de haber alcanzado su valor máximo de cuenta.

**(15 ptos)**

### Cuestión 3

Para eliminar los rebotes producidos por un pulsador (**BTN**) se utiliza el circuito de la figura siguiente, en la que el bloque prescaler proporciona, a partir de una señal de reloj **CLK** de 50 MHz, una señal de frecuencia 1 KHz.



Crear el código VHDL sintetizable que modele el circuito antirrebotes anterior. Se deberá indicar sobre la figura el nombre de las señales utilizadas en el modelado. La señal RST, de todos los elementos secuenciales, es síncrona y activa a nivel alto.

(25 pto)

```
entity c3 is
  port (
    rst      : in  std_logic;
    clk      : in  std_logic;
    btn      : in  std_logic;
    btn_f    : out std_logic);
end entity;
```

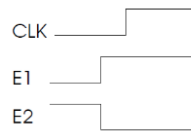


**Cuestión 4**

Crear el código VHDL síncrono que modele un sistema secuencial síncrono con dos entradas E1 y E2, y una salida S, que funciona de la siguiente forma: Cada vez que las dos entradas E1 y E2 sean coincidentes en 4 ciclos seguidos de reloj, la salida S se pondrá a 1, y en los demás casos a 0, tal y como se muestra a continuación:

|     |               |
|-----|---------------|
| E1: | 0110011000110 |
| E2: | 1110001000111 |
| S:  | ???0100001110 |

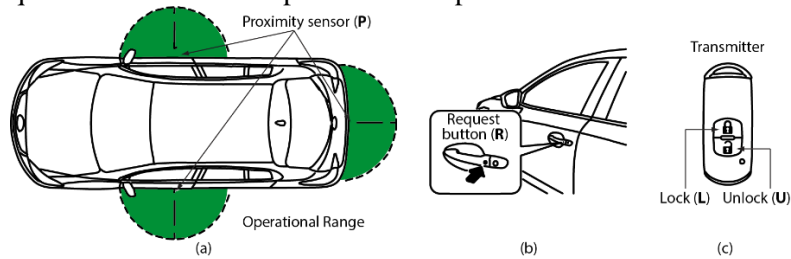
Cada uno de los valores de E1 y E2 se producen antes del flanco de subida de la señal CLK (figura adjunta), siendo su duración igual a un periodo de reloj. Para no perder ningún dato, todos los procesos secuenciales utilizados deberán ser activos a dicho flanco.

**20 ptos)**

```
entity c4 is
  port (clk : in  std_logic;
        e1  : in  std_logic;
        e2  : in  std_logic;
        s   : out std_logic);
end c4;
```

### Cuestión 5

Se desea instalar un sistema de control de apertura y cierre sin llave en el vehículo de la figura siguiente. Para ello se deben diseñar tres máquinas de estados exactamente iguales que gestionen la apertura y cierre de los seguros de las puertas delanteras y el portón del vehículo, aunque por simplicidad sólo se va a diseñar la máquina de estados correspondiente a la puerta del conductor.



Las entradas y salida de la máquina de estados a diseñar tienen el siguiente funcionamiento es:

- Entrada (**P**): sensor de proximidad que se **activa a nivel alto** si el transmisor, figura c, está dentro de la zona sombreada de la puerta del conductor.
- Entrada (**R**): pulsador de petición de apertura o cierre, figura b, que se **activa a nivel alto** si el usuario lo pulsa.
- Entradas asíncronas Lock (**L**) y Unlock (**U**): pulsadores de cierre (Lock, **L**) y apertura (Unlock, **U**) a distancia del transmisor, figura c. Ambos pulsadores son **activos a nivel alto** y con mayor prioridad de Lock.
- Salida (**O**): señal de apertura y cierre de los seguros del vehículo. Si la señal se activa a **nivel alto** abrirá los seguros mientras que a **nivel bajo** los cerrará.
- Se **abre** el vehículo desde el exterior cuando, estando cerrado, se ejecuta cualquiera de estas acciones:
  - Se pulsar la entrada asíncrona Unlock (**U**) del transmisor, o bien,
  - Se pulsar el botón de petición de apertura o cierre (**R**) mientras se está con el transmisor en la zona de activación del sensor de proximidad.
- Se **cierra** el vehículo desde el exterior cuando, estando abierto, se ejecuta cualquiera de estas acciones:
  - Se pulsar la entrada asíncrona Lock (**L**) del transmisor, o bien,
  - Se pulsar el botón de petición de apertura o cierre (**R**) mientras se está con el transmisor en la zona de activación del sensor de proximidad, o bien,
  - Se sale y se permanece fuera de la zona de activación del sensor de proximidad durante dos flancos consecutivos de reloj.

1. Realice el grafo de estados del sistema, diseñado como máquina de estados tipo **Moore**, utilizando el menor número de estados posibles. Indique la nomenclatura (leyenda) utilizada en el grafo .

(10 ptos)

2. Crear el código VHDL, sintetizable, que modele el sistema anterior.

**(20 ptos)**

```
entity control_apertura is
  port (
    CLK : in  std_logic;
    L   : in  std_logic;
    U   : in  std_logic;
    P   : in  std_logic;
    R   : in  std_logic;
    O   : out std_logic);
end control_apertura;
```

