

Referencia Digital para TMA-s

Ejercicios I



digital

Preparado por José Manuel Migueláñez.
Profesor de Mantenimiento de Aviónica
I.E.S. BARAJAS. MADRID

índice

SISTEMAS DE NUMERACIÓN Y CÓDIGOS.....	2
ÁLGEBRA DE BOOLE. PUERTAS LÓGICAS	4
ELECTROSTATIC SENSITIVE DEVICES.....	8
CIRCUITOS COMBINACIONALES.....	9
FLIP-FLOPS.....	12
CIRCUITOS SECUENCIALES.....	14
DAC-ADC.....	18
MEMORIAS.....	19
PLD-S.....	21
SISTEMAS DE NUMERACIÓN Y CÓDIGOS. RESPUESTAS.....	23
ÁLGEBRA DE BOOLE. PUERTAS LÓGICAS. RESPUESTAS.	24
CIRCUITOS COMBINACIONALES. RESPUESTAS.....	26
FLIP-FLOPS. RESPUESTAS.	29
CIRCUITOS SECUENCIALES. RESPUESTAS.....	31
DAC-ADC. RESPUESTAS.....	34
MEMORIAS. RESPUESTAS.....	35
PLD-S. RESPUESTAS.....	37

□ 7. Realizar en complemento a dos las operaciones siguientes, indicando el estado del bit de Carry y del bit de Overflow (trabajamos con 8 bits).

a) $115 + 12$

b) $122 - 63$

c) $92 - (-25)$

d) $-68 - 49$

e) $114 + 29$

□ 8. Convertir a código Gray los siguientes números:

a) 135

b) 96

c) 247

□ 9. Convertir a decimal los siguientes números del código Gray.

a) 1111

b) 011100

c) 10011010

□ 10. Realizar el código de paridad par a partir del BCD- AIKEN.

□ 11. Representar en formato coma flotante de precisión simple el número 3528,015625

□ 12. Calcular el valor decimal del siguiente número dado en formato coma flotante de precisión simple:

11101100000110000011011100010000

ÁLGEBRA DE BOOLE. PUERTAS LÓGICAS

□ 1. Convertir a diagrama de contactos las siguientes funciones:

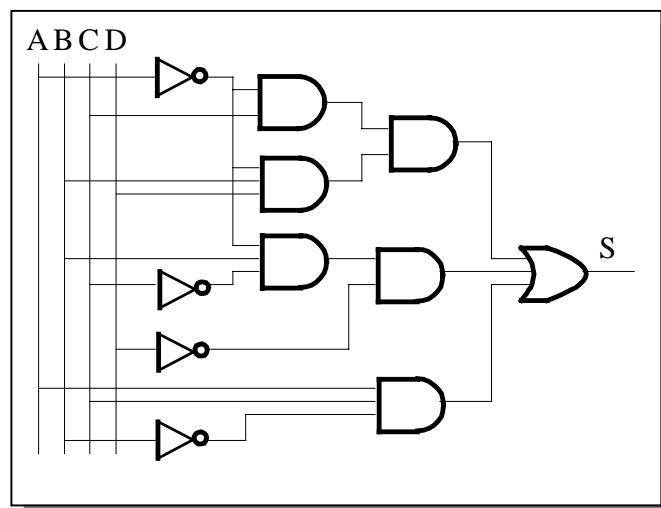
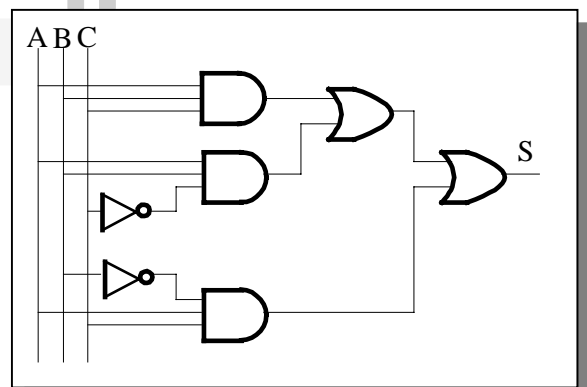
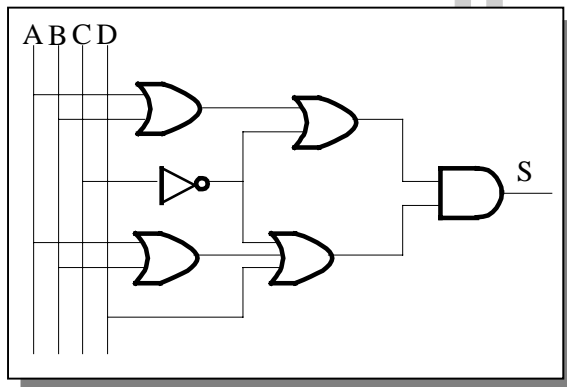
a) $F1 = (A + B)A + \bar{A}B$ b) $F2 = ABC + A\bar{B} + AC$ c) $F3 = A + \bar{B} + ABC$

□ 2. Aplicando el Álgebra de Boole, simplificar las siguientes funciones:

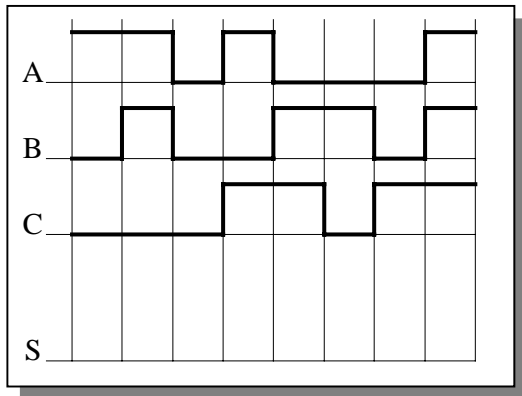
a) $F1 = AB + AC + A$ b) $F2 = A + B(\bar{A}\bar{C})$ c) $F3 = A(\bar{B}C)$
 d) $F4 = (A + \bar{B})(\bar{C} + A)$ e) $F5 = (AB)A + B\bar{A}$ f) $F6 = ABC + A\bar{B}C + AB\bar{C}D$
 g) $F7 = ABCD + AB + ABD(\bar{E} + \bar{F})$ h) $F8 = [(A + B) + C] + (\bar{A} + B)$
 i) $F9 = (\bar{A} + B)[C(B + \bar{C})]$ j) $F10 = \bar{B}\bar{C}(A + C)(A + \bar{B})$

□ 3. Implementar con puertas lógicas antes y después de la simplificación, las funciones anteriores.

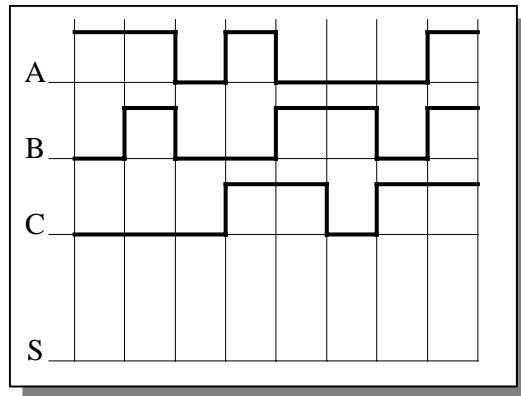
□ 4. Simplificar los siguientes circuitos.



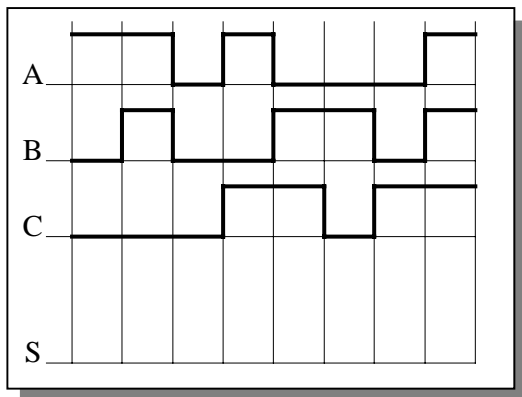
- 5. Dibujar la señal de salida que se obtiene al aplicar las siguientes señales a las puertas indicadas:



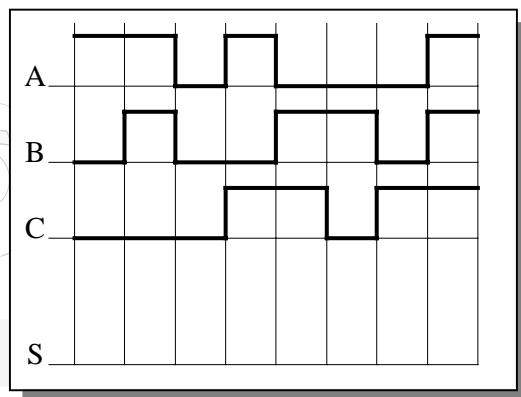
Puerta NOR



Puerta AND



Puerta NAND

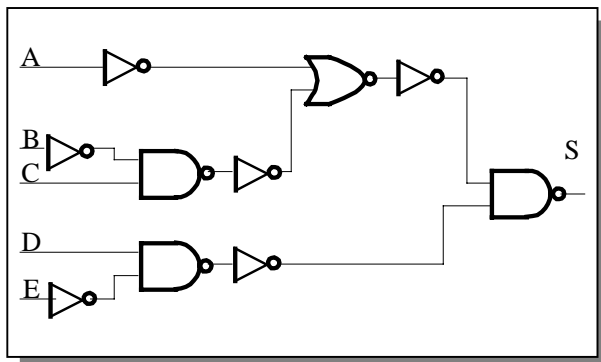


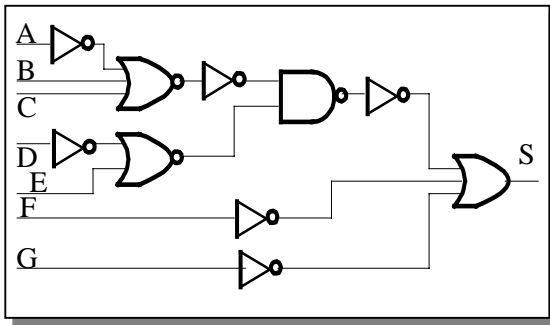
Puerta OR

- 6. Implementar con el mínimo número de puertas NAND posible, las funciones XOR y XNOR.
- 7. Implementar con el mínimo número de puertas NOR posible, las funciones XOR y XNOR.
- 8. Implementar la siguiente función utilizando simbología IEEE/ANSI.

$$F = \overline{(\overline{A} \overline{B} + A + B)} \overline{C}$$

- 9. Determinar que condiciones deben cumplir las variables de entrada para que la salida del siguiente circuito sea: a) **ACTIVA** y b) **NO ACTIVA**





- 10. Determinar que condiciones deben cumplir las variables de entrada para que la salida del siguiente circuito sea: a) **ACTIVA** y b) **NO ACTIVA**

- 11. Simplificar mediante Karnaugh las siguientes funciones:

a) $F1 = \bar{A}\bar{B}C + \bar{A}BC + \bar{A}B\bar{C} + ABC + \bar{A}\bar{B}\bar{C}$

b) $F2 = \bar{A}BCD + A\bar{B}CD + AB\bar{C}D + ABC\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}BC\bar{D} + ABCD$

c) $F3 = (A + \bar{B} + \bar{C})(\bar{A} + B + C)(A + B + C)(A + \bar{B} + C)(A + B + \bar{C})(\bar{A} + \bar{B} + \bar{C})$

d) $F4 = (A + B + C + D)(A + \bar{B} + \bar{C} + D)(A + B + C + \bar{D})(\bar{A} + \bar{B} + \bar{C} + D)(\bar{A} + B + C + D)(A + \bar{B} + C + D)$

e) $F5 = \Sigma_3(0, 1, 3, 6)$

f) $F6 = \Pi_3(3, 5, 7)$

g) $F7 = \Sigma_4(0, 2, 4, 5, 6, 7, 14)$

h) $F8 = \Pi_4(3, 5, 7, 10, 12, 13)$

i) $F9 = \Sigma_3(1, 3, 5) + d(0,7)$

j) $F10 = \Pi_3(0, 3, 4, 7) + d(1, 2)$

k) $F11 = \Sigma_4(0, 2, 4, 5, 6, 7, 14) + d(1, 9, 10, 11, 12)$

l) $F12 = \Pi_4(0, 3, 4, 7, 10, 13, 14, 15) + d(1, 2, 5, 6)$

- 12. Poner en forma de Maxterms las siguientes funciones:

a) $F1 = \bar{B}C + A\bar{C}$

b) $F2 = AB + AC$

- 13. Poner en forma de Minterms las siguientes funciones:

a) $F1 = (A + \bar{C})(\bar{B} + C)$

b) $F2 = (A + B)(A + C)$

- 14. Simplificar las siguientes funciones:

A	B	C	D	F1	F2	F3	F4
0	0	0	0	0	1	1	0
0	0	0	1	0	1	1	1
0	0	1	0	1	0	0	1
0	0	1	1	0	1	1	0
0	1	0	0	1	0	1	0
0	1	0	1	1	1	0	1
0	1	1	0	0	1	0	1
0	1	1	1	0	0	0	0
1	0	0	0	1	0	1	0
1	0	0	1	1	1	1	1
1	0	1	0	0	0	1	X
1	0	1	1	0	1	1	X
1	1	0	0	0	1	1	X
1	1	0	1	1	1	0	X
1	1	1	0	0	0	1	X
1	1	1	1	1	1	1	X

□ 15. Demostrar.

a) $(A + B)(\bar{A} + C) = A C + \bar{A} B$

b) $A B + \bar{A} C = (A + C)(\bar{A} + B)$

c) $A B + \bar{A} C + B C = A B + \bar{A} C$

d) $(A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C)$

□ 16. Simplificar.

a) $F1 = A B + A C + \bar{A}$

b) $F2 = \bar{A} + B(A \bar{C})$

c) $F3 = \overline{A(B C)}$

d) $F4 = (\bar{A} + B)(\bar{C} + A)$

e) $F5 = (A \bar{B}) + C \bar{A}$

f) $F6 = (\bar{A} + B)(\bar{B} + C)$

g) $F7 = A \bar{B} C + A B \bar{C} + \bar{A} B C D$

h) $F8 = \overline{(A + B + C)(A + B)}$

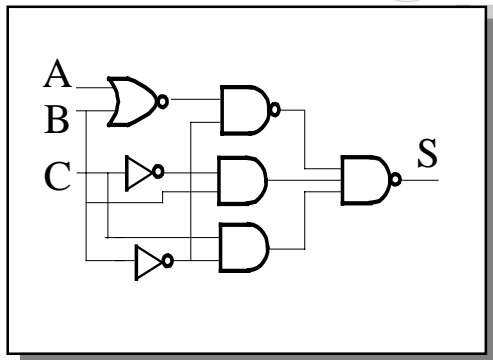
i) $F9 = ABC + \bar{B} C + \bar{A} C$

□ 17. Simplificar e implementar utilizando solamente puertas NAND, la función dada:

$$S = \bar{A} \bar{B} \bar{C} D + B \bar{C} D + \bar{A} \bar{C} + A$$

□ 18. Simplificar e implementar con el mínimo número de puertas:

$$S = \bar{D} \bar{C} B A + \bar{D} C A + D \bar{C} B \bar{A} + C A + D C A$$



□ 19. Realizar una tabla donde se indique todas las condiciones que tienen que cumplir A, B y C para que la salida S sea activa.

□ 20. Simplificar la función dada y diseñar el circuito lógico que la cumpla utilizando para el diseño solamente puertas NOR.

$$S = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} D + A \bar{C} + D$$

□ 21. Simplificar la función dada y dar el resultado en forma de maxterms.

$$S = C B A + C B D + \bar{C} \bar{A} + \bar{D} C \bar{B} + \bar{D} C B \bar{A} + D C \bar{B}$$

□ 22. Simplificar por el método de Quine McCluskey las siguientes funciones:

a) $S = \Sigma_4 (2, 4, 6, 8, 9, 10, 12, 13, 15)$

a) $S = \Sigma_5 (2, 3, 7, 10, 12, 15, 27) + d(5, 18, 19, 21, 23)$

c) $S = \Pi_5 (1, 2, 3, 6, 10, 12, 18, 7, 11, 13, 19, 21, 26, 28, 27, 29)$

ELECTROSTATIC SENSITIVE DEVICES.

- 1. Que significan los acrónimos ESD y ESDS.
- 2. De que forma se puede generar electricidad estática.
- 3. En que sentido influye la humedad relativa del aire en la generación de una ESD.
- 4. Si se ponen en contacto una prenda de lana y una hoja de acetato, en que sentido habrá transferencia de cargas.
- 5. Cuanto voltaje puede generar una persona caminando por una alfombra, en un ambiente de humedad relativa por debajo del 25%.
- 6. Clasificar los efectos producidos por la ESD e indicar en que consiste cada uno de ellos.
- 7. Que se entiende por sensibilidad a la ESD de un componente.
- 8. Según la dirección de la descarga, que tipos de ESD conoces. Describe cada uno de ellos.
- 9. Principios básicos para el control de ESD. Describir cada uno de ellos.
- 10. Que elementos de protección podemos utilizar para minimizar la ESD.
- 11. Enumera los elementos que componen un sistema de protección contra ESD en un puesto de trabajo de manipulación de tarjetas y componentes electrónicos.
- 12. Dibujar los símbolos que se utilizan para indicar que debemos tomar precauciones tipo ESD.
- 13. En que situaciones debe realizarse la manipulación de ESDS.
- 14. Precauciones a tomar cuando se recibe un elemento ESDS.
- 15. Como se deben proteger los elementos ESDS contra la ESD para su almacenamiento.
- 16. Precauciones a tomar cuando se manipulan elementos ESDS fuera de su bolsa protectora.
- 17. Requerimientos en las áreas protegidas contra ESD.
- 18. Que actividades comprende la comprobación del área de control ESD.
- 19. Reglas a seguir para conseguir una protección efectiva de los IC-s contra la ESD.
- 20. Precauciones a tener en cuenta en la manipulación de LRU-s dentro de la aeronave.
- 21. Cual es la función de los descargadores de estática en una aeronave.
- 22. Cual es la función de los Ground Points situados en el fuselaje de una aeronave.

CIRCUITOS COMBINACIONALES.

- 1. Diseñar un circuito lógico que indique cuando en una votación de cuatro miembros se produce mayoría de “sí”, mayoría de “no” y cuando hay empate.
- 2. Las cuatro entradas de un circuito lógico deben permanecer siempre entre los valores de 0111 y 1001. Diseñar otro circuito lógico, que nos indique (mediante una señal luminosa) cuando las entradas están fuera de estos márgenes.
- 3. Repetir el ejercicio 2 suponiendo que las cuatro entradas solo pueden tomar un valor BCD-N.
- 4. Repetir el ejercicio 2 suponiendo que las cuatro entradas solo pueden tomar un valor BCD-X3.
- 5. Diseñar un circuito lógico que nos indique cuando dos números binarios de dos bits son iguales.
- 6. Diseñar un circuito lógico que nos indique cuando un número binario A de dos bits, es mayor que otro B, también de dos bits.
- 7. Diseñar un circuito lógico que nos indique cuando un número binario A de 4 bits, es mayor, menor o igual que otro número B, también de 4 bits.
- 8. Diseñar un circuito lógico que multiplique dos números binarios de dos bits. El resultado debe ser dado en binario natural.
- 9. Diseñar un generador de código de paridad impar basado en el código BCD-N.
- 10. Diseñar, con puertas NAND de dos entradas, un codificador 8-3 líneas con entradas activas a nivel bajo.
- 11. Diseñar con puertas NAND, un codificador DECIMAL-BINARIO.
- 12. Diseñar con puertas NAND, un decodificador 3-8 líneas con salidas activas a nivel bajo.
- 13. Diseñar un decodificador BCD-DECIMAL (4-10 líneas) con salidas activas a nivel bajo.
- 14. Diseñar un decodificador BINARIO-GRAY de 3 variables.
- 15. Diseñar un decodificador BCD-7 segmentos, con indicación de “E” para entradas no BCD y para utilizar con displays de ánodo común.
- 16. Implementar con un decodificador de salidas activas a nivel bajo, la siguiente función:

$$F = A B + \bar{A} \bar{C} + A B C$$

□ 17. Implementar un decodificador de 5 a 32 líneas a partir de decodificadores de 3 a 8 líneas.

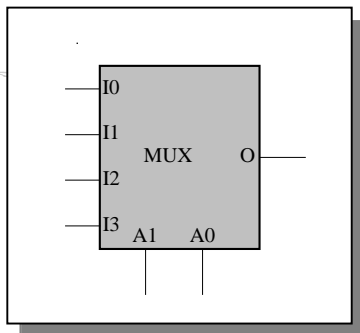
□ 18. Implementar las siguientes funciones con MUX. de tres entradas de selección.

a) $C B A + D C \bar{A} + \bar{D} \bar{C} \bar{B} \bar{A} + D C A + \bar{D} C \bar{B} \bar{A}$ b) $D C \bar{A} + D C B + D \bar{B} A$

□ 19. Diseñar e implementar con puertas lógicas un multiplexor de 8 entradas de datos y una entrada de habilitación.

□ 20. A partir de multiplexores como el anterior (símbolo lógico), diseñar un multiplexor de 32 entradas de datos.

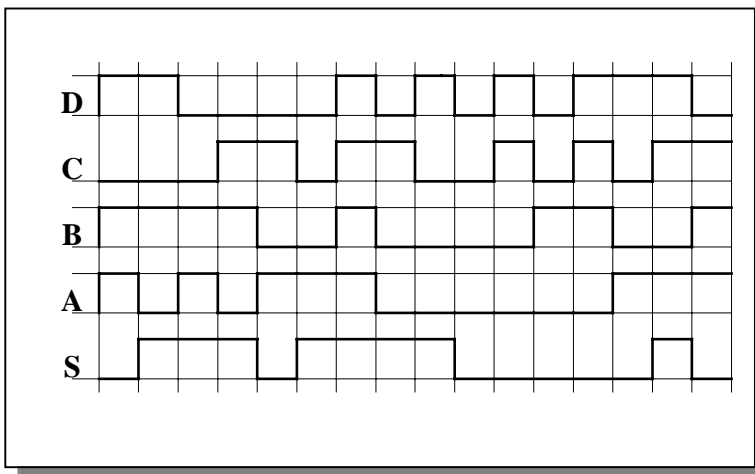
□ 21. Realizar, a partir de sumadores totales de 4 bits, un sumador de dos números BCD. El resultado debe ser también BCD.



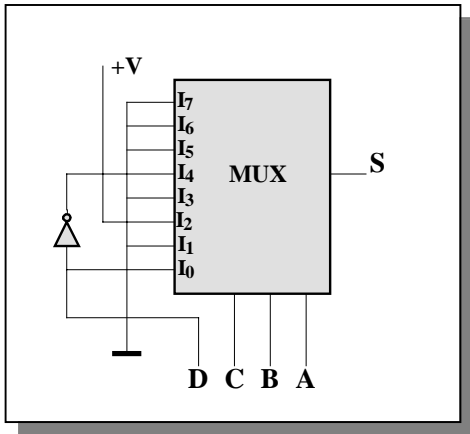
□ 22. Generar las funciones suma y acarreo de un sumador completo mediante dos circuitos multiplexores (como el dado en la fig.) y un inversor.

□ 23. Diseñar un convertidor de código BDC-N a BCD-X3

□ 24. Diseñar un convertidor de código de tres bits que convierta binario a decimal.

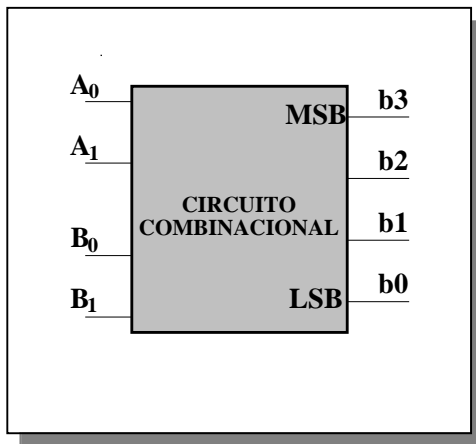


□ 25. Diseñar un circuito combinacional con el mínimo número de puertas posible, que genere la salida S a partir de las entradas A, B, C y D dadas.



- 26. a- Dado el circuito multiplexor de la figura, obtener la función de salida S en forma de minterms.

b- Simplificar la función e implementar con puertas NAND.



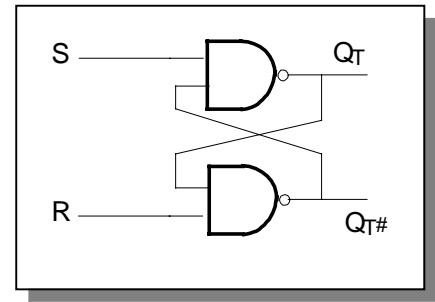
- 27. a.- Diseñar el circuito combinacional que sea capaz de multiplicar dos palabras (A y B) de dos bits cada una (A_1A_0 y B_1B_0), dando el resultado en binario ($b_3 b_2 b_1 b_0$).

b.- Realizar el cableado del multiplicador. Para ello solo se dispone de los siguientes IC-s: SN7400N; SN7410N; SN7420.

FLIP-FLOPS.

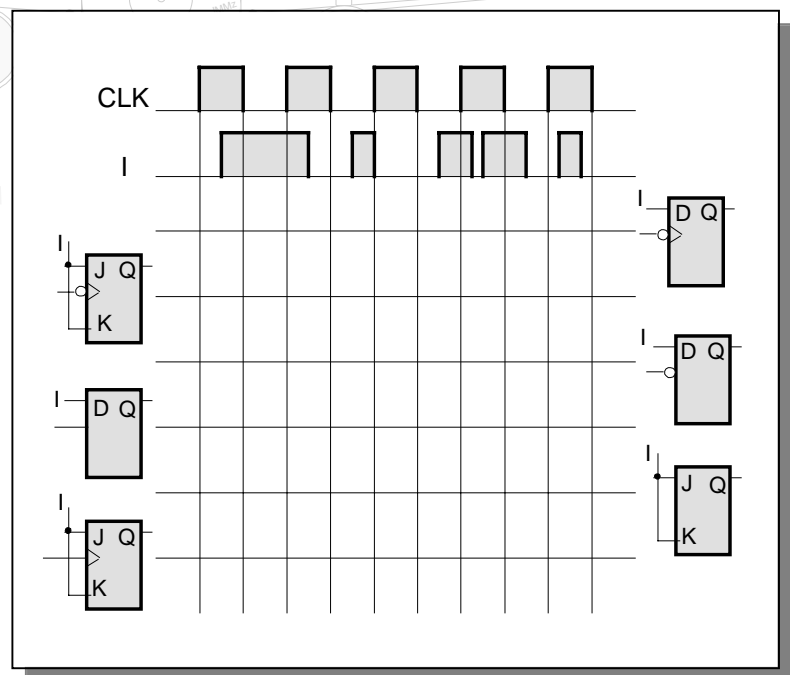
- 1. Determinar la tabla de la verdad (R, S y Q_T como entradas), la tabla simplificada y la tabla de transición de la básula de la figura.

R	S	$Q_{T+\Delta t}$	$\overline{Q_{T+\Delta t}}$
0	0	Q_T	$\overline{Q_T}$
0	1	1	0
1	0	0	1
1	1	1	1

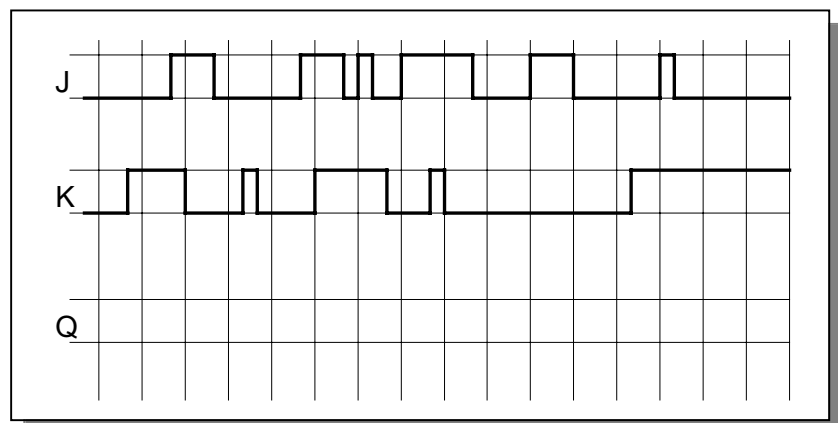


- 2. Comparar el comportamiento de la básula del ejercicio 1 con el comportamiento de la básula cuya tabla de la verdad es la que se da. Sacar conclusiones.
- 3. Que estado tendrá la salida Q de esta última básula si partiendo de la combinación prohibida ponemos $R=S=0$? Razonar.
- 4. Diferencia entre entradas síncronas y entradas asíncronas en una básula.

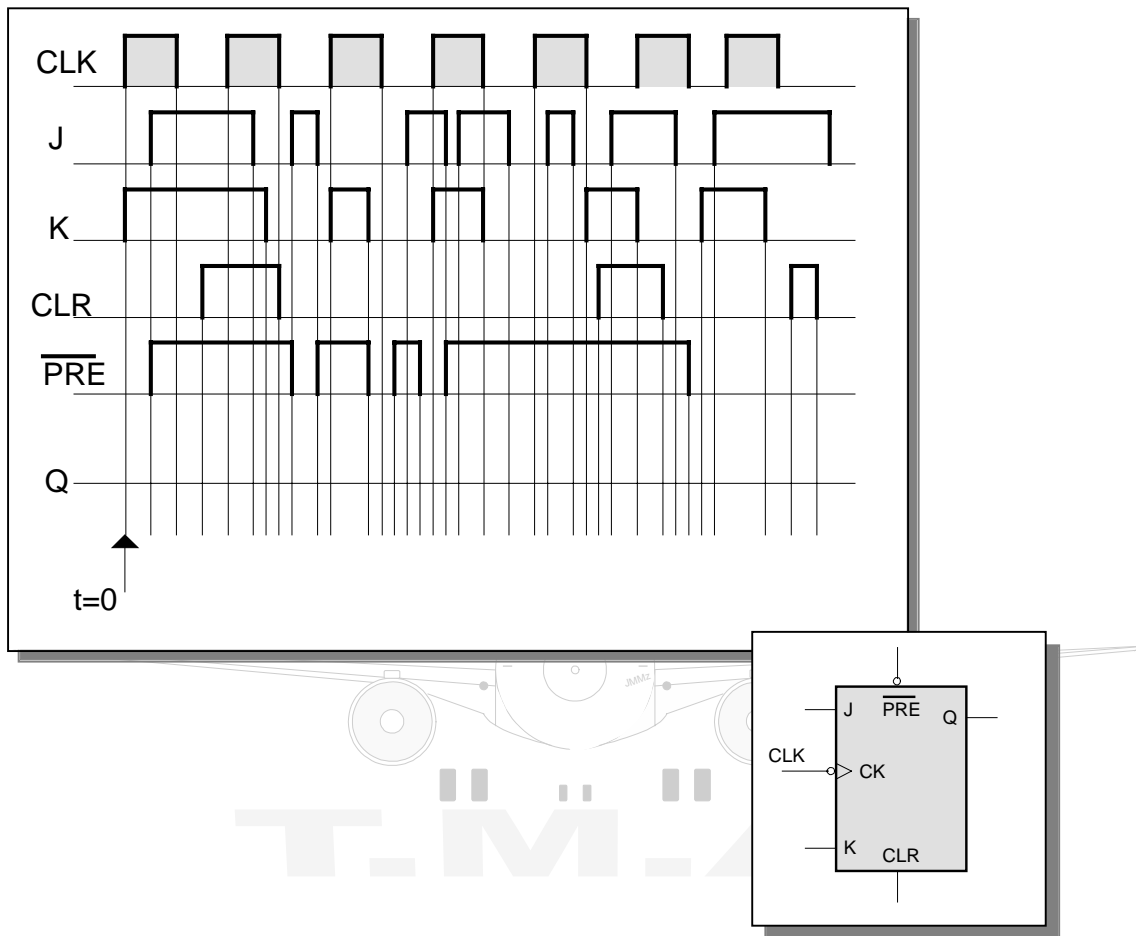
- 5. Determinar la salida Q para cada una de las básulas dadas cuando se aplica a todas la señal I.



- 6. Dibujar la señal de salida de una básula J-K cuando son aplicadas en sus entradas las siguientes señales.

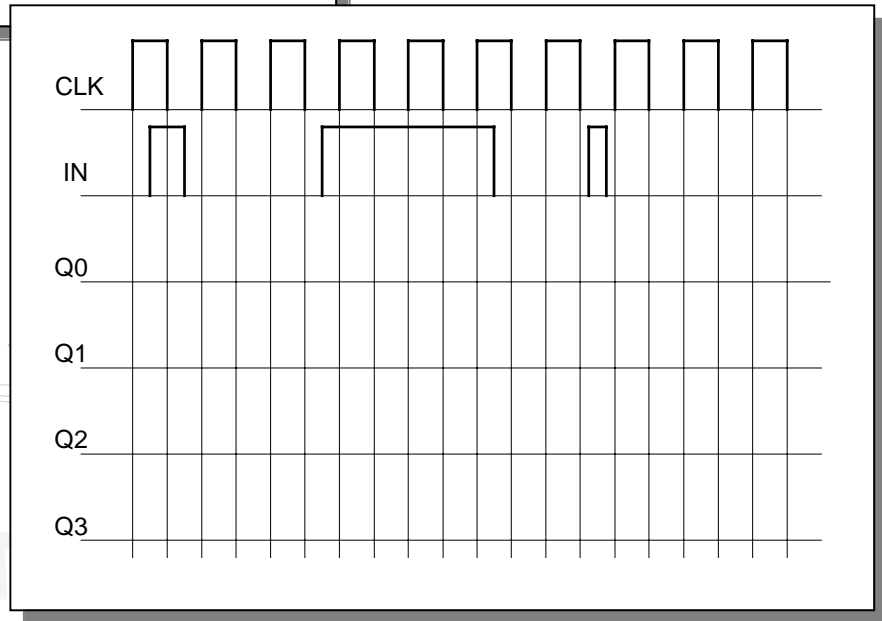
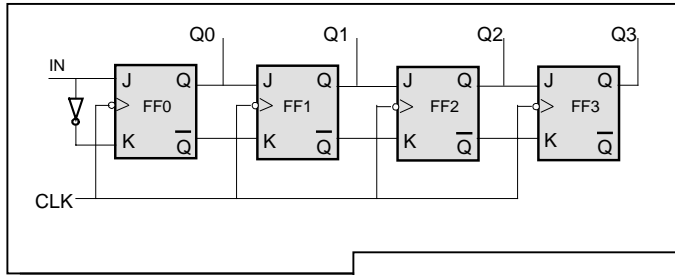


- 7. Salida Q a partir del instante t=0.

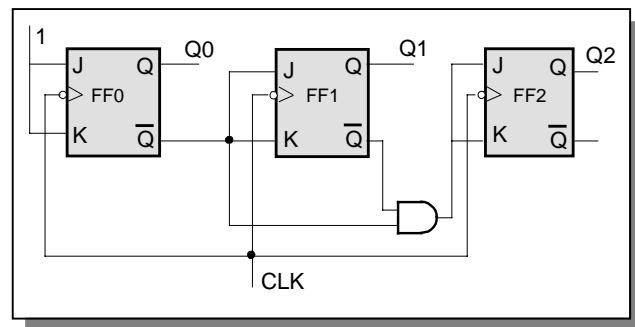


CIRCUITOS SECUENCIALES.

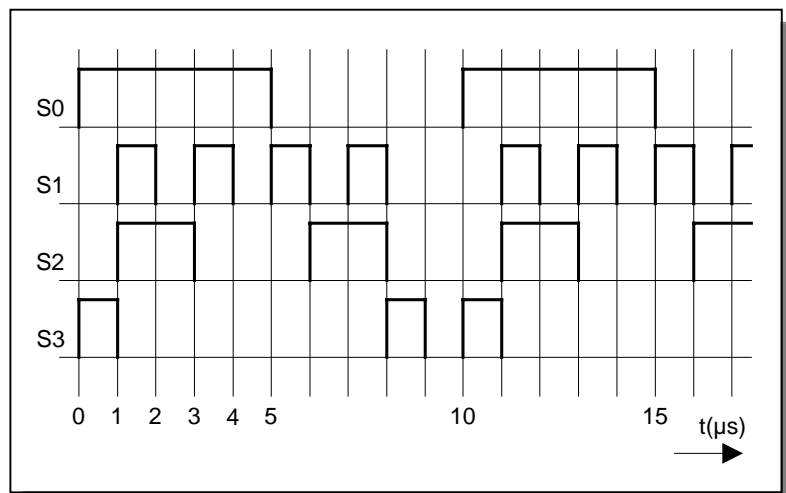
- 1. Dibujar las señales de las salidas Q0, Q1, Q2 y Q3.



- 2. Dibujar las señales de Q0, Q1, y Q2.

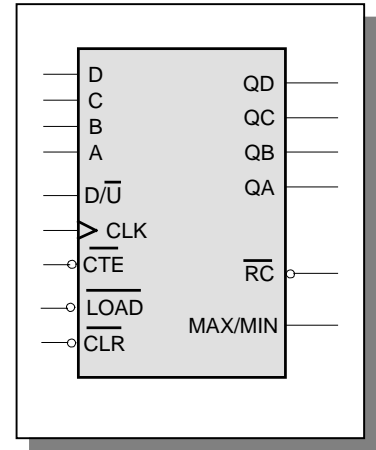
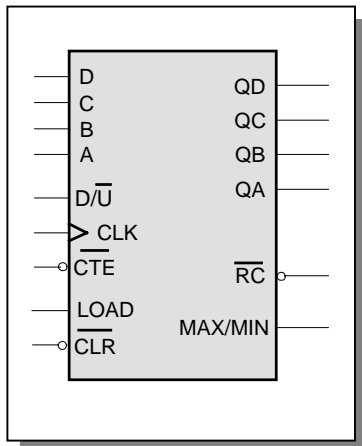


- 3. Diseñar un circuito con cuatro salidas, que genere de forma síncrona las señales dadas. Calcular la frecuencia de reloj.



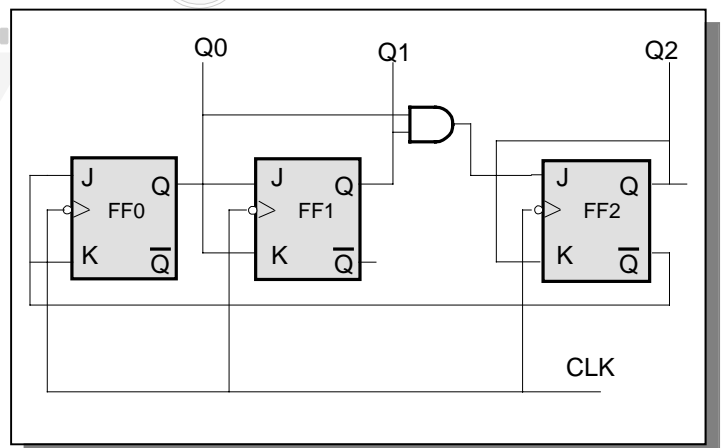
- 4. Realizar un contador que evolucione en cuentas pares (0-2-4-6) siempre que una señal de control C, valga cero, y en cuentas impares (1-3-5-7) siempre que C valga uno. La señal de control (C), solo puede cambiar en el estado mas alto, bien de la cuenta par o cuenta impar, dando como resultado un incremento en una unidad si esta en forma de conteo par, y un decremento de una unidad si está en forma de conteo impar.

- 5. Configurar el contador dado para que realice cuentas ascendentes comprendidas entre 3 y 13 (3-4-5-6-7-8-9-10-11-12-13-3-4...). Consideramos que las entradas de carga y borrado son síncronas.



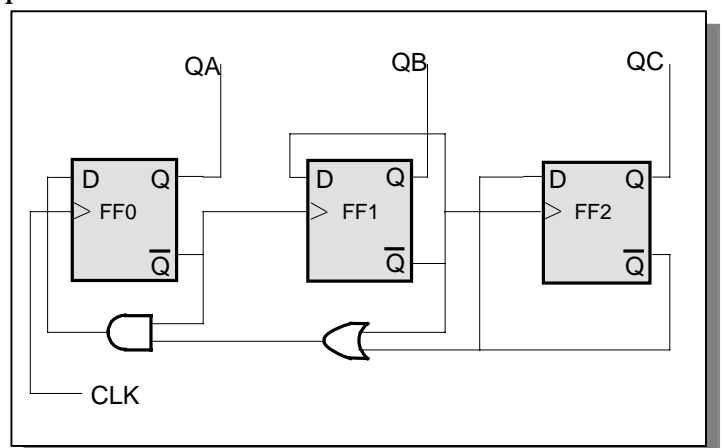
- 6. Lo mismo que el anterior pero para que realice cuentas descendentes desde el número 13.

- 7. Dibujar las señales en las salidas de los Flip-Flops.

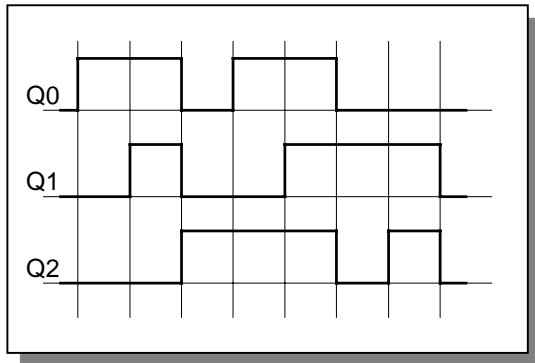


- 8. Diseñar un contador de números impares hasta el número 15.

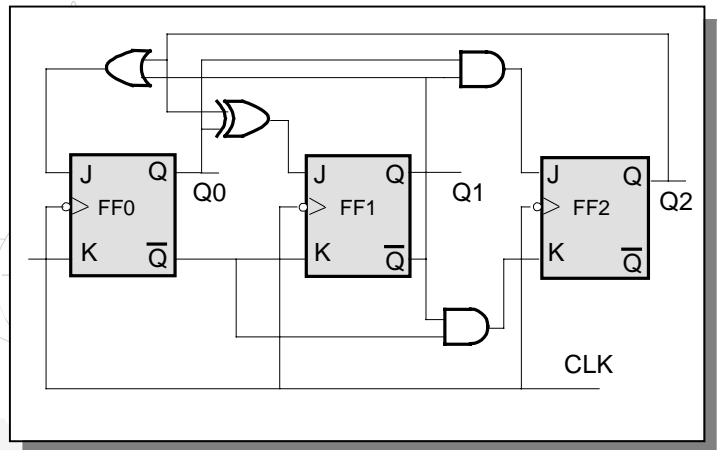
- 9. Considerando inicialmente $QA=QB=QC=0$, dibujar las señales de las salidas de los Flip-Flops al aplicar al circuito una señal de reloj de 12 periodos.



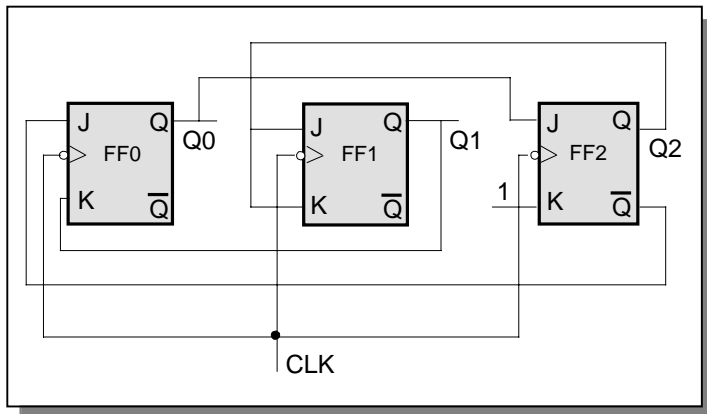
- 10. Diseñar un registro de desplazamiento de carga serie-lectura serie de tres bits.



- 11. Diseñar un circuito que genere de forma síncrona las señales dadas.



- 12. Dibujar las señales que se obtienen en Q0, Q1 y Q2.



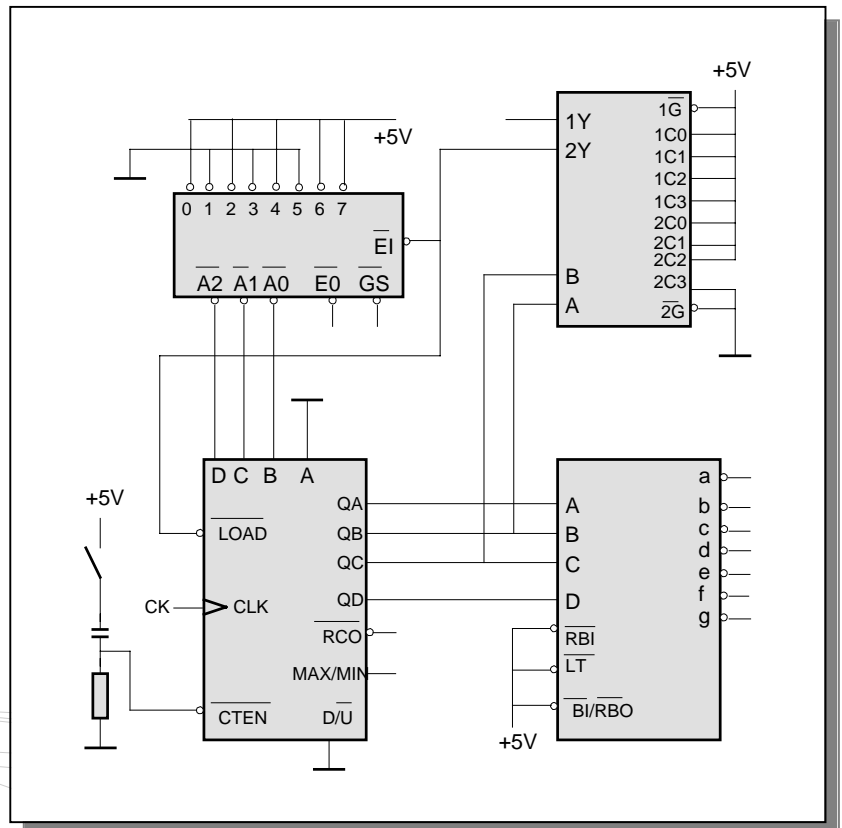
- 13. Dibujar las señales de las salidas de los FF-s. Tomar al menos diez ciclos de reloj.

- 14. Indicar si son verdaderas (V) o falsas (F) las siguientes afirmaciones.

En un contador asíncrono todos los FF-s cambian de estado al mismo tiempo	
Todos los contadores BCD son contadores de décadas	
Los contadores de anillo y los Johnson son contadores síncronos	
Un cero lógico aplicado a la entrada clear de una báscula J-K produce siempre un cero lógico a la salida.	

□ 15.

- Dibujar las señales en QA, QB, QC, y QD para doce ciclos de reloj.
- Que valor tomarán las salidas a, b, c, d, e, f, y g después del impulso noveno de reloj?
- Que tipo de display debemos conectar al decodificador para poder visualizar la secuencia de conteo?
- Que sucede si cerramos S?
- Describe de forma breve y general el funcionamiento del circuito.
(inicialmente las salidas del contador están todas a cero)



- Diseñar un contador ascendente de módulo 6.
- Diseñar un contador reversible de módulo 8.

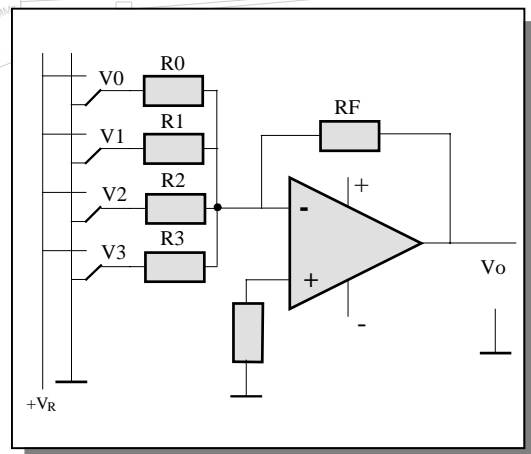
DAC-ADC.

- 1. Transductor y actuador. Misión.
- 2. Un DAC de 8 bits produce una tensión de salida de 3,14 v con una entrada digital de 11100111. Calcular la tensión de salida a plena escala (FS).
- 3. Cual es la resolución en voltios y en % de un DAC de 12 bits cuya salida FS es de 5,5v.
- 4. La salida de un DAC varia entre 0 y 8 mA. Cuantos bits debe tener el circuito para que la resolución sea menor de 40 μ A. Calcular la resolución para el número de bits obtenido.
- 5. La velocidad de un motor es controlada a través de un DAC. La salida del circuito varia desde 0 hasta 3 mA. Esta corriente una vez amplificada, se aplica al motor, originando una variación en su velocidad desde 0 hasta 3000 r.p.m. Cuantos bits se necesitan para poder mantener la velocidad con una desviación máxima de 3 r.p.m.? Con esos bits cuanto se puede ajustar la velocidad a 1257 r.p.m.?

- 6. Para cada uno de los posibles valores de V0, V1, V2 y V3, realizar una tabla donde aparezca la Vo. Dibujar la Vo en función de las tensiones de entrada.

DATOS:

$R0=RF=8K\Omega$, $R1=4K\Omega$, $R2=2K\Omega$, $R3=1K\Omega$,
 $V_{o\leq} |10V|$.



- 7. Un BCD DAC de 12 bits tiene un factor de ponderación del LSB de 0,01 V. Calcular: **a).** El tamaño de paso en voltios y %. **b).** La salida FS. **c).** Tensión de salida para el código 0101 1001 0011.
- 8. Un ADC de rampa digital tiene las siguientes características: Salida del DAC a FS 10,23V, entrada del DAC 8 bits, $V_T= 0,1$ mV, $f=1$ MHz. Calcular: **a).** Salida del ADC para una entrada de 2,65V. **b).** Tiempo de conversión. **c).** Resolución del ADC.
- 9. Un ADC de aproximaciones sucesivas de 12 bits tiene una resolución de 8 mV. Calcular la salida que se obtiene para una entrada analógica de 1,324 V.
- 10. Si aplicamos una $f=500$ KHz al ADC anterior, ¿Tiempo de conversión?

MEMORIAS.

□ 1. Sea una memoria de 64K x 4 organizada en forma de matriz cuadrada. Determinar:

- a) El número de celdas de memoria
- b) La estructura de la matriz.
- c) Número de líneas del data bus.
- d) Número de líneas del address bus.

□ 2. Indicar las direcciones iniciales y finales de cada uno de los bloques que resultan de dividir un mapa de memoria de 64K en:

- a) 8 Bloques iguales.
- b) 32 Bloques iguales

□ 3. Que rango de direcciones están comprendidas en un chip de memoria de 0.5K cuya dirección inicial es 0400H.

□ 4. Indicar la cantidad de direcciones (en K) que existen entre las direcciones siguientes (incluidas estas).

- a) FF00H y FFFFH
- b) E000H y FFFFH
- c) 0A000H y 49FFFH

□ 5. Realizar un banco de memoria de 8K X 4 partiendo de 3 módulos de memoria RAM de 2K X 4 y un módulo de memoria ROM también. de 2K X 4.

□ 6. Realizar un banco de memoria RAM de 4K X 16 partiendo de módulos de 4K X 4.

□ 7. Realizar un banco de memoria RAM de 8K X 8 partiendo de módulos de 4K X 4.

□ 8 Realizar un circuito de CS# de memoria RAM de 2K cuya dirección inicial es 0000H.

□ 9. Realizar un circuito de CS# de memoria RAM de 2K cuya dirección inicial es 0800H.

□ 10. Realizar la lógica de selección para el siguiente mapa de memoria y dibujar el circuito total con los diferentes chips, AB, DB y líneas de R/W#. (todos los módulos con CS#)

0000H	→	0FFFH	(RAM)
B000H	→	BFFFH	(I/O)
E000H	→	EFFFH	(ROM1)
F000H	→	FFFFH	(ROM2)

- 11. Implementar con decodificadores los siguientes mapas:

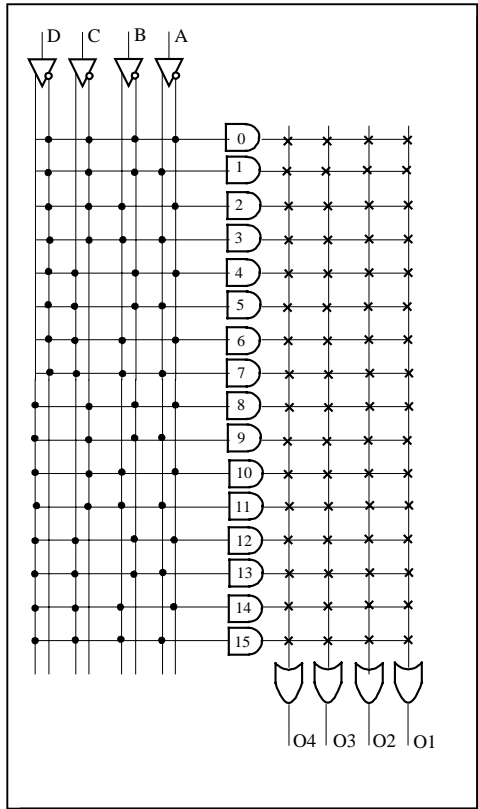
a)			b)		
0000H	→	1FFFH (RAM)	0000H	→	07FFH (RAM)
8800H	→	8BFFH (I/O)	F000H	→	FFFFH (ROM)
F800H	→	FFFFH (ROM)			

- 12. Indicar el tamaño de los bloques de memoria y espacio libre de los mapas del ejercicio 11.

- 13. Valor de las líneas del AB que seleccionan cada bloque del ejercicio 11.



PLD-s.



Señalar las conexiones que se deben fundir:

- 1. PROM.

programar para que multiplique dos números de dos bits.

- 2. PAL.

$$O1 = A \text{ XOR } B$$

$$O2 = D C B + \bar{C} \bar{B} A + \bar{D}$$

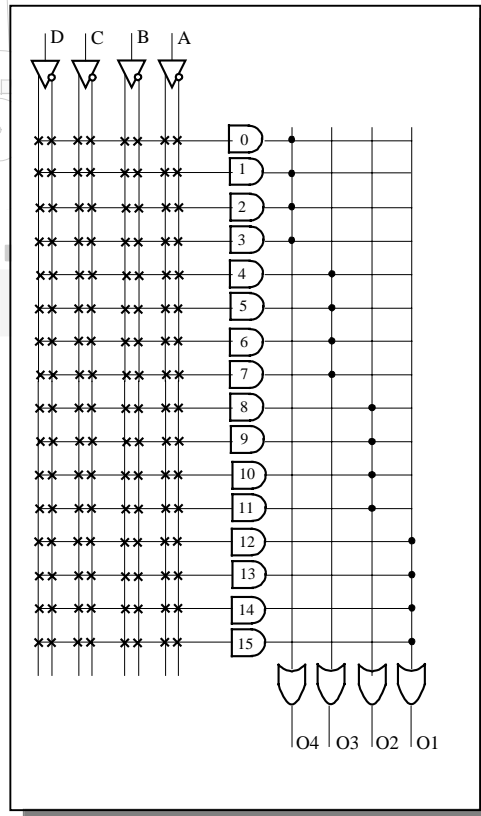
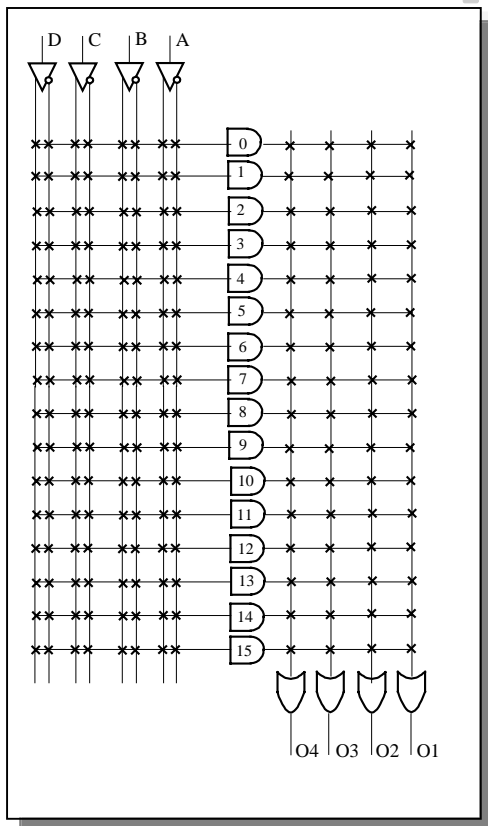
$$O3 = 1$$

$$O4 = 0$$

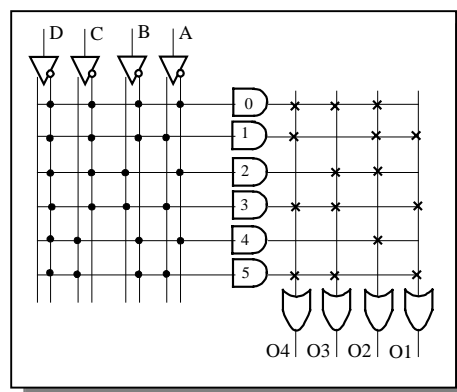
- 3. PLA.

$$O1 = A \text{ XNOR } B$$

$$O2 = C \text{ XNOR } D$$



- 4. Escribir las funciones O1, O2, O3, O4





SISTEMAS DE NUMERACIÓN Y CÓDIGOS. Respuestas.

a) 147H b) AEH c) 4AH d) 10H e) B6H f) 4,58H g) B,6 □ 1.

a) $1010001_{/2}$ b) $00111010_{/2}$ c) $100000_{/2}$ d) $101011_{/2}$ e) $011,010101_{/2}$ □ 2.
 f) $10110,1010_{/2}$

a) $100000000110_{/BCDN}$ b) 01000001_{BCDN} c) $010100100101_{/BCDN}$ □ 3.
 d) $00010000000100010001_{BCDN}$

a) $\dots11110100_{/2}$ b) $\dots110101_{/2}$ c) $01011_{/2}$ □ 4.

signo-magnitud: a) +110 b) -5 c) -0 □ 5.

complemento a uno: a) -100 b) -127 c) +109

complemento a dos: a) -75 b) -1 c) +1

a) 100011 b) 0101101 c) 1000000 d) 0100000000 e) 10000000 □ 6.
 f) 101111111 g) 01111 h) 01100011

a) 01111111 C(0), V(0) b) 00111011 C(1), V(1) c) 01110101 C(0), V(0) □ 7.
 d) 10001011 C(1), V(1) e) 10001111 C(0), V(1)

a) 11000100 b) 1010000 c) 10001100 □ 8.

a) 10 b) 23 c) 236 □ 9.

00000, 10001, 10010, 00011, 10100, 11011, 01100, 11101, 11110, 01111 □ 10.

01000101010111001000000001000000 □ 11.

□ 12.
 $-7,360669995 \cdot 10^{26}$

b) $F2 = (A + B + C)(A + B + \bar{C})(A + \bar{B} + C)(A + \bar{B} + \bar{C})(\bar{A} + B + C)$

□ 13.

a) $F1 = ABC + A\bar{B}C + A\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C}$ b) $F2 = \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C + AB\bar{C} + ABC$

□ 14.

$F1 = \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}\bar{C} + ABD + A\bar{B}\bar{C}$

$F2 = (B + \bar{C} + D)(A + \bar{B} + C + D)(A + \bar{B} + \bar{C} + \bar{D})(\bar{A} + \bar{C} + D)(\bar{A} + B + D)$

$F3 = (A + \bar{C} + D)(A + \bar{B} + \bar{D})(\bar{B} + C + \bar{D})$

$F4 = C \text{ X-OR } D$

□ 16.

a) $F1 = \bar{A} + B + C$

b) $F2 = (\bar{A} + B)(\bar{A} + \bar{C})$

c) $F3 = \bar{A} + \bar{B} + \bar{C}$

d) $F4 = (\bar{A} + B)(\bar{C} + A)$

e) $F5 = A\bar{B} + C\bar{A}$

f) $F6 = (\bar{A} + B)(\bar{B} + C)$

g) $F7 = \bar{A}BCD + AB\bar{C} + A\bar{B}C$

h) $F8 = (\bar{A}\bar{B}\bar{C})$

i) $F9 = C$

□ 17.

$S = A + \bar{C}$

□ 18.

$S = C \text{ X-NOR } A$

□ 19.

No existe condición que active la salida.

□ 20.

$S = (\bar{A} + \bar{C} + \bar{D})(A + \bar{B} + \bar{D}) = \bar{A}\bar{B} + A\bar{C} + \bar{D}$

□ 21.

$S = \bar{A} + C$

□ 22.

a) $S = A\bar{C} + ABD + \bar{B}CD + \bar{A}BD$

b) $S = \bar{A}BCDE + ACDE + \bar{A}CDE + \bar{A}\bar{C}DE + \bar{B}CD + \bar{B}DE$

c) $S = (C + \bar{D})(\bar{B} + \bar{C} + D)(A + B + \bar{D})(A + B + C + \bar{E})(\bar{A} + \bar{C} + D + \bar{E})$

CIRCUITOS COMBINACIONALES. Respuestas.

Con salidas activas a nivel alto.

$$\left. \begin{aligned} Si &= M_2 M_3 M_4 + M_1 M_2 M_3 + M_1 M_2 M_4 + M_1 M_3 M_4 \\ No &= \overline{M_2} \overline{M_3} \overline{M_4} + \overline{M_1} \overline{M_2} \overline{M_3} + \overline{M_1} \overline{M_2} \overline{M_4} + \overline{M_1} \overline{M_3} \overline{M_4} \end{aligned} \right\} \text{Emp} = \overline{Si + No} \text{ (cuando no sea ni Si ni No)}$$

Salida activa alta (fuera de rango)

$$S = (\overline{I_1} + I_2 + I_3)(\overline{I_1} + \overline{I_2} + \overline{I_3} + \overline{I_4})$$

Salida activa alta. (fuera de rango)

$$S = \overline{I_1} (I_2 + I_3 + I_4)$$

Salida activa alta. (fuera de rango)

$$S = (I_2 + I_3)(\overline{I_2} + \overline{I_3} + \overline{I_4})$$

¿A₁ A₀ = B₁B₀ ?

$$S = (A_0 \text{ X-NOR } B_0) (A_1 \text{ X-NOR } B_1)$$

¿A₁ A₀ > B₁B₀ ?

$$S = A_1 \overline{B_1} + A_0 \overline{B_1} \overline{B_0} + A_1 A_0 \overline{B_0}$$

M = A₃ $\overline{B_3}$ I = A₃ X-NOR B₃ m = $\overline{A_3}$ B₃
 Seguir comparando si se cumple la igualdad.

¿A₁ A₀ * B₁B₀ ? b₃ = A₁ A₀ B₁ B₀ b₀ = A₀ B₀

$$b_2 = A_1 B_1 \overline{B_0} + A_1 \overline{A_0} B_1 \quad b_1 = \overline{A_1} A_0 B_1 + A_0 B_1 \overline{B_0} + A_1 \overline{B_1} B_0 + A_1 \overline{A_0} B_0$$

S = $\overline{D} \overline{C \text{ X-OR } B \text{ X-OR } A} + D \overline{C} \overline{B} A$

S₂ = $\overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7}$ S₁ = $\overline{I_2} \overline{I_3} \overline{I_6} \overline{I_7}$ S₀ = $\overline{I_1} \overline{I_3} \overline{I_5} \overline{I_7}$

D = $\overline{I_8} \overline{I_9}$ C = $\overline{I_4} \overline{I_5} \overline{I_6} \overline{I_7}$ B = $\overline{I_2} \overline{I_3} \overline{I_6} \overline{I_7}$ A = $\overline{I_1} \overline{I_3} \overline{I_5} \overline{I_7} \overline{I_9}$

S₀ = $\overline{I_2} \overline{I_1} \overline{I_0}$ S₁ = $\overline{I_2} \overline{I_1} \overline{I_0}$ S₂ = $\overline{I_2} \overline{I_1} \overline{I_0}$ S₃ = $\overline{I_2} \overline{I_1} \overline{I_0}$

$$S_4 = \overline{I_2 I_1 I_0}$$

$$S_5 = \overline{I_2 I_1 I_0}$$

$$S_6 = \overline{I_2 I_1 I_0}$$

$$S_7 = \overline{I_2 I_1 I_0}$$

□ 13.

$$O_0 = D + C + B + A$$

$$O_1 = D + C + B + \overline{A}$$

$$O_2 = C + \overline{B} + A$$

$$O_3 = C + \overline{B} + \overline{A}$$

$$O_4 = \overline{C} + B + A$$

$$O_5 = \overline{C} + B + \overline{A}$$

$$O_6 = \overline{C} + \overline{B} + A$$

$$O_7 = \overline{C} + \overline{B} + \overline{A}$$

$$O_8 = \overline{D} + A$$

$$O_9 = \overline{D} + \overline{A}$$

□ 14.

$$ABC \longrightarrow G_2 G_1 G_0$$

$$G_0 = B \text{ X-OR } C$$

$$G_1 = A \text{ X-OR } B$$

$$G_2 = A$$

□ 15.

$$a = \overline{D} \overline{C} \overline{B} A + \overline{D} C \overline{B} \overline{A}$$

$$b = C \overline{B} A + C B \overline{A} + D C + D B$$

$$c = D C + D B + \overline{C} B \overline{A}$$

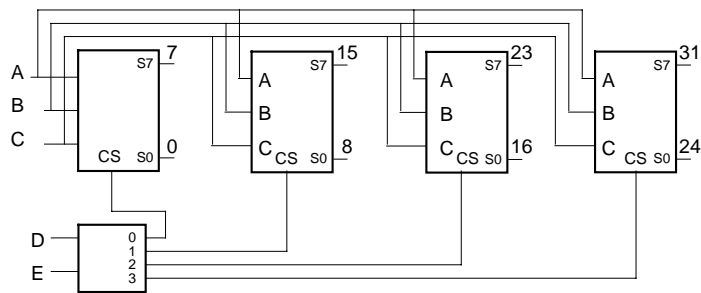
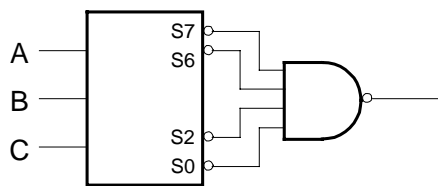
$$d = \overline{D} \overline{C} \overline{B} A + \overline{D} C \overline{B} \overline{A} + \overline{D} C B A$$

$$e = \overline{D} A + \overline{D} C \overline{B} + \overline{C} B A$$

$$f = \overline{D} \overline{C} A + \overline{D} \overline{C} B + \overline{D} B A$$

$$g = \overline{D} \overline{C} \overline{B} + \overline{D} C B A$$

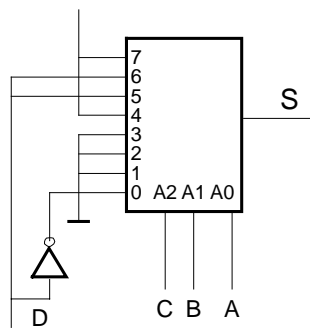
□ 16



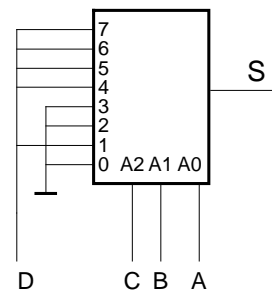
□ 17.

□ 18.

a)



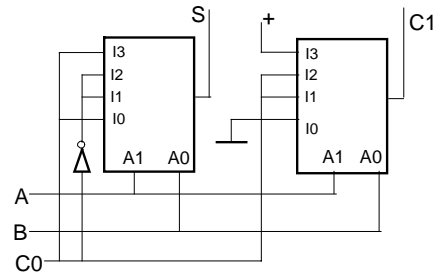
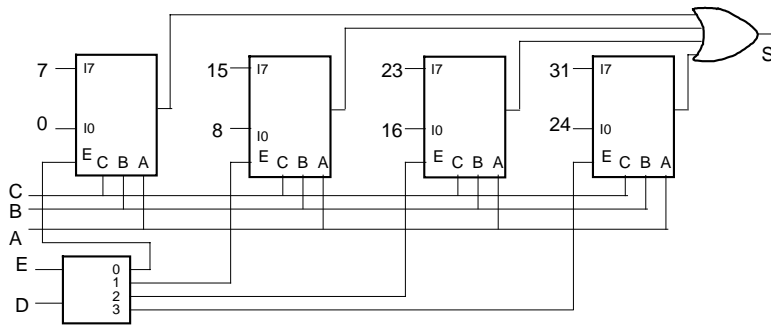
b)



□ 19.

$$S = \overline{C} \overline{B} \overline{A} I_0 + \overline{C} \overline{B} A I_1 + \overline{C} B \overline{A} I_2 + \overline{C} B A I_3 + C \overline{B} \overline{A} I_4 + C \overline{B} A I_5 + C B \overline{A} I_6 + C B A I_7$$

□ 20.



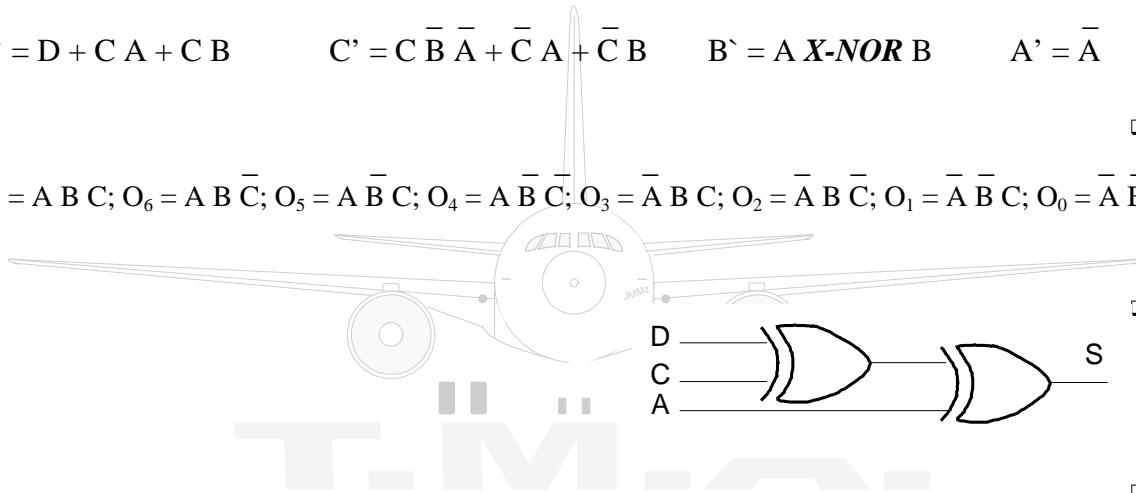
□ 22

□ 23.

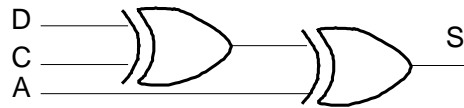
$$D' = D + CA + CB \quad C' = C\bar{B}\bar{A} + \bar{C}A + \bar{C}B \quad B' = A \text{ X-NOR } B \quad A' = \bar{A}$$

□ 24.

$$O_7 = ABC; O_6 = AB\bar{C}; O_5 = A\bar{B}C; O_4 = A\bar{B}\bar{C}; O_3 = \bar{A}BC; O_2 = \bar{A}B\bar{C}; O_1 = \bar{A}\bar{B}C; O_0 = \bar{A}\bar{B}\bar{C};$$



□ 25.



□ 26.

$$S = \bar{D}\bar{C}\bar{B}\bar{A} + \bar{D}\bar{C}B\bar{A} + \bar{D}C\bar{B}\bar{A} + \bar{D}CB\bar{A}$$

$$S = \overline{\bar{C}\bar{B}\bar{A}} \overline{DCB\bar{A}} \overline{DCA}$$

□ 27

$$b_3 = A_1 A_0 B_1 B_0 \quad b_2 = A_1 B_1 \bar{B}_0 + A_1 \bar{A}_0 B_1$$

$$b_1 = A_1 \bar{B}_1 B_0 + \bar{A}_1 A_0 B_1 + A_0 B_1 \bar{B}_0 + A_1 \bar{A}_0 B_0$$

$$b_0 = A_0 B_0$$

FLIP-FLOPS. Respuestas.

□ 1.

R	S	Q_T	$Q_{T+\Delta t}$	$\overline{Q_{T+\Delta t}}$
0	0	0	1	1
0	0	1	1	1
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

R	S	$Q_{T+\Delta t}$	$\overline{Q_{T+\Delta t}}$
0	0	1	1
0	1	0	1
1	0	1	0
1	1	Q_T	$\overline{Q_T}$

R	S	Q_T	$Q_{T+\Delta t}$
X	1	0	→ 0
1	0	0	→ 1
0	1	1	→ 0
1	X	1	→ 1

□ 2.

Nivel activo diferente en las entradas.

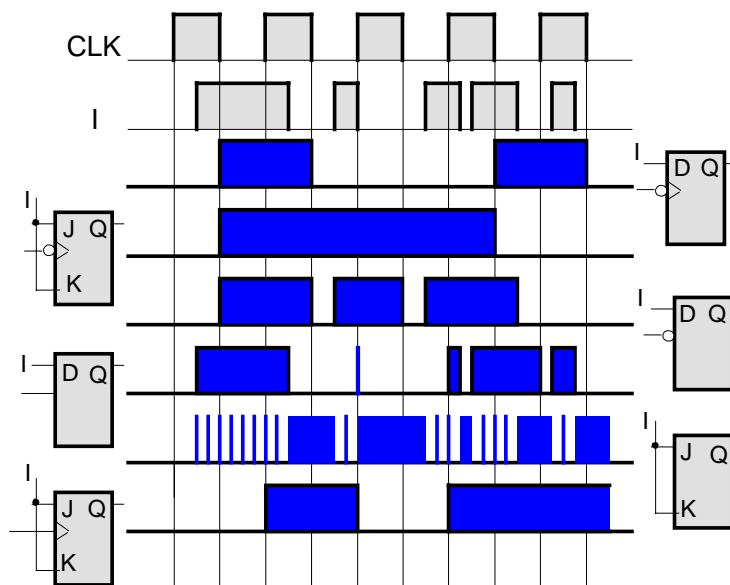
□ 3.

Va a depender del t_{pd} de las puertas.

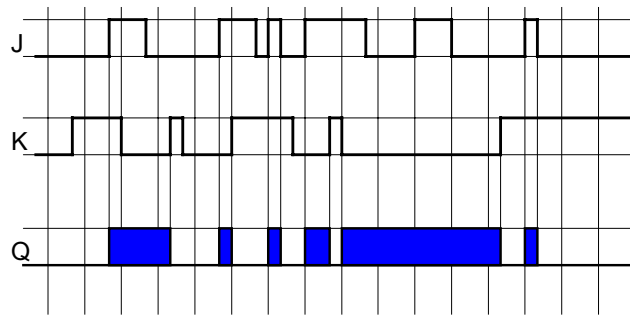
□ 4.

Las asíncronas, no dependen del reloj. Dependen únicamente de los valores aplicados en ellas.

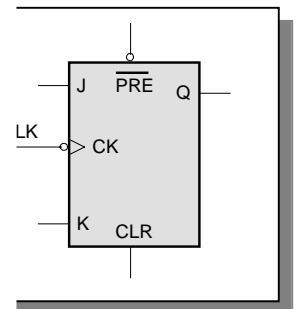
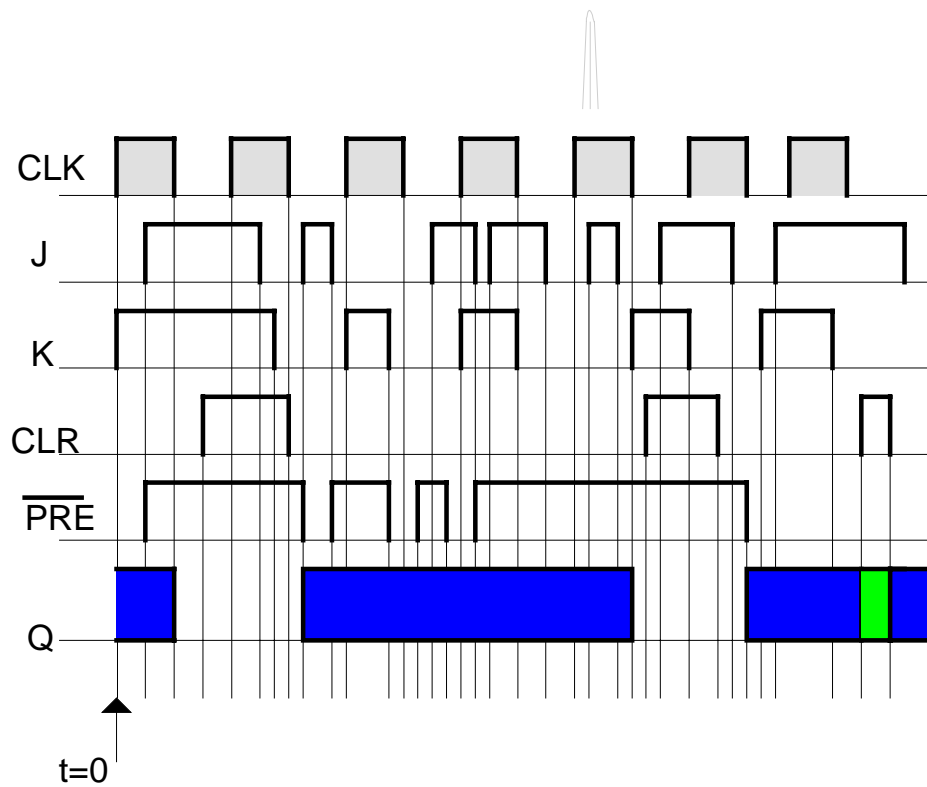
□ 5.



□ 6.

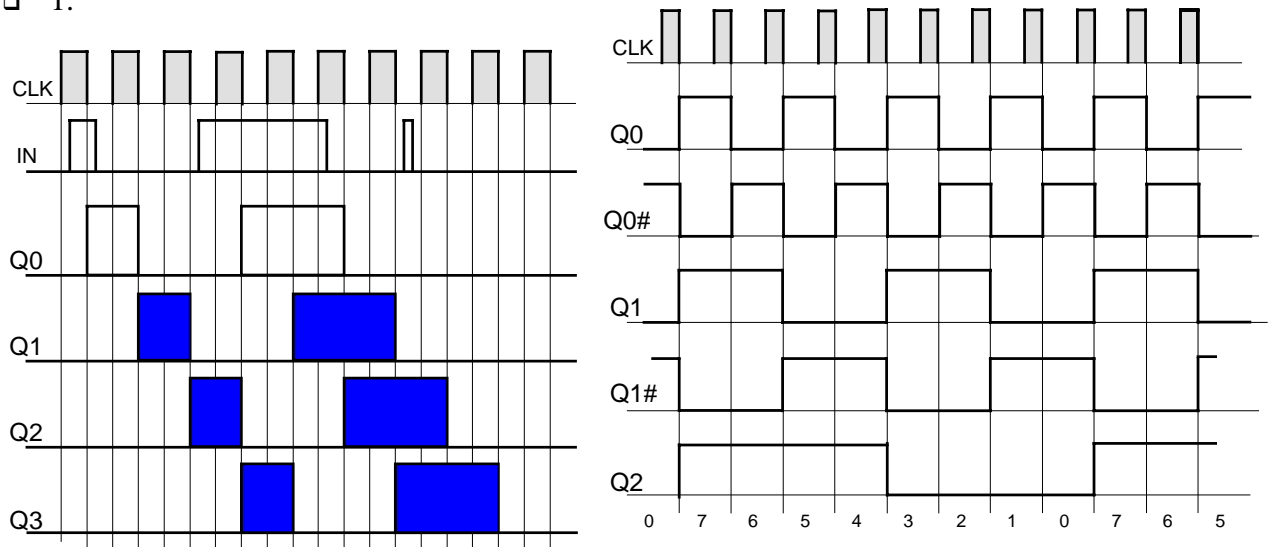


□ 7.



CIRCUITOS SECUENCIALES. Respuestas.

□ 1.



□ 2.

□ 3.

$$J_3 = \overline{S_0} (S_2 \text{ X-NOR } S_1)$$

$$J_2 = S_3 S_0 + S_1 \overline{S_0}$$

$$J_1 = S_2 + S_0$$

$$J_0 = \overline{S_3} \overline{S_2} \overline{S_1}$$

$$K_3 = 1$$

$$K_2 = S_1 \text{ X-OR } S_0$$

$$K_1 = 1$$

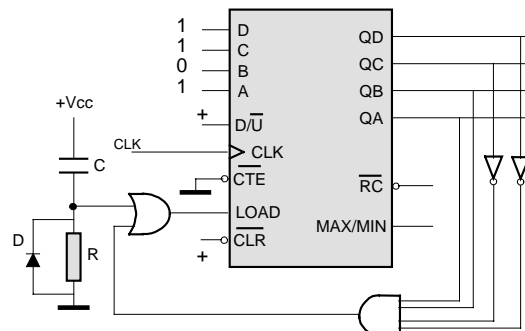
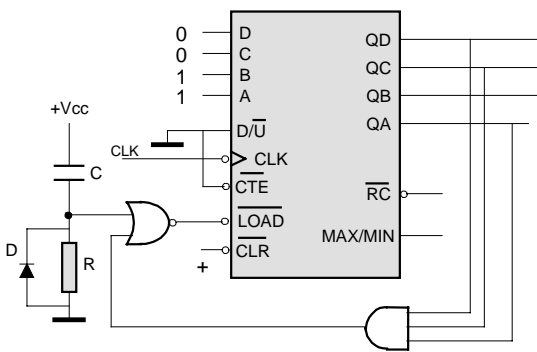
$$K_0 = \overline{S_3} \overline{S_2} \overline{S_1}$$

f = 1 MHz

□ 4.

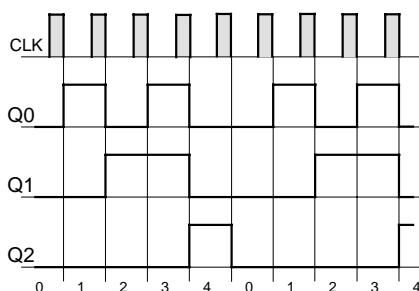
$$J_2 = Q_1 \quad J_1 = 1 \quad J_0 = C \quad K_2 = Q_1 (C \text{ X-NOR } Q_0) \quad K_1 = C \text{ X-NOR } Q_0 \quad K_0 = C\#$$

□ 5.



6.

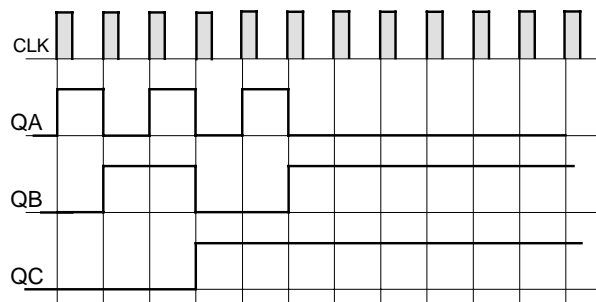
□ 7



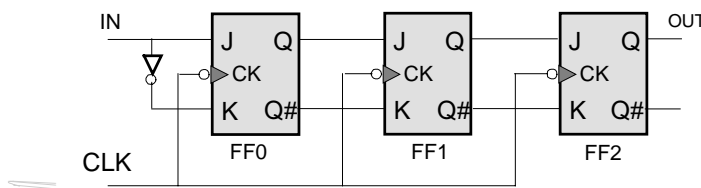
□ 8.

$$J_1 = K_1 = 1 \quad J_0 = 1 \quad K_0 = 0 \quad J_3 = Q_2 Q_1 \quad K_3 = Q_2 Q_1 \quad J_2 = K_2 = Q_1$$

□ 9



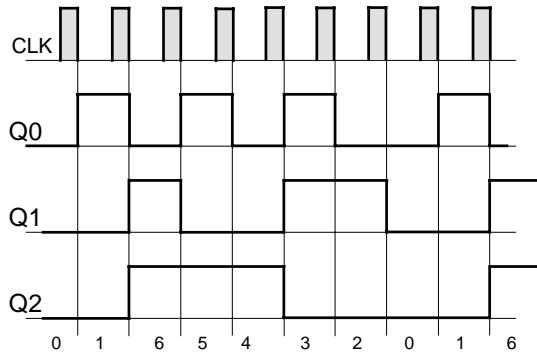
□ 10.



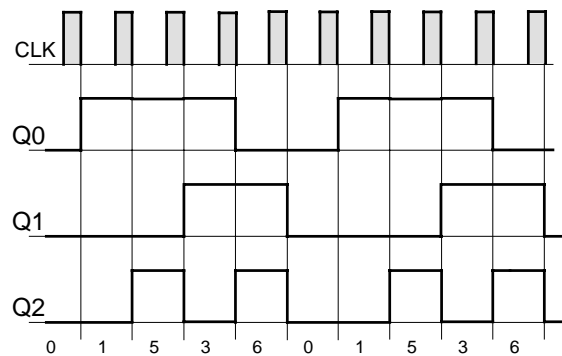
□ 11.

$$J_0 = Q_1\# \quad K_0 = Q_1 \quad J_1 = Q_0 \quad K_1 = Q_2 \text{ X-OR } Q_0 \quad J_2 = K_2 = Q_1$$

□ 12.



□ 13

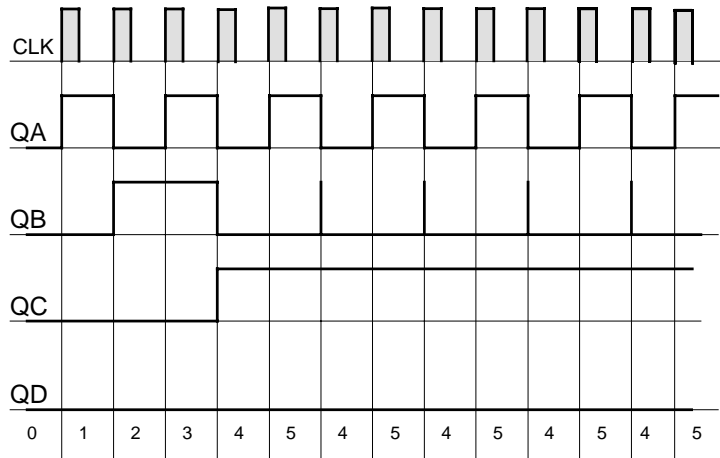


□ 14.

En un contador asíncrono todos los FF-s cambian de estado al mismo tiempo	F
Todos los contadores BCD son contadores de décadas	V
Los contadores de anillo y los Johnson son contadores síncronos	V
Un cero lógico aplicado a la entrada clear de una báscula J-K produce siempre un cero lógico a la salida.	F

□ 15.

a)



b)

$$a = c = d = f = g = 0$$

$$b = e = 1$$

c) display de 7 seg. de ánodo común

d) Se detiene la cuenta hasta que el condensador adquiera una tensión tal que el valor de voltaje en R sea un cero lógico, con lo que vuelve la cuenta.

e)

$$J_2 = Q_1 Q_0$$

$$K_2 = Q_0$$

$$J_1 = \bar{Q}_2 Q_0$$

$$K_1 = Q_0$$

$$J_0 = K_0 = 1$$

□ 16

$$J_2 = K_2 = \bar{M} \bar{Q}_1 \bar{Q}_0 + M Q_1 Q_0$$

$$J_1 = K_1 = \bar{M} \bar{Q}_0 + M Q_0$$

$$J_0 = K_0 = 1$$

□ 17

DAC-ADC. Respuestas.

3,46 V

2.

1,343 mV; 0,024%

3.

n = 8 bits; res = 31 μ A

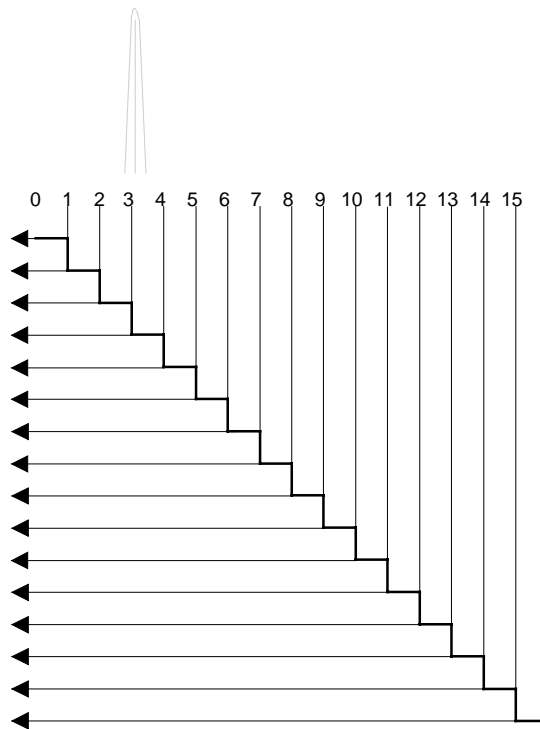
4.

n = 10 bits; 1257,8 rpm

5.

6.

S ₃	S ₂	S ₁	S ₀	V _o
0	0	0	0	0
0	0	0	1	-0,6
0	0	1	0	-1,3
0	0	1	1	-2
0	1	0	0	-2,6
0	1	0	1	-3,3
0	1	1	0	-4
0	1	1	1	-4,6
1	0	0	0	-5,3
1	0	0	1	-6
1	0	1	0	-6,6
1	0	1	1	-7,3
1	1	0	0	-8
1	1	0	1	-8,6
1	1	1	0	-9,3
1	1	1	1	-10



a) 0,01 V; 0,1%

b) 9,99 V

c) 5,93 V

7.

a) 67

b) 67 μ S

c) 0,4 %

8.

10100101

9.

24 μ S

10.

MEMORIAS. Respuestas.

- a) 262144 celdas b) 512 X 512 c) 4 d) 16 □ 1.

- 2.

a)

0000H	→	1FFFH
2000H	→	3FFFH
4000H	→	5FFFH
6000H	→	7FFFH
8000H	→	9FFFH
A000H	→	BFFFH
C000H	→	DFFFH
E000H	→	FFFFH

b)

0000H	→	7FFH	4000H	→	47FFH
0800H	→	FFFH	4800H	→	4FFFH
1000H	→	17FFH	5000H	→	57FFH
1800H	→	1FFFH	5800H	→	5FFFH
2000H	→	27FFH	6000H	→	67FFH
2800H	→	2FFFH		
3000H	→	37FFH			
3800H	→	3FFFH			

0400H → 05FFH

- 3.

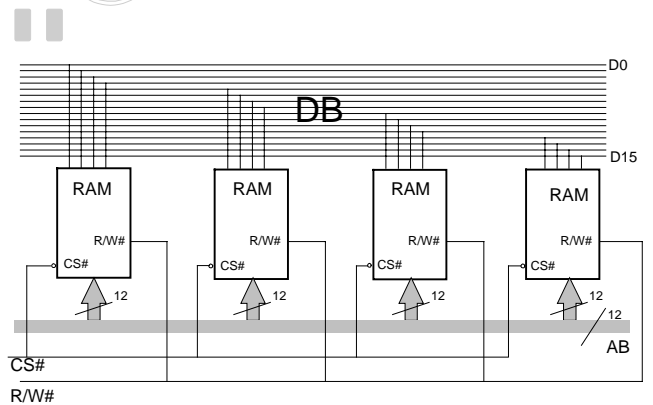
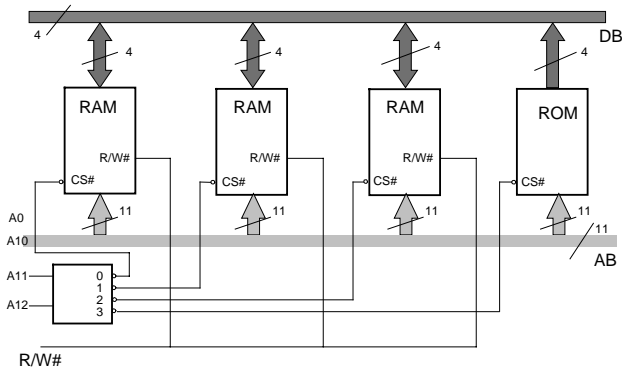
a) 0,25K

b) 8K

c) 256K

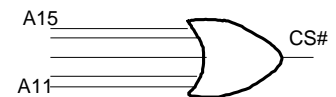
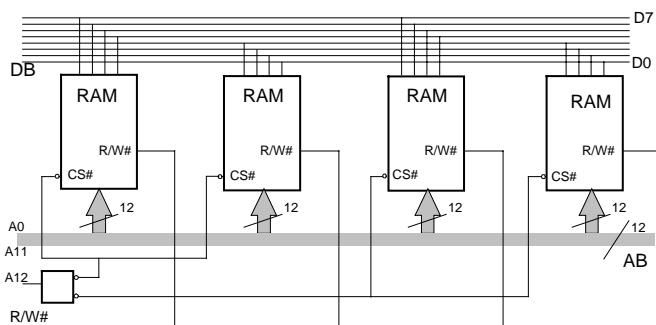
- 4.

- 5.

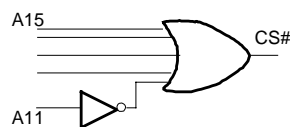


- 6.

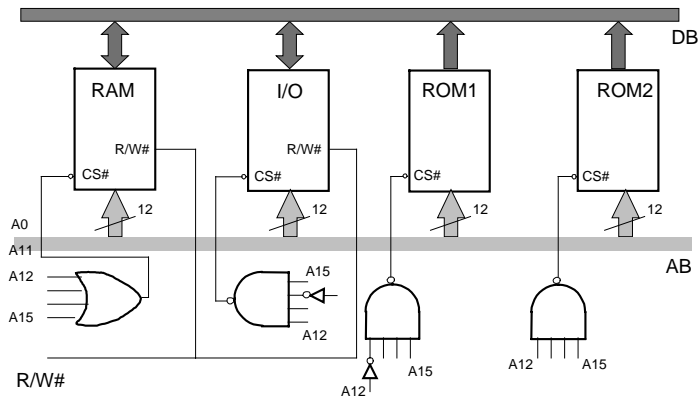
- 7.



- 8.



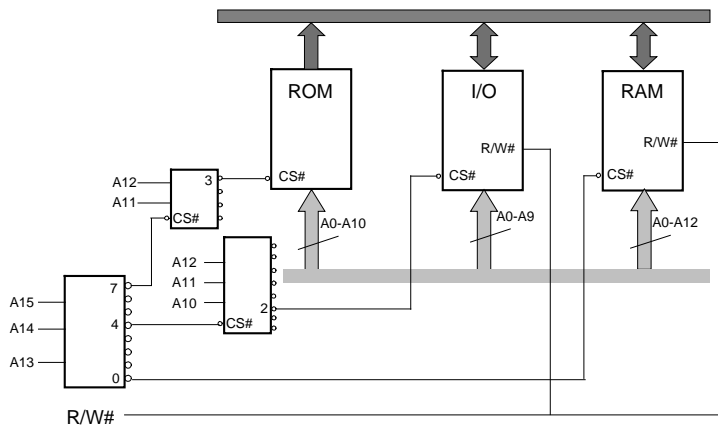
- 9.



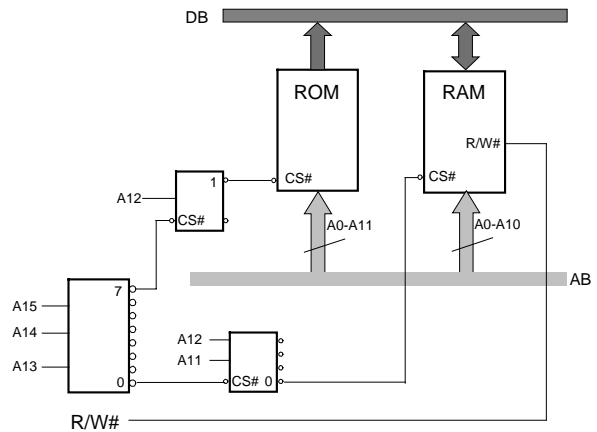
□ 10.

□ 11.

a)



b)



□ 12.

ROM: 2K

LIBRE: 53K I/O: 1K

RAM: 8K

□ 13.

a)

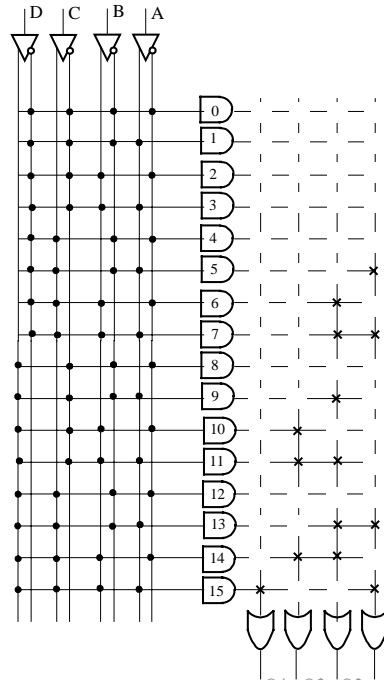
	A15	A14	A13	A12	A11	A10	A9
RAM	0	0	0	X	X	X	X	X
I/O	1	0	0	0	1	0	X	X
ROM	1	1	1	1	1	X	X	X

b)

	A15	A14	A13	A12	A11	A10	A9
RAM	0	0	0	0	0	X	X	X
ROM	1	1	1	1	X	X	X	X

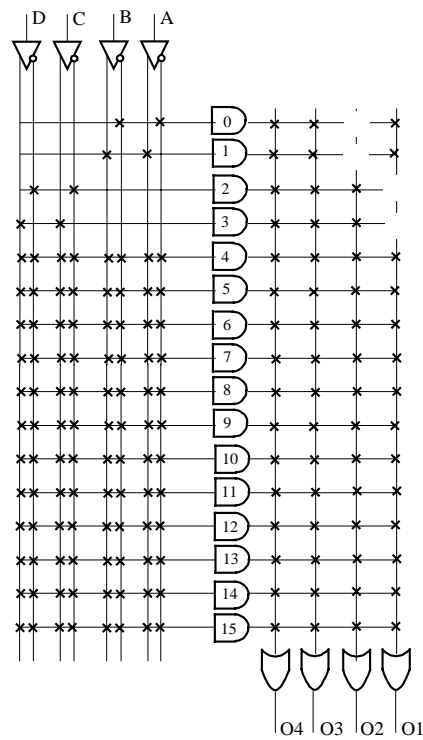
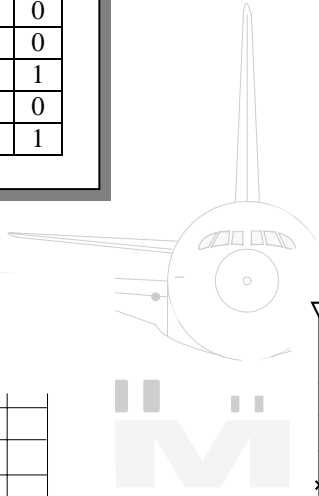
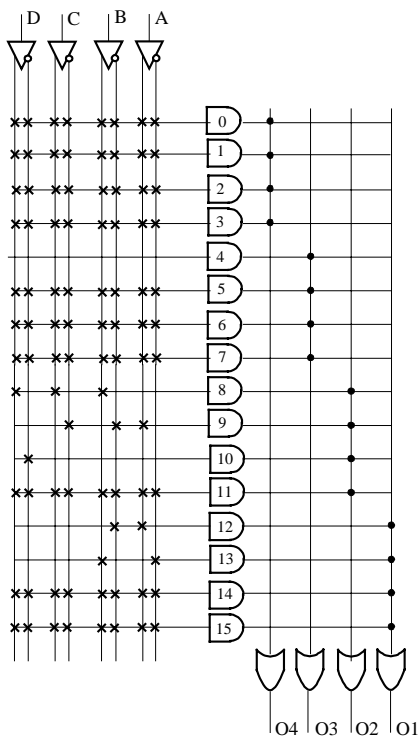
PLD-s. Respuestas.

X		Y		producto			
D	C	B	A	O ₄	O ₃	O ₂	O ₁
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1



□ 1.

□ 2.



□ 3

□ 4

$$O_1 = \bar{D}\bar{C}\bar{B}A + \bar{D}\bar{C}B\bar{A} + \bar{D}C\bar{B}A \quad O_2 = \bar{D}\bar{C}\bar{B}\bar{A} + \bar{D}\bar{C}B\bar{A} + \bar{D}C\bar{B}\bar{A} + \bar{D}C\bar{B}A$$

$$O_3 = \bar{D}\bar{C}B\bar{A} + \bar{D}C\bar{B}\bar{A} + \bar{D}C\bar{B}A + \bar{D}CBA$$

$$O_4 = \bar{D}\bar{C}\bar{B}\bar{A} + \bar{D}\bar{C}\bar{B}A + \bar{D}\bar{C}B\bar{A} + \bar{D}\bar{C}BA$$