

Test de Repaso de Conceptos Básicos

Informática Industrial - Febrero 2022



NXP Semiconductors

Curso de Training

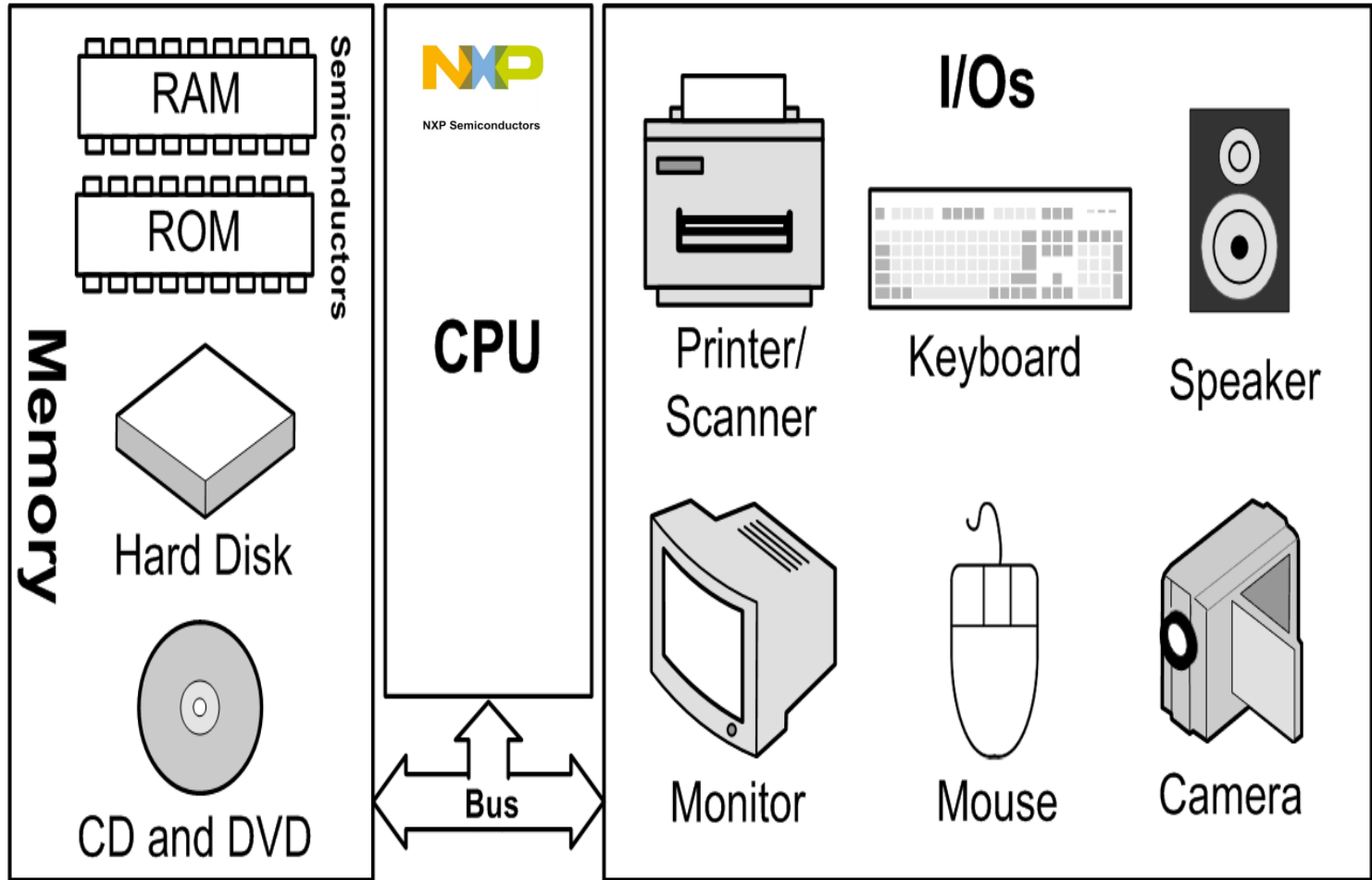
INSTRUCCIONES PARA EL TEST

- Leer cuidadosamente las preguntas
- No prisa en responder (máximo ½ hora): mirar la teoría si es necesario, **razonando** lógicamente la respuesta y hacer los cálculos escritos sólo a mano (muy importante: sin calculadora, ordenador o móvil)
- Responder las respuestas que se crean convenientes **si hay varias opciones** y poner la **solución en un papel** con el nº de la(s) respuesta(s) correspondiente(s)
- Las respuestas serán **discutidas en Clase.**

Operaciones Lógicas Binarias

1. La operación lógica _____ da un 1 a la salida cuando todas las entradas son 1
2. La operación lógica _____ da un 1 a la salida cuando una o más entradas son 1
3. La operación lógica _____ es frecuentemente usada para **comparar** 2 entradas y determinar si tienen el mismo valor
4. Una puerta _____ no cambia a su salida el nivel lógico de la entrada
5. Decir un **uso común para las flip-flops**

Estructura del Ordenador/MicroControlador



Organización de la Memoria

1º) En un **Sistema Operativo** , un chip de Memoria tiene :

12 pines de direcciones y 4 pines de Datos

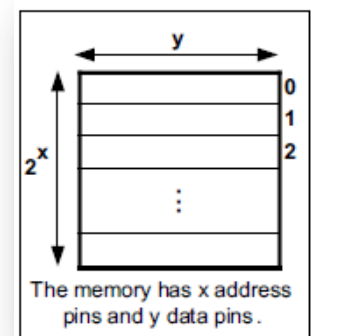
Se pide:

- 1) **Organización de la Memoria** : cuántas direcciones (celdas) tiene y cuantos bits tiene cada celda de memoria
- 2) Su **Capacidad**: es decir, **cuantos bits tiene en total** , poniendolo en sus unidades (K, M , G, T ,etc)

2º) Una memoria de chip tiene **8 pines para datos y 512K de capacidad**.

Se pide:

- a) La **Organización**
- b) El **número de pines de dirección** para este chip





NXP Semiconductors

27256	27128	27128	2732A	2716	2764	27256
Vpp A12	Vpp A12	Vpp A12	Vpp A12	Vpp A12	Vpp A12	Vpp A12
A7	A7	A7	A7	A7	A7	A7
A6	A6	A6	A6	A6	A6	A6
A5	A5	A5	A5	A5	A5	A5
A4	A4	A4	A4	A4	A4	A4
A3	A3	A3	A3	A3	A3	A3
A2	A2	A2	A2	A2	A2	A2
A1	A1	A1	A1	A1	A1	A1
A0	A0	A0	A0	A0	A0	A0
O0	O0	O0	O0	O0	O0	O0
O1	O1	O1	O1	O1	O1	O1
O2	O2	O2	O2	O2	O2	O2
GND	GND	GND	GND	GND	GND	GND

3º) Dado el siguiente cuadro de **UV-EPROM** chips:

Part #	Capacity	Org.	Access	Pins(Patillaje)	Vpp (alim.)
2716	16K	2K x 8	450 ns	24	25 V
2732	32K	4K x 8	450 ns	24	25 V
2732A-20	32K	4K x 8	200 ns	24	21 V
27C32-1	32K	4K x 8	450 ns	24	12.5 V CMOS
2764-20	64K	8K x 8	200 ns	28	21 V
2764A-20	64K	8K x 8	200 ns	28	12.5 V
27C64-12	64K	8K x 8	120 ns	28	12.5 V CMOS
27128-25	128K	16K x 8	250 ns	28	21 V
27C128-12	128K	16K x 8	120 ns	28	12.5 V CMOS
27256-25	256K	32K x 8	250 ns	28	12.5 V
27C256-15	256K	32K x 8	150 ns	28	12.5 V CMOS

Se pide: para la ROM de chip **27128** encontrar : **Cuántos pines de Datos y pines de Dirección tiene.**

Organización de la Memoria

4º) Cuantos bytes son 25 Kilobytes?

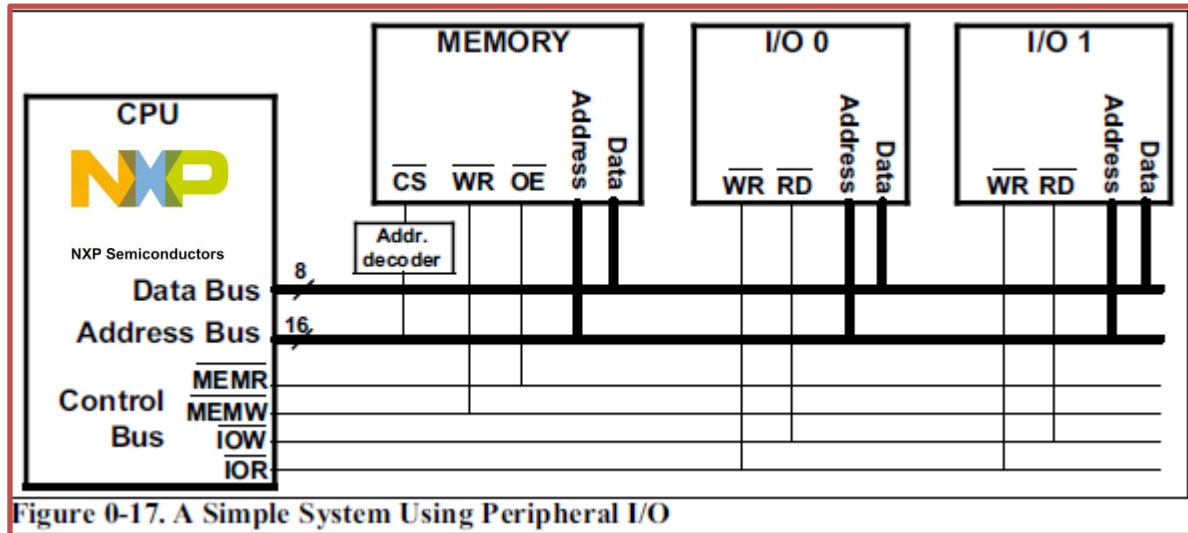
5º) Qué significa **RAM**? Cómo es usada en un Sistema Computador?

6º) Porqué la **RAM** es llamada una **memoria volátil**?

7º) La **velocidad de una memoria semiconductor** está en el rango de:

- a) Microsegundos
- b) Milisegundos
- c) Nanosegundos
- d) Picosegundos

Organización de la Memoria



- 8º) Supongamos que la CPU quiere almacenar 50h en la dirección 15h de Memoria, completar los pasos y tachar lo que no proceda :
- La CPU pone ___ en el bus de Direcciones y ___ en el bus de Datos
 - La CPU activa el pin ____. Esto indica que la CPU quiere_(leer)_(escribir)_ a memoria. Por tanto el dato es _____ en memoria

Organización de la Memoria

9º) Supongamos que la CPU **quiere leer datos de un elemento I/O** cuya **dirección es 40h**, completar los pasos y tachar lo que no proceda:

- a) La CPU pone ___ en el bus de Direcciones.
- b) La CPU activa el pin ____. Esto indica que la CPU quiere_(leer)_(escribir)_ de I/O con dirección _____. Por tanto el dato es _(leído) (escrito)___ en dirección _____ y puesto en el bus de ___(datos) (direcciones)___

10º) A qué se llama **memoria Primaria** y **memoria Secundaria** y porqué?

Direccionamiento de la Memoria

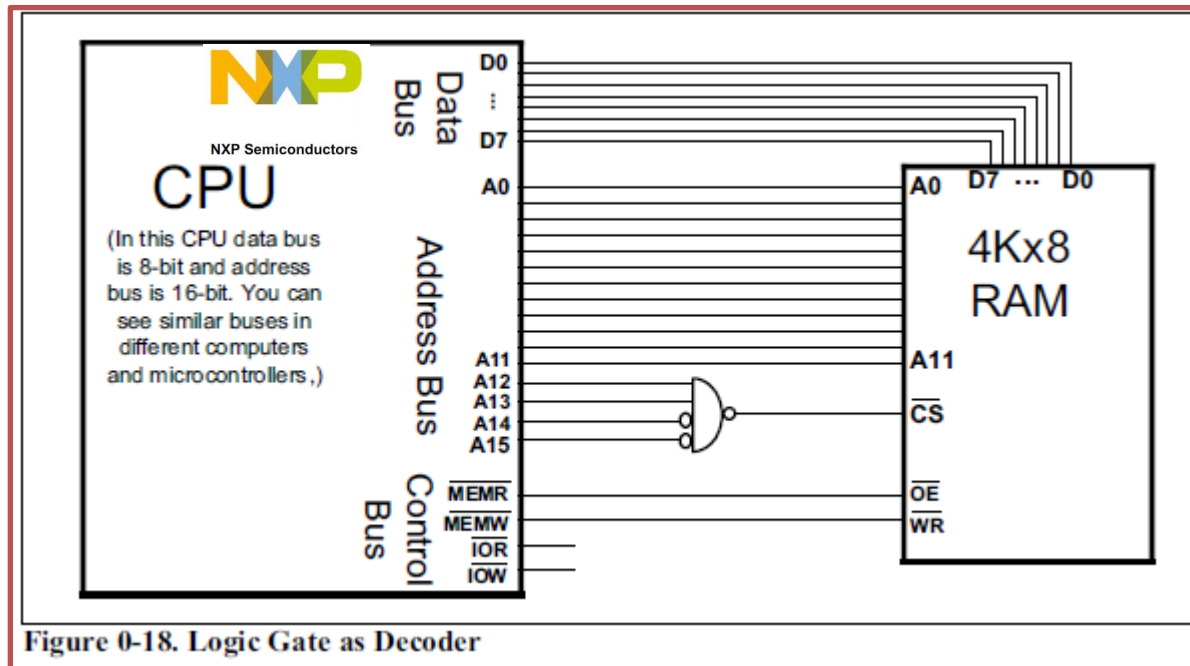
11º) Las memorias tienen uno o más pines llamados **CS(Chip Select)** a veces llamados también **CE(Chip Enable)**.

Conectando la **memoria a la CPU** notar lo siguiente:

- a) El bus de ___ de la CPU está conectado directamente a los pines de ___ de la memoria.
- b) Las señales de control _____ y _____ de la CPU están conectadas a los pines ___ y ___ de la memoria.

Direccionamiento de la Memoria

DIRECCIONAMIENTO o DECODIFICACIÓN CON PUERTAS LÓGICAS



Decodificación de Direcciones mediante Puertas Lógicas

- 12º)** En el caso del **bus de Direcciones**, los bits más ___ van directamente desde la CPU a los pines de ___ de la memoria mientras que los bits más ___ son usados para activar el pin ___ del chip de memoria
- 13º)** Ningún dato puede ser leído o escrito en memoria sin que el pin ___ sea activado
- 14º)** El **rango de direcciones** que se decodifican en la figura anterior se calcula de la siguiente manera: A15 –A12 deben ser ___ en binario para realizar el CS por nivel bajo. Por tanto el rango de direcciones en este chip es de ___ hex a ___ hex en este chip de memoria. Por tanto se pueden obtener ___ datos de 8 bits

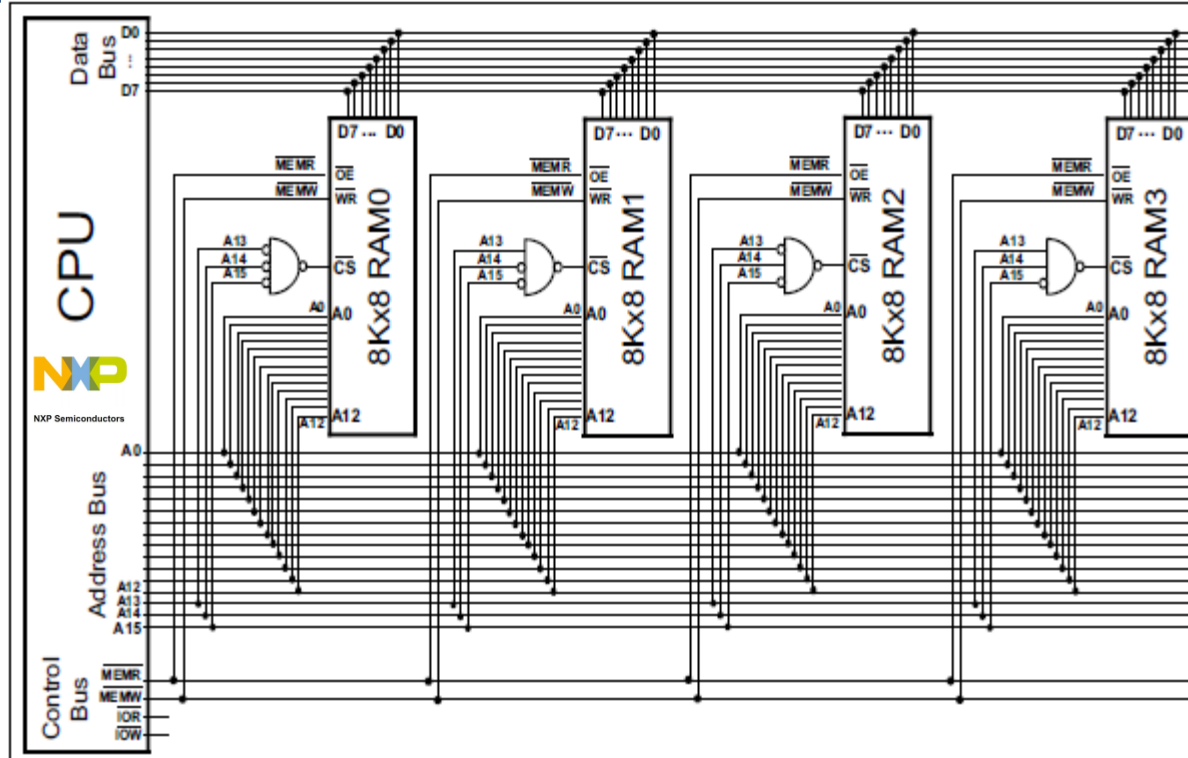
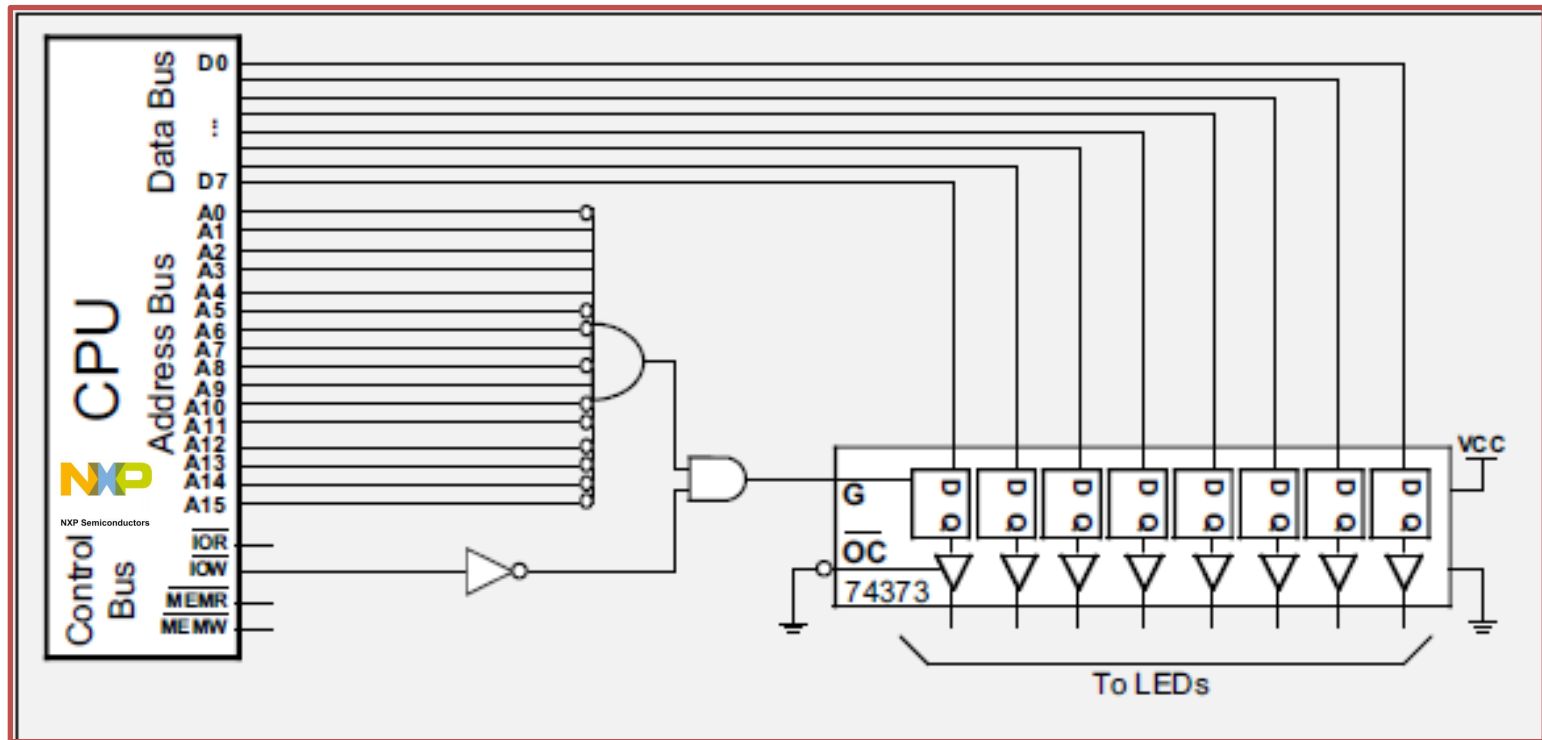


Figure 0-20. Connecting Four Memory Chips to the CPU

15º) Calcular el Mapa de Direcciones

Rango de Direcciones	Chip RAM
	RAM 0
	RAM 1
	RAM 2
	RAM 3
	NO USADA

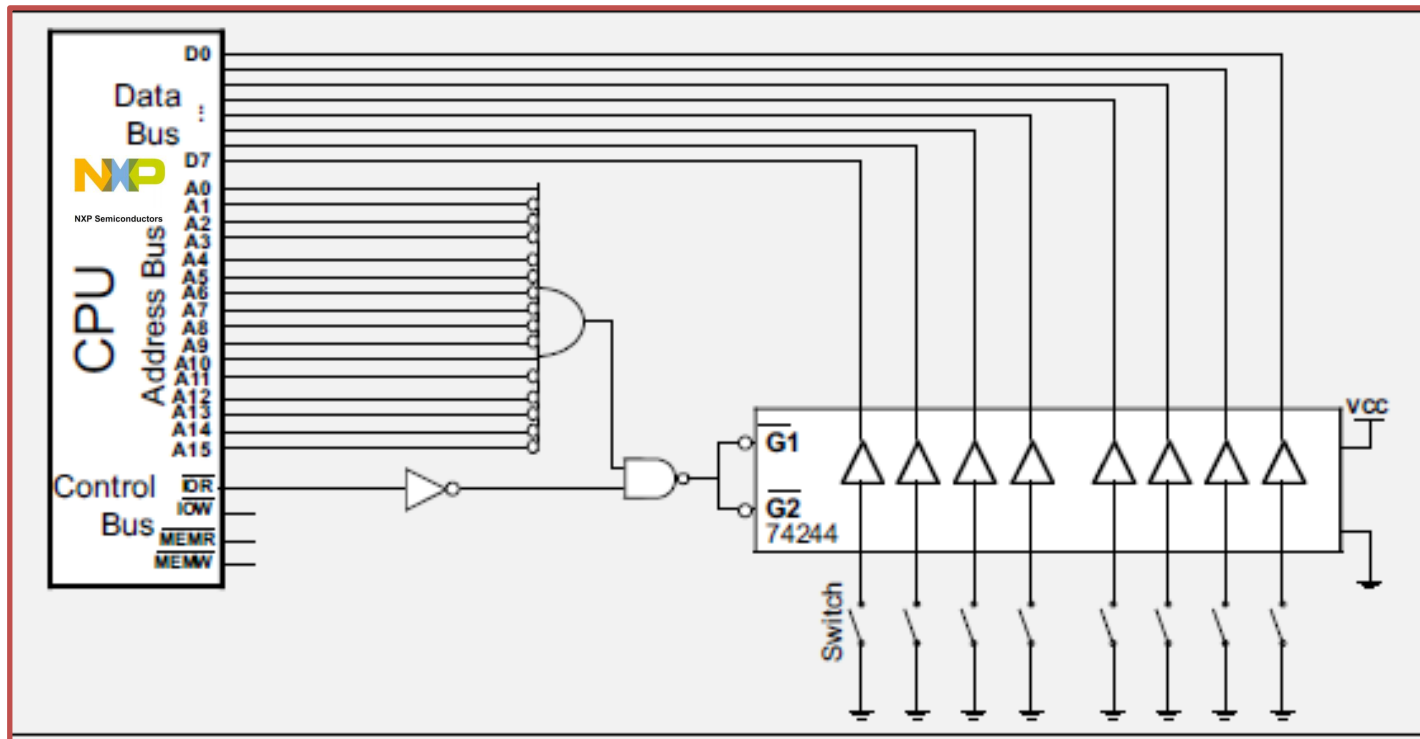
Decodificación de Direcciones de Periféricos (I/O)



16º) Queremos controlar unos **LEDS** de alarma en una **fábrica** con el esquema de arriba.

Se pide: Qué **dirección está asignada** en el bus de direcciones para este dispositivo I/O

Decodificación de Direcciones de Periféricos (I/O)



17º) Queremos controlar un teclado de alarma con ocho conmutadores en una **fábrica** con el esquema de arriba.
Se pide: Qué **dirección está asignada** en el bus de direcciones para este dispositivo I/O

FIN DEL TEST DE REPASO DE CONCEPTOS BASICOS

Muchas Gracias por su Atención