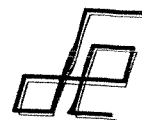




UNIVERSIDAD DE ALCALÁ. E.P.  
DEPARTAMENTO DE ELECTRÓNICA.  
I.T.I. Electrónica Industrial



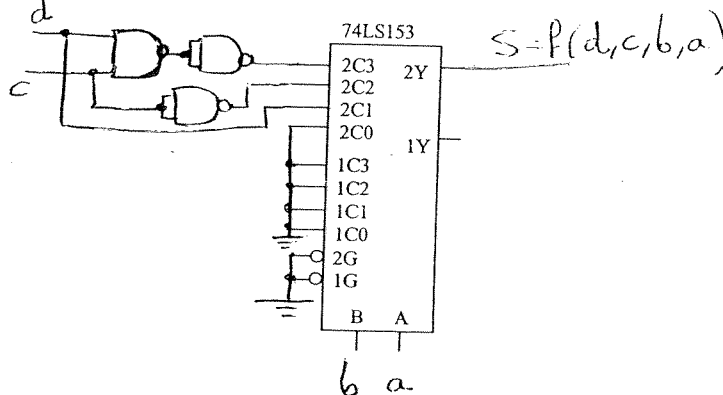
ASIGNATURA:	ELECTRÓNICA DIGITAL	FECHA:	4-9-2003
APELLIDOS	SOLUCIÓN	Nº Lista	
NOMBRE:		D.N.I.	

1	2	3	4	5	6	7	T
---	---	---	---	---	---	---	---

**Cuestión 1 (15 puntos).** Sobre el multiplexor 74LS153, se pide:

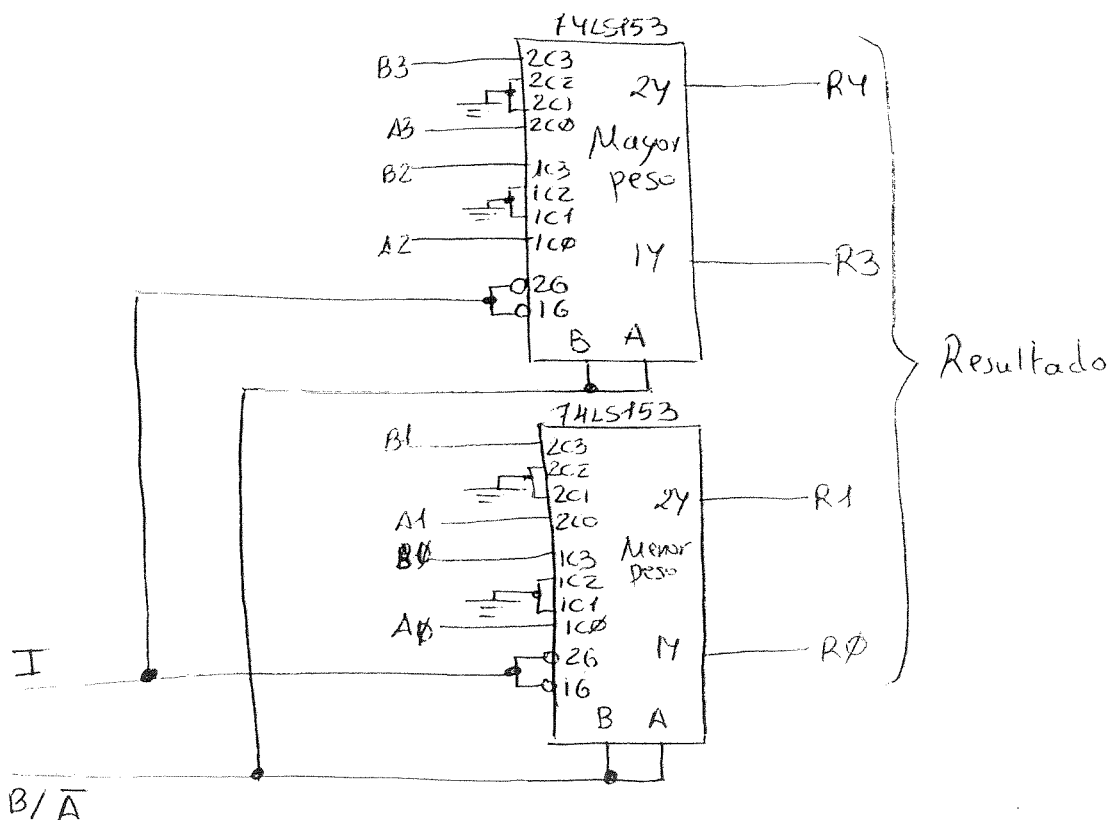
A) Realice la función  $S=f(d,c,b,a)=(d \cdot c \cdot b \cdot a) + (\bar{c} \cdot b \cdot \bar{a}) + (d \cdot \bar{b} \cdot a)$  mediante un multiplexor 74LS153 y tres puertas NAND de dos entradas. (6 puntos).

Una de las posibles d  
soluciones:



B) Realice con el mínimo número de multiplexores 74LS153 un multiplexor de dos datos (A y B) de 4 bits con patilla de inhibición (I) activa a nivel alto. Especifique la asignación de los bits de entradas y salida así como sus pesos. (9 puntos).

Nos hace falta 2 74LS153



### Cuestión 2 (15 puntos).

Mediante los componentes representados en la figura 1, se desea realizar sobre dos números de 8 bits codificados en C2 (A7.....A0 y B7.....B0) las operaciones indicadas en la tabla 1. El resultado (R7.....R0) de la operación se muestra en C2 en 8 bits.

X	Y	Operación en C-2
L	L	A más B más 1
L	H	A más B
H	L	A menos B
H	H	A menos B menos 1

Tabla 1.

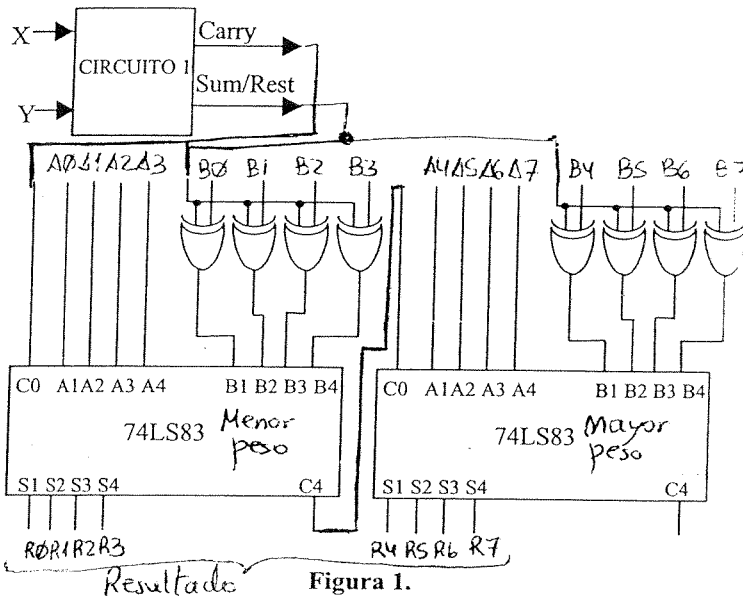
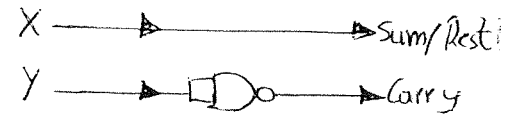


Figura 1.



CIRCUITO 1

Se pide:

A) Sobre la figura 1 realice con los sumadores y las puertas OR-exclusiva una ampliación de 8 bits. Posteriormente diseñe y conecte el bloque nombrado como "CIRCUITO 1" para realizar las funciones de la tabla 1, utilizando como máximo 2 puertas de dos entradas de cualquier tipo. Especifique la asignación de las entradas y salidas así como los bits de mayor y menor peso. (9 puntos).

	X	Y	Carry	Sum/Rest
Suma	0	0	0	0
	0	1	0	0
Resta	1	0	1	1
	1	1	0	1

Carry =  $\bar{Y}$

Sum/Rest = X

$A \text{ menos } B = A \text{ más el } C-2(B) =$   
 $= A \text{ más el } C-1(B) \text{ más } 1.$   
 $\Downarrow$   
 $A \text{ menos } B \text{ menos } 1 = A \text{ más el } C-1(B)$

B) Complete la siguiente tabla y justifique para qué casos existirá overflow en el circuito de la figura 1. (6 puntos).

X	Y	A7.....A0 (en hexadecimal)	B7.....B0 (en hexadecimal)	R7.....R0 (en hexadecimal)	¿se produce overflow?	¿hay carry?
L	L	4F	C3	13	NO	SI
L	H	4F	C3	12	NO	SI
H	L	4F	C3	2C	SI	NO
H	H	4F	C3	2D	SI	NO

$4F = 01001111 = +79$   
 $+ C3 = 11000011 = -61 \Rightarrow +61 = 00111101$   
 $A \text{ más } B = 000010010 = +18 \Rightarrow \text{NO OVERFLOW}$   
 $A \text{ más } B \text{ más } 1 = 000010011 \Rightarrow +19$

$4F = 01001111 = +79$   
 $+ 3D = 00111101 = +61$   
 $A \text{ menos } B = 010001100 = -16$   
 $A \text{ menos } B \text{ menos } 1 = 010001011 = -17$

$2/8$   
 $\text{SI OVERFLOW}$


**Cuestión 3 (15 puntos).**

Los parámetros eléctricos suministrados por un fabricante para dos subfamilias TTL se muestran en la tabla 2:

Subfamilia	$V_{OHmin}$	$V_{OLmax}$	$V_{IHmin}$	$V_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$	$I_{IHmax}$	$I_{ILmax}$
<b>A, colector abierto (+Vcc=+5V)</b>	-----	0,4V	2V	0,8V	0,1mA	20mA	20 $\mu$ A	-0,1mA
<b>B</b>	2,7V	0,5V	2V	0,9V	-400 $\mu$ A	8mA	20 $\mu$ A	-0,5mA

Tabla 2

A) Demuestre la compatibilidad entre las dos familias (A ataca a B y B ataca a A). (5 puntos).

1º 

$$\begin{cases} V_{OLmax} = 0,4 < V_{ILmax} = 0,8 \Rightarrow SI \quad (1) \\ V_{OHmin} > V_{IHmin} = 2V \Rightarrow SI \text{ (seguro)} \end{cases}$$

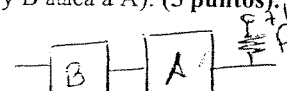
Compatibles en voltage.

2º  $|I_{OLmax}| = 20mA > |I_{ILmax}| = 0,5mA$

Las demás condiciones se ajustan mediante la R.

Compatibles en corriente.

A y B son compatibles

2º 

$$\begin{cases} V_{OLmax} = 0,5 < V_{ILmax} = 0,8V \Rightarrow SI \quad (1) \\ V_{OHmin} = 2,7V > V_{IHmin} = 2V \Rightarrow SI \end{cases}$$

Compatibles en voltage.

$$\begin{cases} |I_{OLmax}| = 8mA > |I_{ILmax}| = 0,1mA \quad (1) \\ |I_{OHmax}| = 400\mu A > |I_{IHmax}| = 20\mu A \quad SI \end{cases}$$

Signos contrarios  $\Rightarrow SI$

Compatibles en corriente.

B) ¿A cuántas entradas tipo A puede atacar una salida tipo B? (2 puntos).

$$\min\left(\frac{400}{20}, \frac{8}{0,1}\right) = \min(20, 80) = 20 \text{ entradas}$$

C) Determine la R de pull-up para que una salida tipo A pueda atacar al mismo número de entradas tipo B que las obtenidas en el apartado anterior. (8 puntos).

NIVEL ALTO

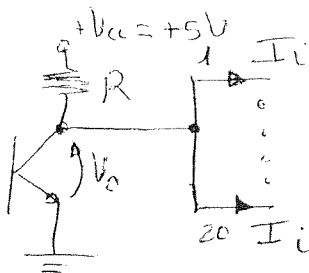
$$5V = V_{CC} - \frac{V_{OHmin} \cdot 20 I_{IHmax} + I_{OHmax}}{R} = 5V - \frac{20 \cdot 0,1mA + 0,1mA}{R} = 5V - \frac{2,1mA}{R}$$

$$\Rightarrow R \leq 6k\Omega$$

NIVEL BAJO

$$V_{CC} - \frac{V_{OLmax}}{R} = \frac{I_{OLmax} + 20 I_{ILmax}}{R} = \frac{20mA + 20 \cdot (-0,5mA)}{R} = \frac{10mA}{R}$$

$$\Rightarrow R > 460\Omega$$



#### Cuestión 4 (10 puntos).

En la figura 2 se muestra el diagrama de bloques de una cámara fotográfica.

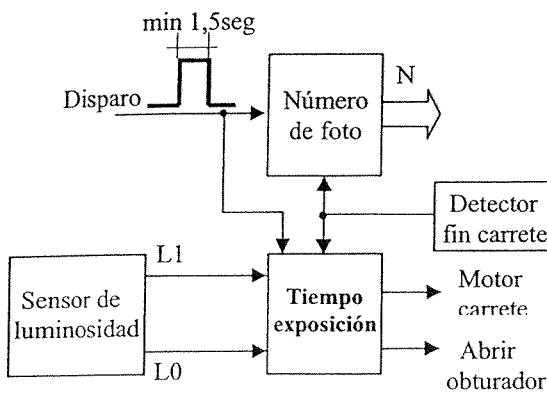


Figura 2. Diagrama de bloques de la cámara fotográfica.

A continuación se explica la función de cada uno de los módulos:

\*Cada vez que se pulsa el botón de disparo de la cámara se genera una señal "Disparo" que produce un pulso a nivel alto de como mínimo 1,5 seg.

\*El bloque "Número de foto" incrementa su cuenta con cada pulso de disparo, proporcionando el número de fotos realizadas (N). La cuenta se detiene cuando el bloque "Detector fin de carrete" detecta el final de carrete mediante una señal de salida a nivel alto.

\*El "sensor de luminosidad" proporciona un dato (L) de dos bits que indica la intensidad luminosa en el ambiente.

\*El bloque "Tiempo de exposición" calcula a partir del dato L el tiempo de apertura del obturador de la cámara fotográfica y activa durante ese tiempo la señal "Abrir obturador" a nivel alto. Igualmente cuando ha finalizado dicho tiempo, se activa el motor del carrete (señal "Motor carrete" a nivel alto) para pasar a la siguiente foto.

\*Cuando se atiende un pulso de disparo, la cámara desactiva el botón de disparo hasta que no se pase a la siguiente foto, no generándose la señal de disparo hasta que esté preparada la siguiente foto aunque se pulse dicho botón.

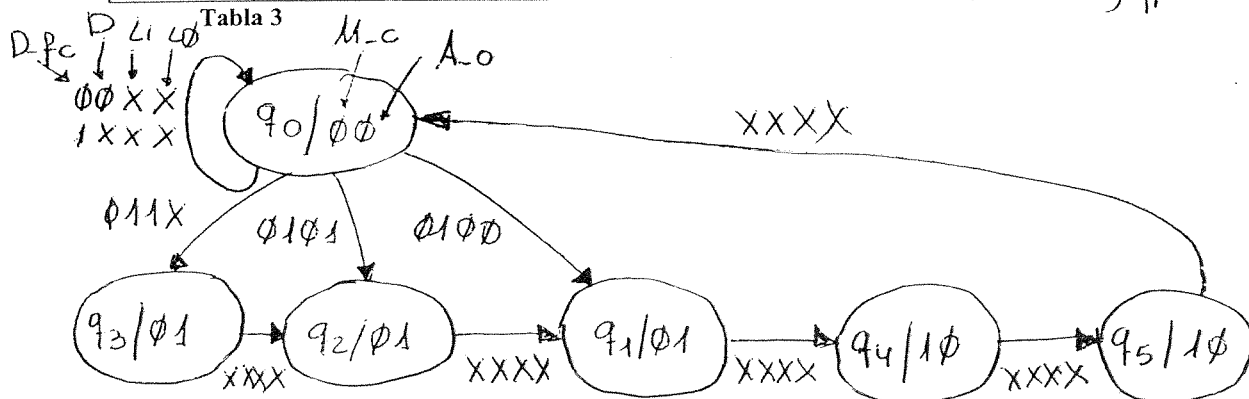
Se pide:

A) Realice el grafo que representa el funcionamiento del módulo "Tiempo exposición" teniendo en cuenta que el tiempo de apertura del obturador dependerá de la luminosidad L según la tabla 3. Por otro lado, y transcurrido el tiempo de exposición, debe pasarse a la siguiente foto activando el motor del carrete exactamente durante 2 segundos. (8 puntos).

Dato L	Tiempo de apertura
00	1 segundo
01	2 segundos
10	3 segundos
11	3 segundos

$$T_{ex}(\text{Reloj}) = 1 \text{ seg}$$

$q_0 = \text{no foto}$  //  $q_2 = \text{foto, 2 seg}$  //  $q_4 \text{ y } q_5 = \text{fin foto avance carrete}$   
 $q_1 = \text{foto, 1 seg}$  //  $q_3 = \text{foto, 3 seg}$



B) Justifique si el circuito correspondiente al módulo "Tiempo de exposición" es de tipo Mealy o Moore así como el número de biestable que hacen falta para su implementación. (2 puntos).

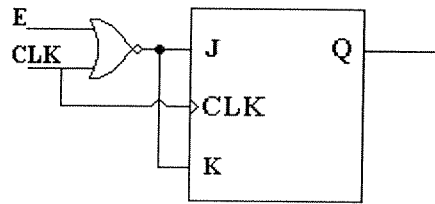
① Moore, las salidas sólo dependen del estado, no de las entradas

$$\textcircled{1} 2^2 < 6 < 2^3 \Rightarrow 3 \text{ biestables}$$

↑  
nº de estados

### Cuestión 5 (15 puntos).

Dado el circuito de la figura:



A) Rellene el siguiente cronograma sabiendo que:

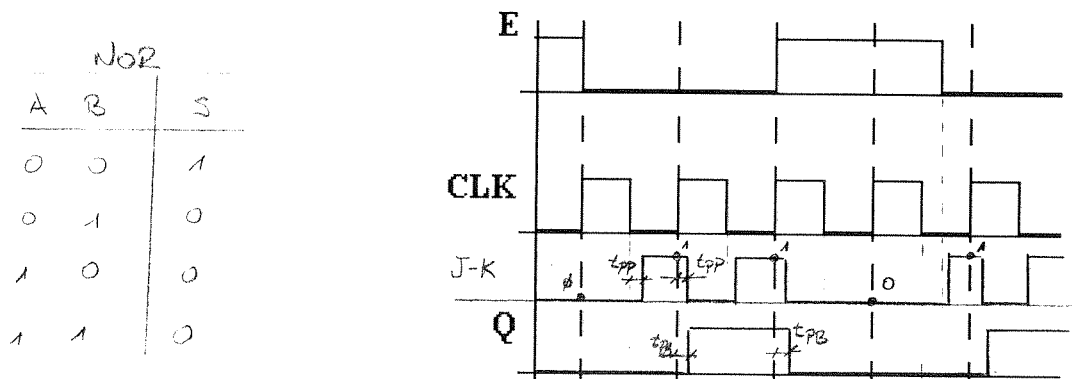
$$t_{pB} = 5ns$$

$$t_{pp} = 4ns$$

$$t_s = 10ns$$

$$t_h = 2ns$$

y que el período de la señal CLK es mucho más grande que estos tiempos (tpp es el tiempo de propagación de la puerta, tpB , ts, th son los tiempos de propagación, de set-up y hold del biestable). Considere que, al principio, Q=0 (9 puntos).



B) Indique la frecuencia máxima de la señal CLK en función de los tiempos detallados anteriormente (6 puntos).

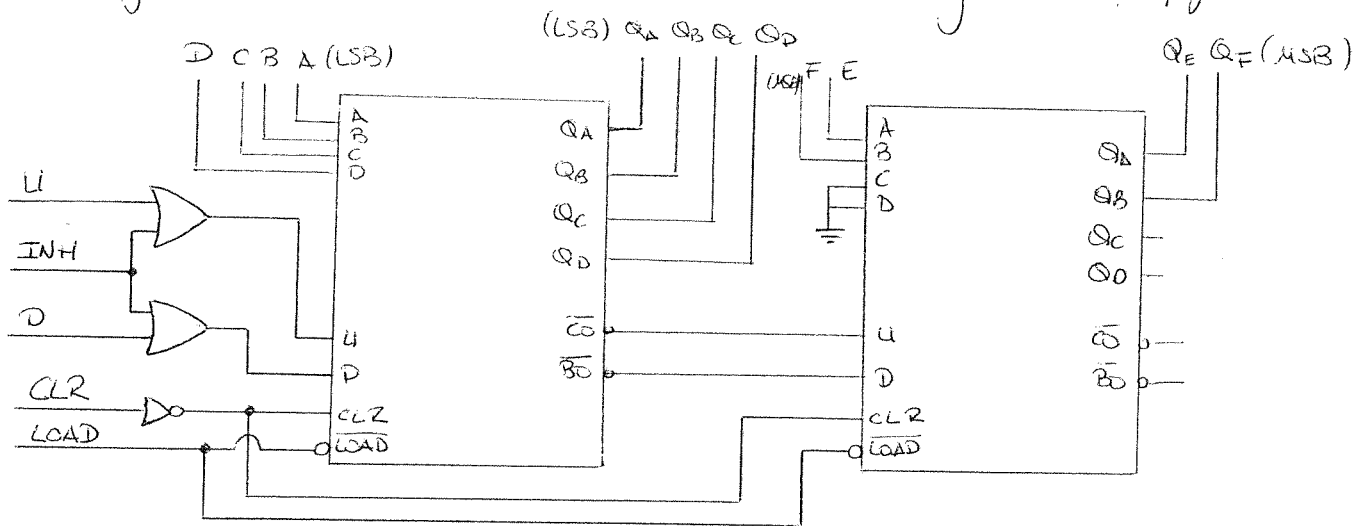
LA LIMITACIÓN EN LA FRECUENCIA DE CLK VIENE DADA POR EL HECHO DE QUE, ADemás DE SER LA SEÑAL DE RELOJ DEL BIESTABLE, INFLUYE EN SU ENTRADA. LOS CÁLCULOS SON:

$$f_{max} = \frac{1}{T_{min}} ; T_{min} = 2 \cdot (t_{pp} + t_s) \quad \left( \text{Por ser el ciclo de trabajo de CLK} = 50\% \right)$$

### Cuestión 6 (15 puntos).

Se desea diseñar un contador binario ascendente/descendente módulo 64 (entre 0 y 63) con un terminal de habilitación de cuenta (que inhabilite la cuenta si se pone a nivel alto), uno de clear y uno de load (y los correspondientes terminales para cargar un valor de cuenta). Clear y load deben ser entradas asíncronas y activas a nivel bajo. Para implementar el circuito se dispone únicamente de integrados 74LS193. Diseñe el circuito utilizando la lógica combinacional adicional que considere necesaria y justificando su respuesta. Especifique la asignación de terminales e indique cuáles son los bits de mayor y menor peso.

Para implementar un contador binario de módulo 64, será necesario un contador de 6 bits ( $64 = 2^6$ ) que se consigue encadenando dos contadores 193, tal y como se muestra en la siguiente figura.

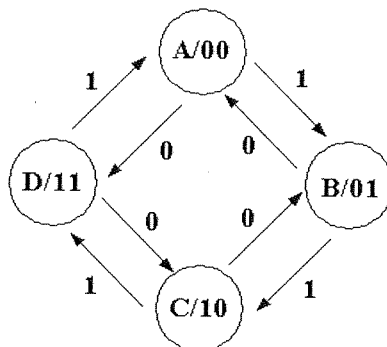


### Cuestión 7 (15 puntos).

Dado el grafo de la figura, obtenga el circuito que lo implementa haciendo uso de biestables tipo D con reset y preset activos a nivel bajo. Tenga en cuenta que la máquina debe de partir del estado D al conectar la alimentación y tiene que retornar a este mismo estado de forma asincrónica al activar un pulsador cuya conexión también debe implementarse en la solución final del ejercicio (incluya cada paso del proceso).

1º) Tabla de transiciones

EST	ACT	EST. FUT		SAL
		E=0	E=1	
A	D	B	00	00
B	A	C	01	01
C	B	D	10	10
D	C	A	11	11



2º) codificación de estados

A	→	00
B	→	01
C	→	10
D	→	11

3º) Tabla cod. / estado

EST. ACTUAL	EST. FUT		SAL
	E=0	E=1	
00	11	01	00
01	00	10	01
10	01	11	10
11	10	00	11
$Q_1^t Q_0^t$	$Q_1^{t+1} Q_0^{t+1}$	$Q_1^{t+1} Q_0^{t+1}$	

4º) Ecuaciones

$$\begin{aligned} S_1 &= Q_1^t \\ S_0 &= Q_0^t \end{aligned}$$

$Q_1^{t+1}$

$Q_1^t Q_0^t$	00	01	11	10
0	1	1		
1		1	1	

$$Q_1^{t+1} = E \oplus (Q_1^t \oplus Q_0^t)$$

$Q_0^{t+1}$

$Q_1^t Q_0^t$	00	01	11	10
0	1			1
1	1			1

$$Q_0^{t+1} = \overline{Q_0^t}$$

# Solution question 7

