



UNIVERSIDAD DE ALCALÁ
DEPARTAMENTO DE ELECTRÓNICA
I.T. Industrial
Electrónica Industrial



ASIGNATURA	Electrónica Digital	FECHA	4-6-2002
APELLIDOS		Nº Lista	
NOMBRE		Esp	

1	2	3	4	5	6	7	8	T
---	---	---	---	---	---	---	---	---

Cuestión 1 (15 puntos)

En el circuito de la figura 1 las puertas OR y NAND tienen salida en colector abierto.

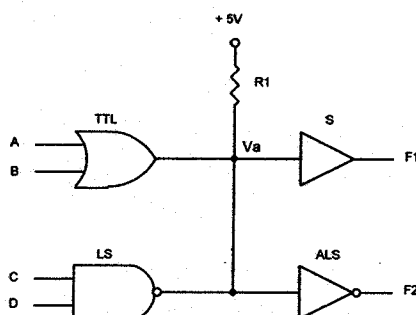


Figura 1. Circuito de la cuestión 1.

Familia	I_{OLmax}	I_{OHmax}	I_{ILmax}	I_{IHmax}	V_{OLmax}	V_{IHmin}	V_{OHmin}
TTL	16 mA	50 μ A	-1,6 mA	40 μ A	0,4 V	2 V	0,8 V
LS	8 mA	50 μ A	-0,36 mA	20 μ A	0,4 V	2 V	0,8 V
S	20 mA	250 μ A	-2 mA	50 μ A	0,4 V	2 V	0,8 V
ALS	8 mA	100 μ A	-0,1 mA	20 μ A	0,4 V	2 V	0,8 V

A partir de los datos eléctricos que se suministran, responda justificadamente a las siguientes preguntas:

1. Calcule el margen de valores de la resistencia R_1 , para obtener un margen de ruido a nivel alto de 0,7 V. (12 pts)

nivel alto

$$V_{aH} = 5V - R_1 (I_{OL_{TTL}} + I_{OL_{LS}} + I_{IH_S} + I_{IH_{ALS}}) \quad \left\{ \Rightarrow R_1 \leq 13,53 k\Omega \right.$$

$$V_{aH} \geq V_{IHmin} + \text{m.r.} = 2,7V$$

nivel bajo

$$\frac{5V - V_{OLmax}}{R_1} \leftarrow I_{IL_S} - I_{IL_{ALS}} - I_{OH_{TTL}} \leq I_{OHmax} \Rightarrow R_1 \geq 780 \Omega$$

$$780 \Omega \leq R_1 \leq 13,53 k\Omega$$

2. Indique la expresión lógica de la función de salida F_2 , expresada como suma de productos (no canónicos). (3 pts)

$$F_2 = (A+B) \cdot (\overline{C \cdot D}) = \overline{A} \cdot \overline{B} + C \cdot D$$

Cuestión 2 (10 puntos)

1. Diseñe un circuito combinacional detector de paridad utilizando únicamente un número mínimo de puertas OR-Exclusiva de dos entradas. El dato de entrada es de 4 bits. Si el dato tiene un número par de unos su paridad es par, en caso contrario su paridad es impar. Por último la patilla de salida PE se pondrá a "1" si la paridad del dato de entrada es impar y a "0" en caso contrario. Comente el resultado. (4 pts)

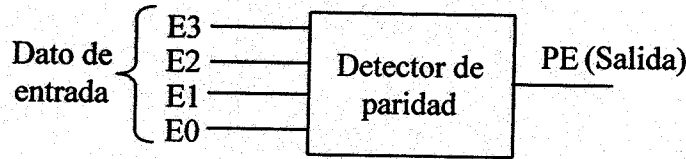


Figura 2. Circuito a diseñar.

E3	E2	E1	E0	PE
0	0	0	0	0
0	0	0	1	1 → ①
0	0	1	0	1 → ②
0	0	1	1	0
0	1	0	0	1 → ④
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1 → ⑦
1	0	0	0	1 → ⑧
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1 → ⑪
1	1	0	0	1 → ⑬
1	1	0	1	0
1	1	1	0	1 → ⑭
1	1	1	1	0

Haciéndolo con la tabla de verdad y Karnaugh (no necesario en este caso)

E3E2	00	01	11	01
00	0	1	3	1
10	1	0	1	0
11	1	0	1	0
01	1	0	1	0

$$\textcircled{A} + \textcircled{E} = (\bar{E}_3 \bar{E}_2 + E_3 E_2) \cdot (E_1 \oplus E_0)$$

$$\textcircled{B} + \textcircled{D} = (\bar{E}_3 \bar{E}_2 + E_3 E_2) \cdot (E_1 \oplus E_0)$$

$$(E_3 \oplus E_2)$$

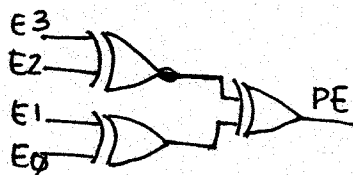
$$PE = E_3 \oplus E_2 \oplus E_1 \oplus E_0$$

lógico
Mismo
resultado

En definitiva nos pide hacer la OR-EXCLUSIVA DE los 4 bits de entrada.

$$PE = E_3 \oplus E_2 \oplus E_1 \oplus E_0$$

Circuito:



2. Diseñe un circuito combinacional generador de paridad utilizando únicamente un número mínimo de puertas OR-Exclusiva de dos entradas. El dato de entrada es de 3 bits. A la salida se le añade un bit al dato de entrada (bit de paridad). Se selecciona la paridad del dato de salida mediante la patilla PS. Si PS="1" paridad impar y si PS="0" paridad par. (6 pts)

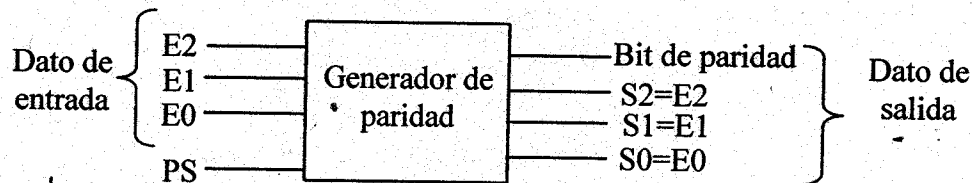


Figura 3. Circuito a diseñar.

Tabla de verdad

PS	E2	E1	E0	Bit Parid	S2	S1	S0
0	0	0	0	0	0	0	0
0	0	0	1	① 1	0	0	1
0	0	1	0	② 1	0	1	0
0	0	1	1	③ 0	0	1	1
0	1	0	0	④ 1	1	0	0
0	1	0	1	⑤ 0	1	0	1
0	1	1	0	⑥ 0	1	1	0
0	1	1	1	⑦ 1	1	1	1
1	0	0	0	⑧ 1	0	0	0
1	0	0	1	⑨ 0	0	0	1
1	0	1	0	⑩ 0	0	1	0
1	0	1	1	⑪ 1	0	1	1
1	1	0	0	⑫ 0	1	0	0
1	1	0	1	⑬ 1	1	0	1
1	1	1	0	⑭ 1	1	1	0
1	1	1	1	0	1	1	1

Bit paridad

E3E2	00	01	11	01
00	0	1	3	1
10	1	0	1	0
11	1	0	1	0
01	1	0	1	0

Igual que antes

$$\text{Bit paridad} = PS \oplus E_2 \oplus E_1 \oplus E_0$$

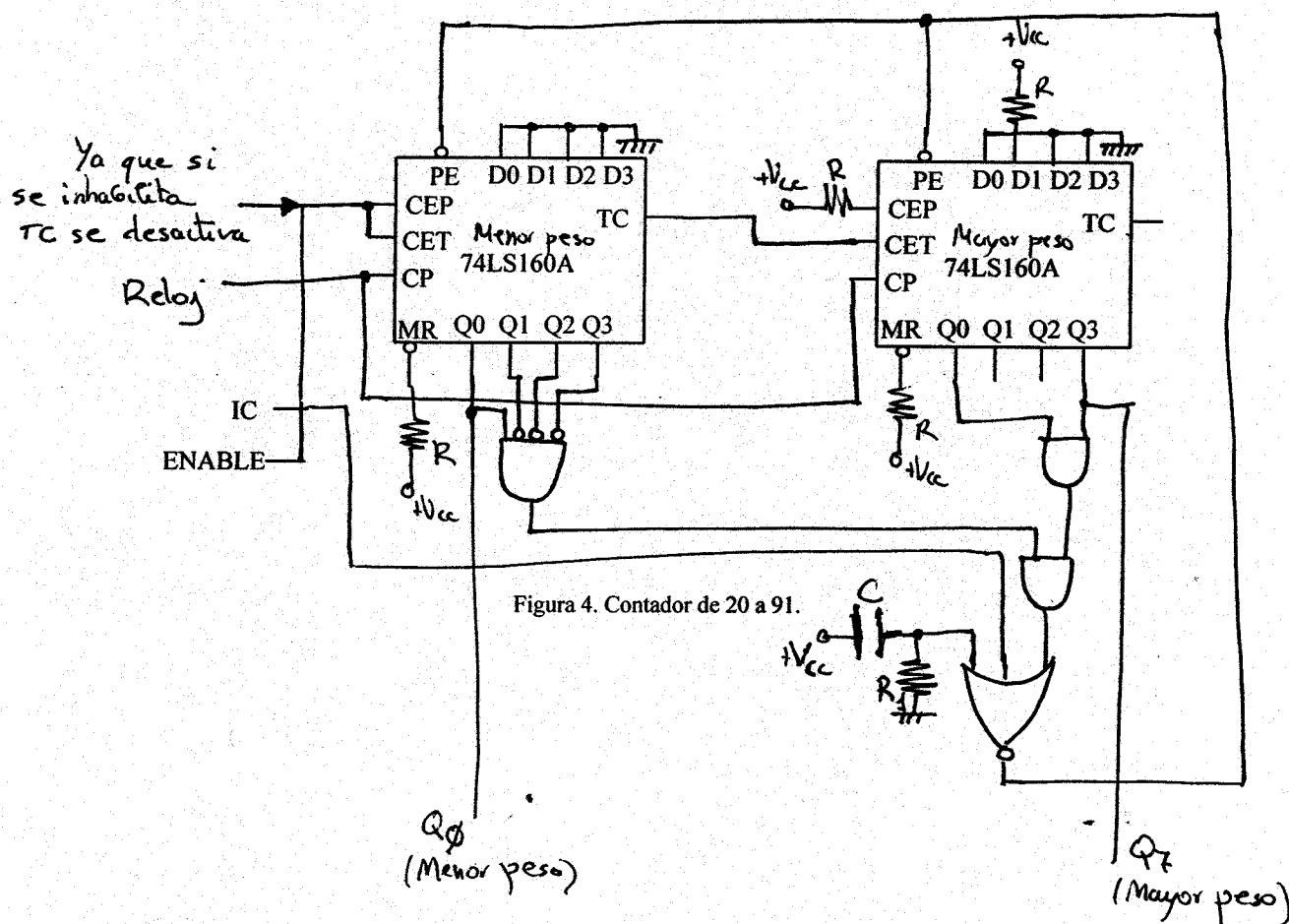
También se podría haber hecho directamente ya que $E_2 \oplus E_1 \oplus E_0$ detecta la paridad del dato de entrada (1 impar, 0 par) y añadiendo la función de PS \Rightarrow Bit paridad = $\bar{P} \cdot A + P \cdot \bar{A}$

A	PS	Bit Paridad
0	0	0
0	1	1
1	0	1
1	1	0

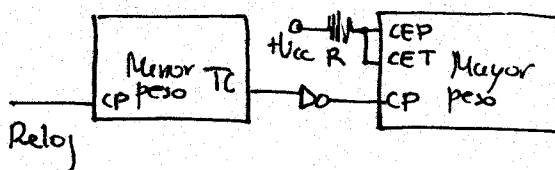
Cuestión 3 (15 puntos)

1. Sobre el circuito de la figura 4 realice el siguiente contador (12 puntos):

- Cuenta de 20 hasta 91. *Se detecta q1 pues LOAD es sincrónico*
- Debe de iniciar su cuenta en 20 al conectar la alimentación así como al activar a nivel alto una patilla IC que deberemos añadir.
- Debe poseer una patilla de habilitación (ENABLE) a nivel alto.
- La ampliación será sincrónica. *→ Misma señal de reloj*
- Se puede utilizar cualquier tipo de puertas lógicas con cualquier número de entradas y los componentes discretos que necesite.
- Indique los bits de mayor y menor peso de la salida del contador resultante.



B) ¿Qué modificaciones se deben introducir sobre el contador anterior si la ampliación fuese asíncrona? (3 puntos)



Cuestión 4 (15 ptos)

A partir del circuito de la figura 5, responda justificadamente a las siguientes preguntas:

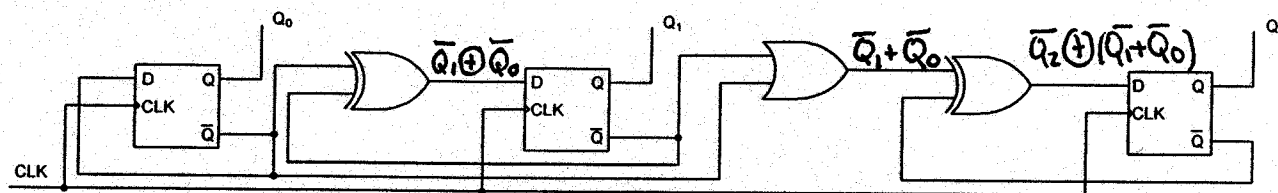
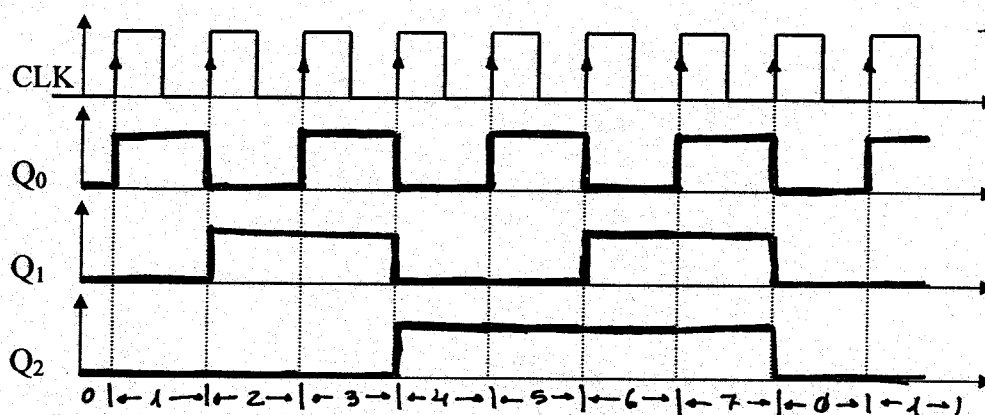


Figura 5. Circuito secuencial.

1. Represente sobre el siguiente cronograma la evolución temporal de las señales Q_0 Q_1 Q_2 , suponiendo que inicialmente tienen el valor 0 0 0. (8 ptos)



2. Si se trata de un circuito contador, indique el módulo del mismo. (2 ptos)

Módulo 8

3. Determine la frecuencia máxima de funcionamiento. (5 ptos)

Datos Biestables: $t_{PB} = 8 \text{ ns}$; $t_{setup} = 4,5 \text{ ns}$; $t_{hold} = 0 \text{ ns}$

Datos Puertas: $t_{pp} = 6 \text{ ns}$

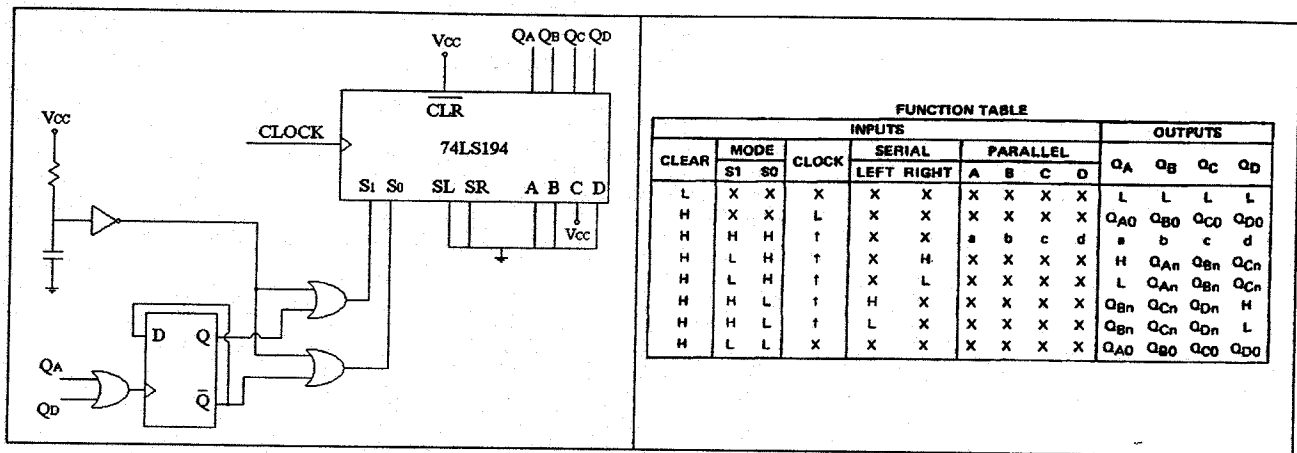
Es síncrono \Rightarrow caso peor Q_2

$$t_{clk/min} = t_{PB} + \underbrace{t_{pp}}_{OR} + \underbrace{t_{pp}}_{OR-EXC} + t_{SETUP} = 24,5 \text{ nseg}$$

$$f_{clk/max} = \frac{1}{24,5 \text{ nseg}} = 40,816 \text{ MHz}$$

Cuestión 5 (10 puntos)

Dado el circuito de la figura:



y teniendo en cuenta la tabla de verdad del circuito 74LS194, rellene la tabla que se muestra a continuación justificando los resultados. Supóngase que el la situación inicial del biestable es $Q=1$.

Reloj	Q _D	Q _C	Q _B	Q _A
Encendido de la alimentación y	0	1	0	0
	0	0	1	0
	0	0	0	1
	0	0	1	0
	0	1	0	0
	1	0	0	0
	0	1	0	0
	0	0	1	0
	0	0	0	1

carga de los bits
 $S_1 = S_0 = 1$
 (*)
 (*) (*)
 (*) (*) (*)
 (*) (*) (*)

(*) Desplazamiento hacia la izquierda porque las salidas del biestable hacen que $S_1 = 1$; $S_0 = 0$

(*) (*) Se active Q_A provocando que cambie el biestable y cambie el sentido de giro

(*) (*) (*) Despl. hacia la izda.

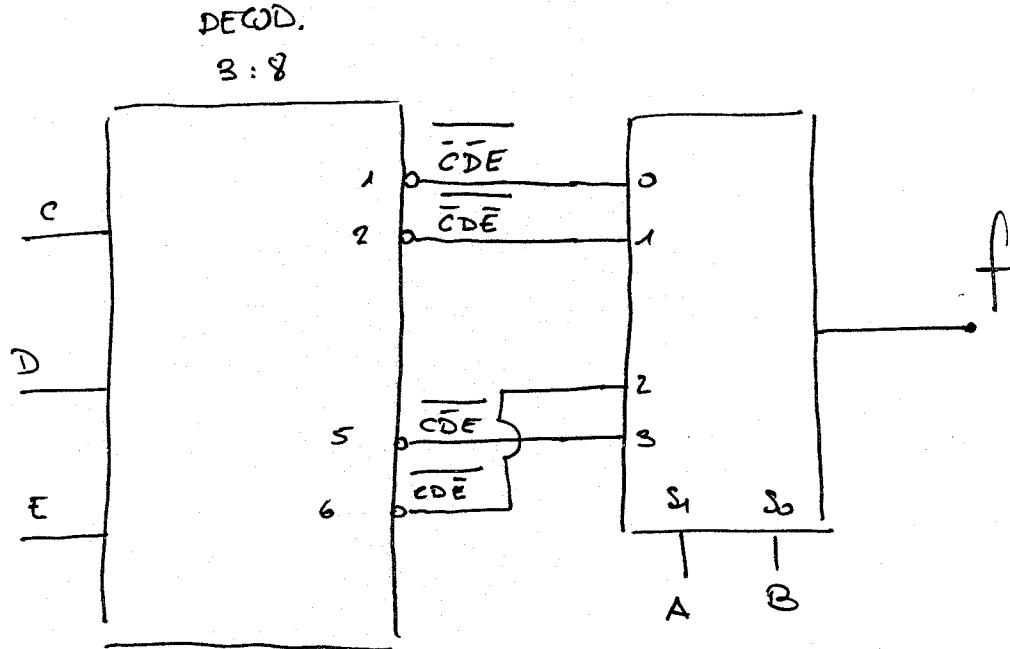
(*) (*) (*) (*) Se active Q_D cambiando de nuevo el sentido de giro.

Cuestión 6 (10 puntos)

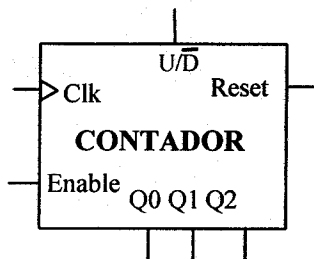
Se pretende diseñar un sistema digital que implemente la siguiente función lógica:

$$f = A \cdot B \cdot \overline{C} \cdot \overline{D} \cdot E + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D} \cdot E + A \cdot \overline{B} \cdot \overline{C} \cdot D \cdot \overline{E} + \overline{A} \cdot B \cdot \overline{C} \cdot D \cdot \overline{E}$$

disponiendo únicamente de un decodificador 3:8 con salidas activas a nivel bajo y un multiplexor 4:1, proponga justificadamente el circuito que realice dicha función.

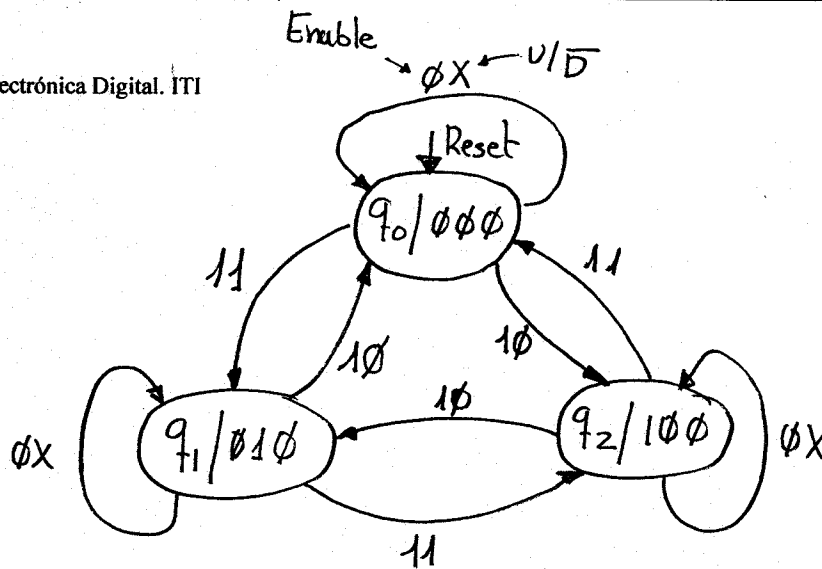
**Cuestión 7 (15 puntos)**

Se quiere diseñar un contador ascendente/descendente con entrada Enable activa a nivel alto, que siga la secuencia 0 2 4 0 o 4 2 0 4, según marque la patilla de control del sentido de cuenta U/\overline{D} (ver figura) conforme recibe los pulsos de reloj (CLK). Dispone de una patilla de reset asíncrona que devuelve al contador a su situación inicial, es decir, cuenta a cero. Se pide:



1. Realice el grafo correspondiente al funcionamiento del contador. Justifique si el circuito es Mealy o Moore.

(6 puntos)



Estados
 $q_0 \Leftrightarrow \text{cuenta } 0$
 $q_1 \Leftrightarrow \text{cuenta } 2$
 $q_2 \Leftrightarrow \text{cuenta } 4$

Es Moore, las salidas sólo dependen de los estados y cada estado corresponde una única combinación de salidas.

2. En la figura 6.A y 6.B se muestran los grafos correspondientes al funcionamiento de dos circuitos secuenciales activos en flanco de subida. En función de estos y de las señales aplicadas complete los dos cronogramas. Al conectar la alimentación se produce un reset. (9 puntos)

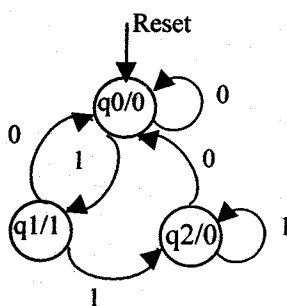


Figura 6.A. Grafo 1.

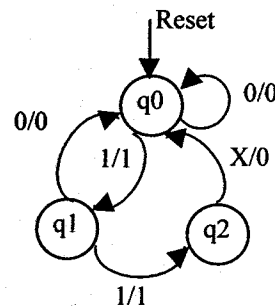
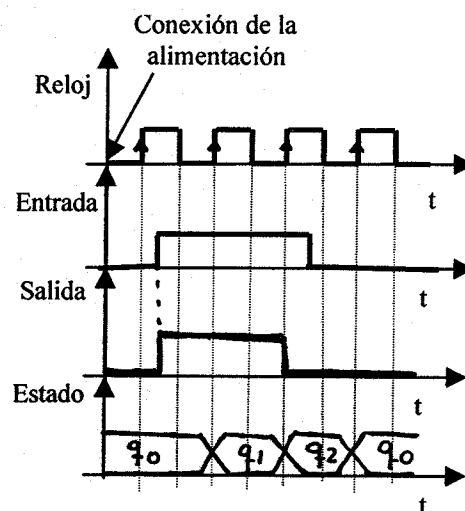
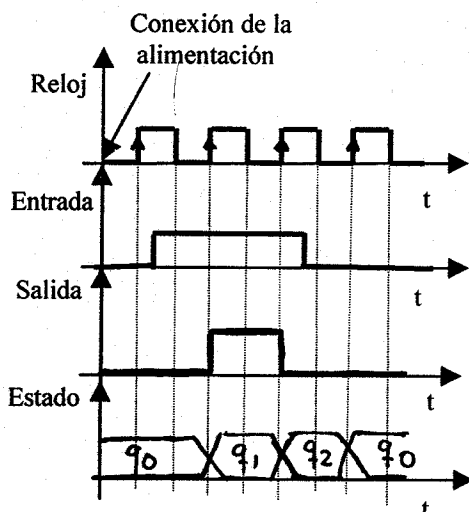
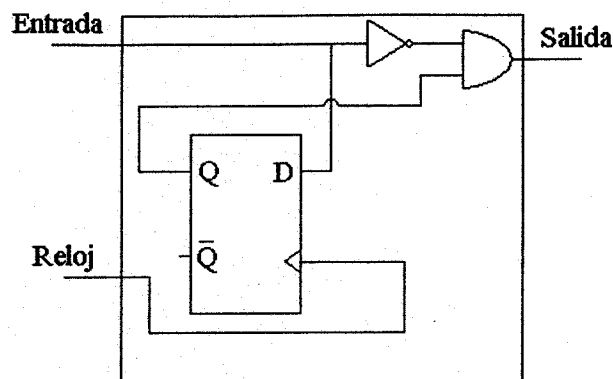


Figura 6.B. Grafo 2.



Cuestión 8 (10 puntos)

Dada la máquina de estados de la siguiente figura, se pide:



1. Justifique si es un autómata de Moore o de Mealy e indique el número de estados que presenta. (3 puntos)

ES UN AUTÓMATA DE MEALY POR DEPENDER EL VALOR DE LA SALIDA DEL VALOR DE LA ENTRADA.

PRESENTA DOS ESTADOS POR TENER UN ÚNICO BIESTABLE.

2. Obtenga el grafo o diagrama de estados y justifique el resultado indicando las funciones lógicas implementadas en la salida del sistema y la entrada del biestable, así como la tabla de transiciones de la máquina de estados. (7 puntos)

Tabla de Transiciones

Est. Act.	Est. Fut.		SALIDA	
	E=0	E=1	E=0	E=1
(Q ₀) 0	0	1	0	0
(Q ₁) 1	0	1	1	0

GRUPO:

