



Electrónica

Tema 3

Sistemas de Adquisición de Datos



Sistemas de Adquisición de Datos (SAD)

Índice



□ Introducción

- Tipos de señales: Clasificación.
- Diagrama de bloques para tratamiento digital de señales
- Esquema de conversión de una señal A/D y D/A
- Elementos auxiliares a la conversión A/D y D/A

□ Conversión A/D

- Circuitos de Muestreo y Retención.
 - Introducción y funcionamiento.
 - Tipos de circuitos de muestreo y retención.
 - Parámetros más importantes de los circuitos de muestreo y retención.
 - Circuitos de muestreo y retención comercial.
- Conversores A/D
 - Elementos de un convertor A/D.
 - Teorema de Nyquist.
 - Cuantificación. Ejemplos.
 - Adecuación márgenes de señal. ADC0804
 - Codificación. Ejemplos.
 - Tipos de convertidores A/D.
 - ADC comercial ADC080X
 - Estructuras SAD, parámetros temporales.

□ Conversión D/A

- Proceso de conversión D/A: Conversión y filtrado.
- Diagrama de bloques genérico de un DAC
- Elementos de un convertor D/A.
- Parámetros de un DAC.
- Convertidores DAC. Estructura R-2R en escalera. Ejemplos.
- Configuraciones de salida de los convertidores D/A.
- D/A comercial DAC800. Ejemplos.

Los libros utilizados para estos apuntes han sido:

- "Subsistemas de Adquisición de Datos" Ed Servicios de publicaciones UAH
- "Conversión de Datos" Ed Servicios de publicaciones UAH



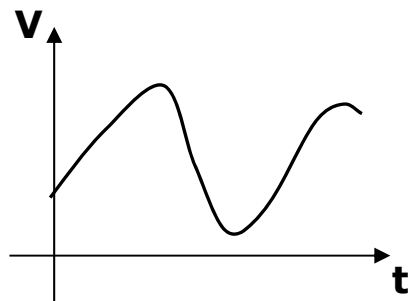
Clasificación de señales:

En función del tiempo:

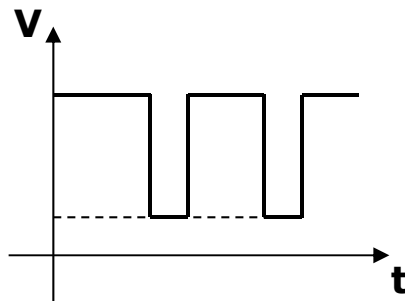
- ✓ **Continuas:** cualquier instante de tiempo
- ✓ **Discretas:** ciertos instantes de tiempo

En función de su valor:

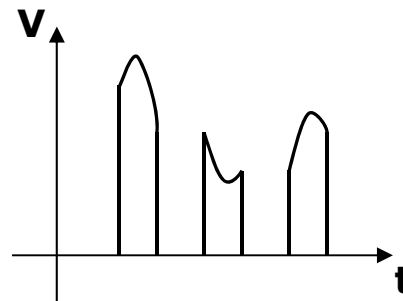
- ✓ **Analógicas:** infinitos valores en un intervalo.
- ✓ **Digitales:** determinados valores dentro de un intervalo.



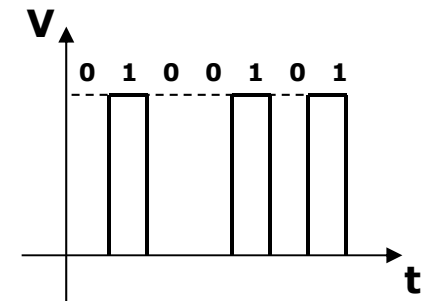
ANALÓGICA CONTINUA



DIGITAL CONTINUA



ANALÓGICA DISCRETA



DIGITAL DISCRETA

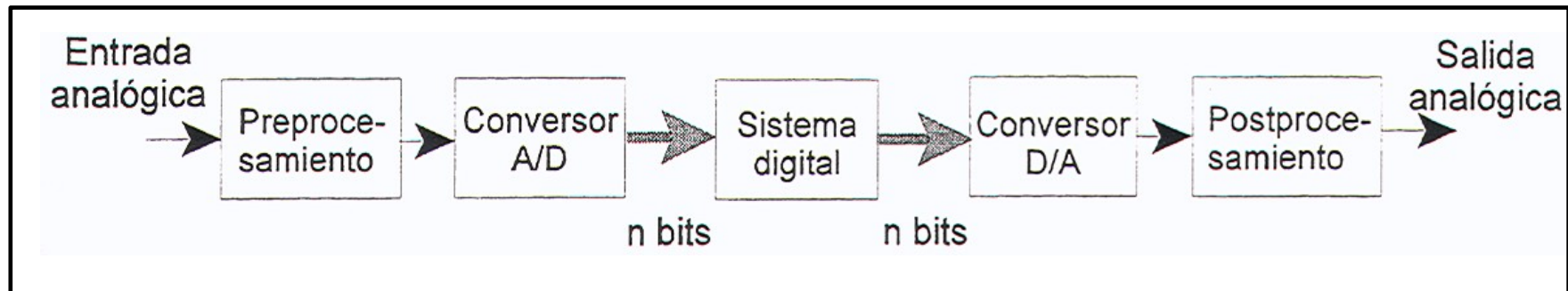


Sistemas de Adquisición de Datos (SAD)

Sistema de adquisición de datos



Diagrama de Bloques:



✓ Preprocesamiento:

Acondicionamiento de señal de entrada al ADC:
polarización, adaptación de niveles, filtrado...

✓ Conversión Analógica- Digital (S&H y ADC)

✓ Sistema digital

✓ Conversión Digital- Analógica

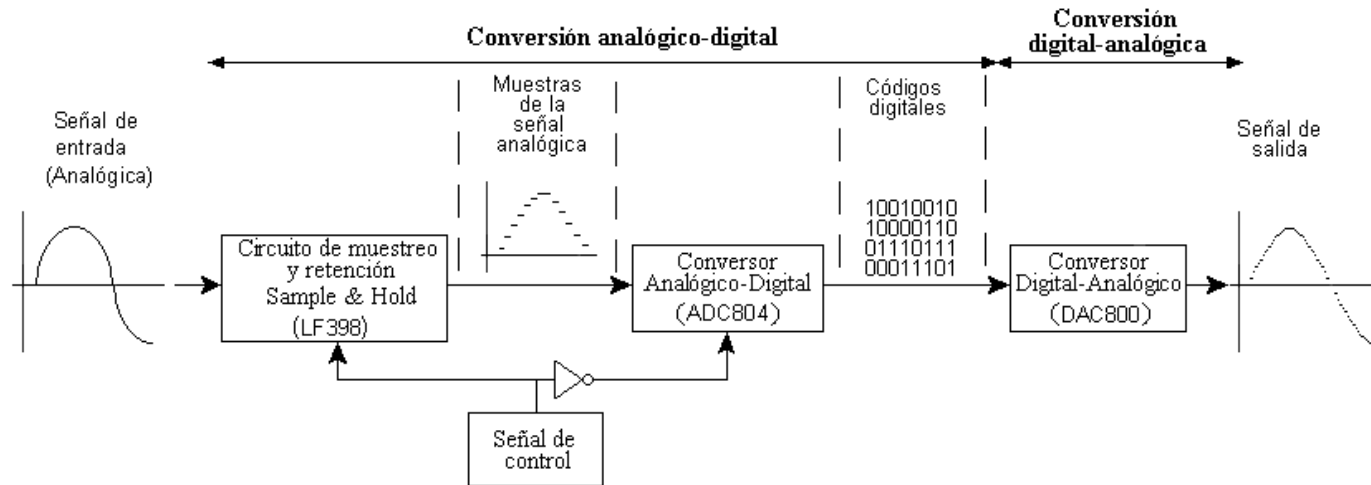
✓ Postprocesamiento:

Filtrado y acoplo de dispositivos (actuación, visualización...)



Sistemas de Adquisición de Datos (SAD)

Conversión de una señal A/D y D/A



¿Por qué no trabajar directamente con la señal analógica en vez de convertirla a digital y tener después que reconstruirla a analógica?

- ✓ Mayor capacidad de almacenamiento
- ✓ Repetibilidad
- ✓ Mayor inmunidad al ruido
- ✓ Menor coste (normalmente)
- ✓ Mayor capacidad de procesamiento...

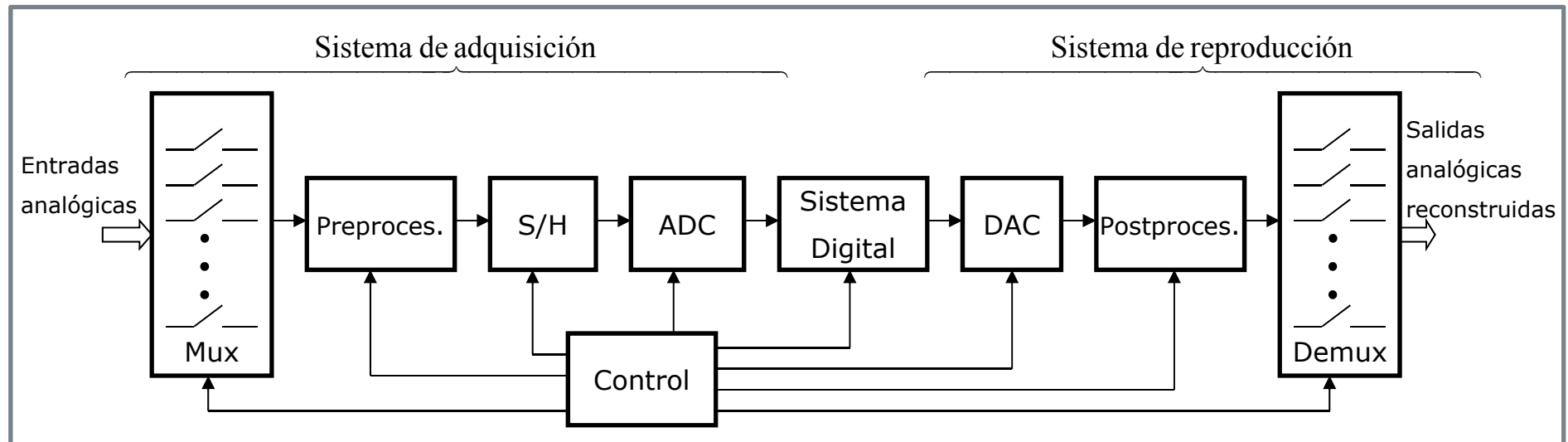


Sistemas de Adquisición de Datos (SAD)

Esquema de conversión de señales A/D y D/A



Sistema: monocanal y multicanal



- ✓ Puertas de transmisión.
- ✓ Multiplexores y demultiplexores analógicos.
- ✓ Circuitos de muestreo y retención (S/H).
- ✓ Conversor Analógico a Digital.
- ✓ Conversor Digital a Analógico

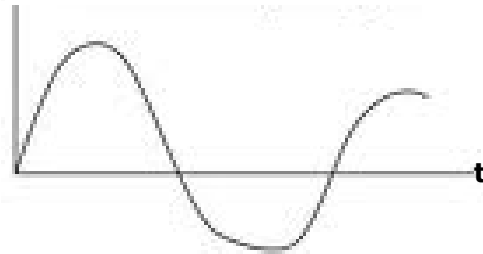


Sistemas de Adquisición de Datos (SAD)

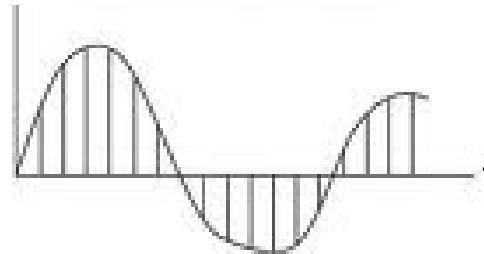
Necesidad de circuitos de muestreo y retención (S&H).



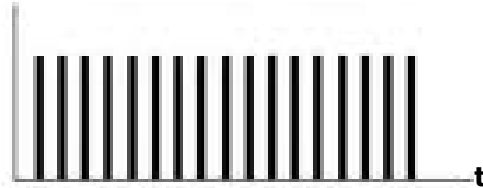
Señal analógica original



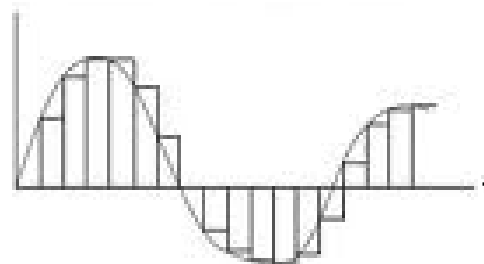
Señal muestreada



Pulsos de muestreo



Señal retenida



- ✓ Tiempo de conversión (T_c) del ADC \rightarrow Señal muestreada fija.
- ✓ Velocidad de variación de la señal a muestrear \rightarrow necesidad de sistema de retención de muestra:
Sample (muestreo) & **Hold** (retención) (S/H)
- ✓ Señal de entrada continua o cuasi-continua \rightarrow Sin S/H.



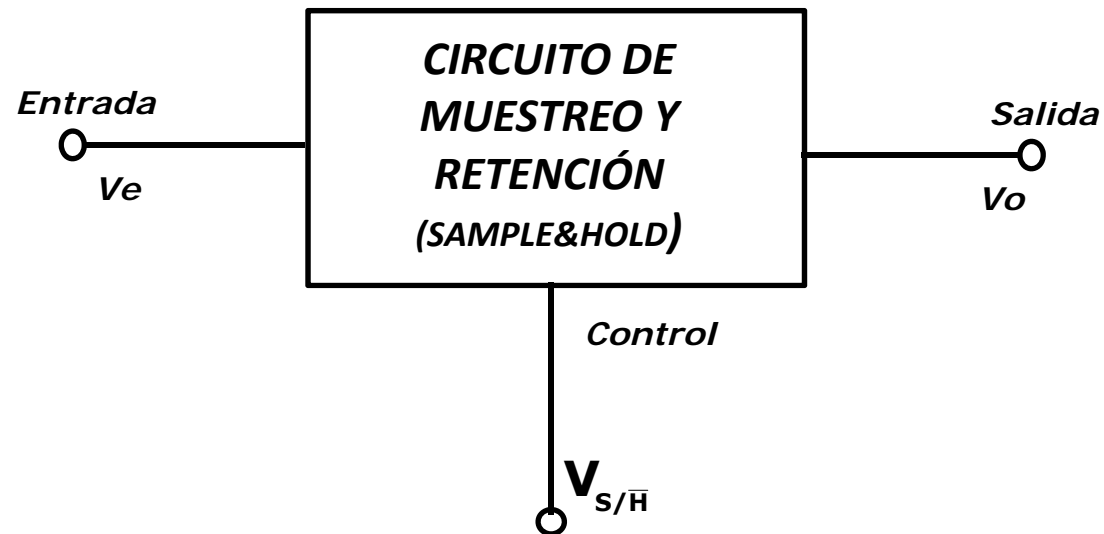
Sistemas de Adquisición de Datos (SAD)

Circuitos de muestreo y retención (S&H)



S&H → Circuitos en los que:

- Durante un intervalo (llamado tiempo de muestreo t_s) la salida sigue a la entrada ($V_o=V_e$).
- Durante otro intervalo (llamado tiempo de retención t_h) la salida mantiene su tensión. ¿Con qué elemento hacerlo (R,C, diodo...)?

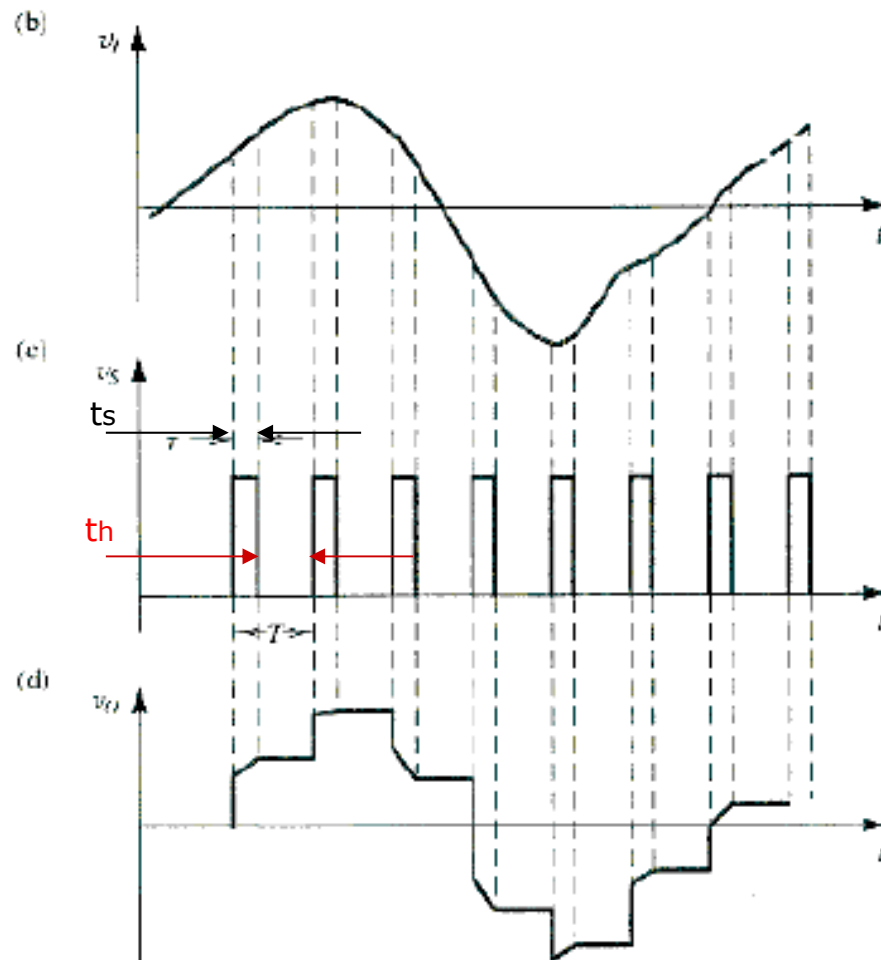


La señal de control $V_{S/H}$, fija los tiempos de muestreo y retención



Sistemas de Adquisición de Datos (SAD)

Circuitos de muestreo y retención (S&H)



Interesa que t_s sea muy corto y t_h lo mas grande posible



Sistemas de Adquisición de Datos (SAD)

Tipos de circuitos de muestreo y retención (S&H).

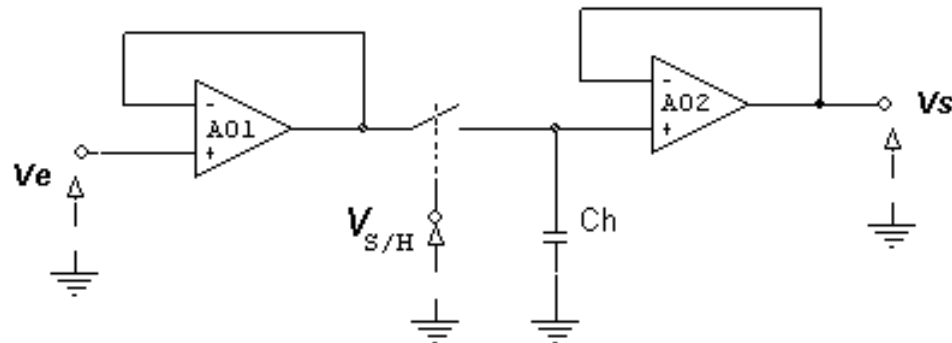


Condensador de retención C_h :

$V_{S/\bar{H}} = L(H) \rightarrow$ modo muestreo y $V_s = V_e$

$V_{S/\bar{H}} = H(L) \rightarrow$ modo retención: $V_s = V_{Ch}$.

S&H en lazo abierto



Ventaja

Alta velocidad

Inconveniente

Errores acumulativos DC de ambos amplificadores



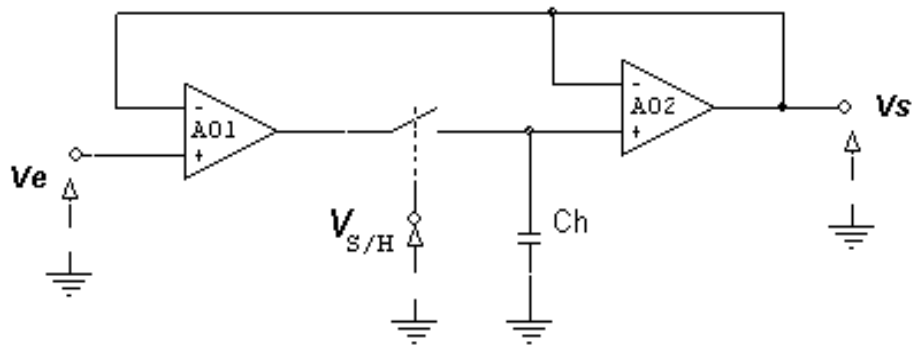
Sistemas de Adquisición de Datos (SAD)

Circuitos de muestreo y retención (S&H). Tipos

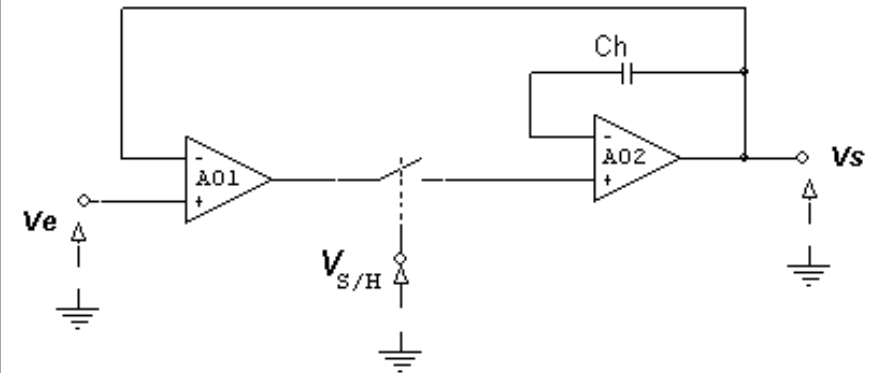


S&H en lazo cerrado

Con seguidor de salida



Con integrador de salida



Ventaja

Disminuye el efecto DC en salida

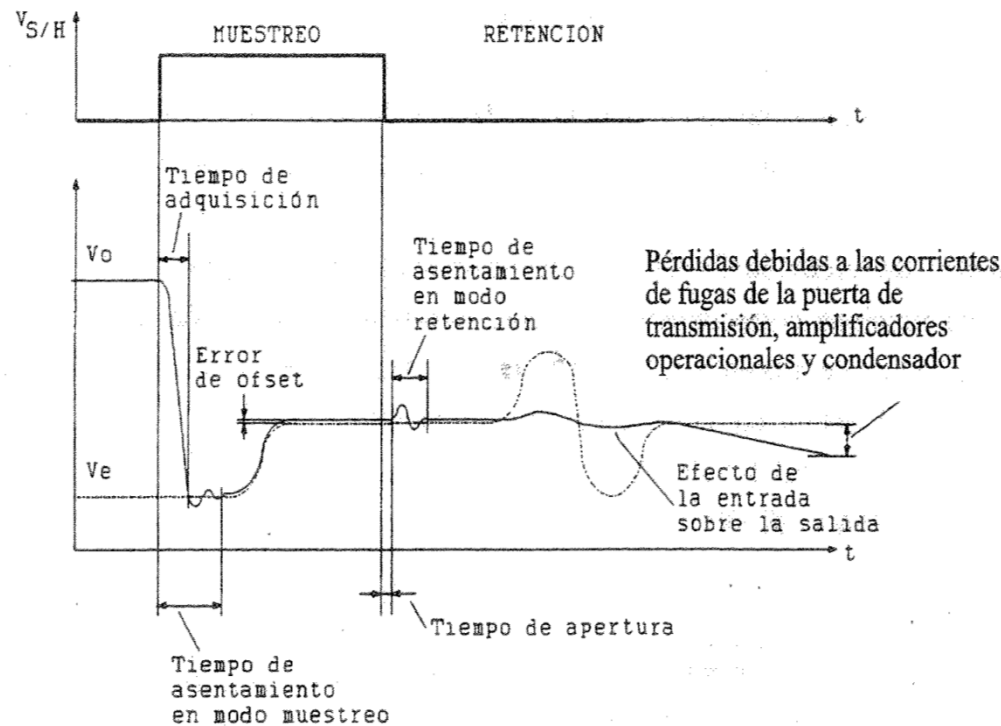
Inconveniente

Mayor lentitud del dispositivo



□ Parámetros reales de los S&H

- El S&H real tiene una serie de parámetros que lo alejan del comportamiento ideal.



- ✓ Tiempo de adquisición (t_{adq})
- ✓ Hold droop rate
- ✓ Hold step
- ✓ Tiempo de apertura (t_{ap}):
- ✓ Incertidumbre de apertura (J_{tap}).
- ✓ Tiempo de asentamiento en modo retención (t_{as}):
- ✓ Feedthrough...



Sistemas de Adquisición de Datos (SAD)

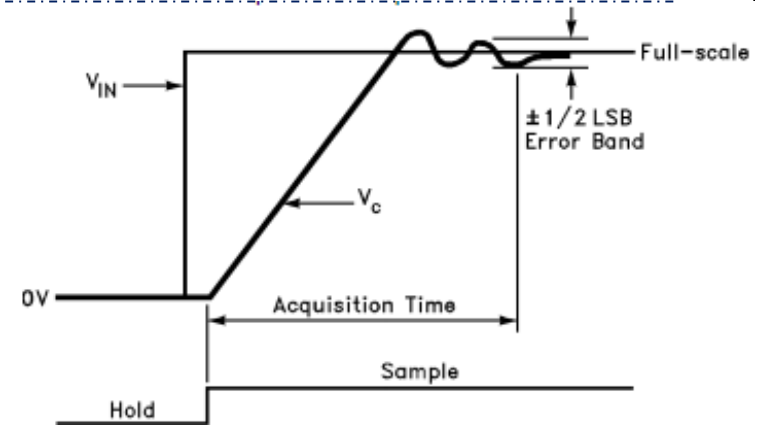
Circuitos de muestreo y retención (S&H). Parámetros.



- **Tiempo de adquisición (t_{adq})**

Tiempo que transcurre desde que se da la orden de muestreo hasta que la salida se aproxima a la entrada con un determinado grado de precisión (0.1%...).

$$t_{adq} \downarrow \rightarrow C_H \downarrow \quad t_s > t_{adq}$$

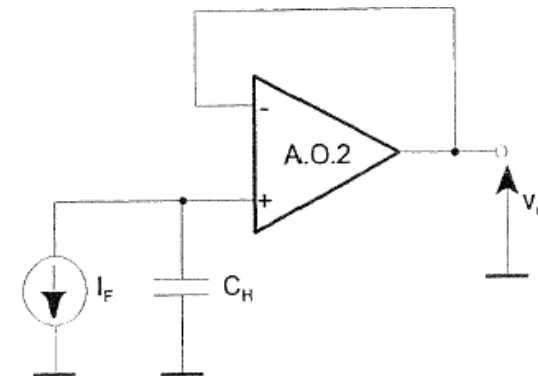


- **Hold droop rate**

Máxima variación en la tensión de salida durante el tiempo de retención, debido a las corrientes de fugas que descargan el condensador.

$$\text{Hold Droop Rate} \downarrow \rightarrow C_H \uparrow$$

$$\frac{dV_o}{dt} = \frac{dV(C_H)}{dt} = \frac{I_F}{C_H}$$





Sistemas de Adquisición de Datos (SAD)

Circuitos de muestreo y retención (S&H). Parámetros.

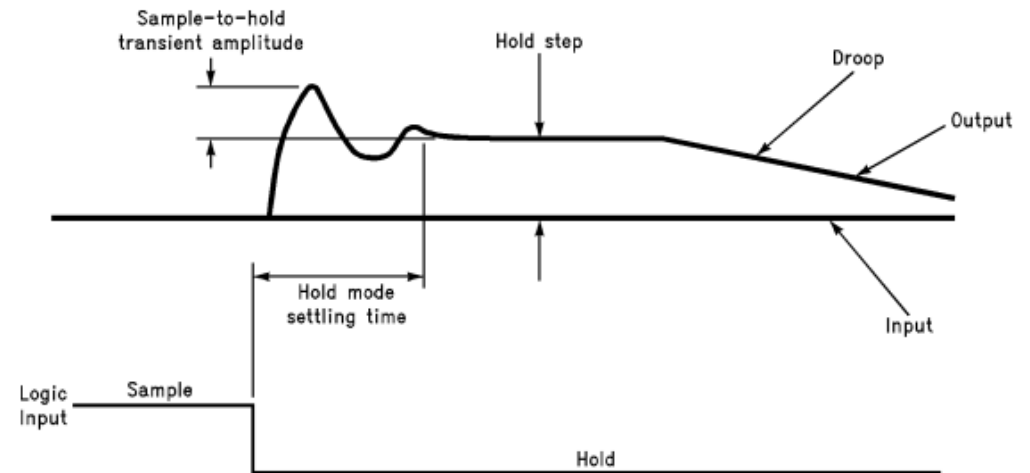


- **Hold step**

Escalón de tensión en la salida cuando conmuta S→H, debido a la transferencia de carga del condensador C_H

Hold step ↓ → C_H ↑

$$V_{S/H} = \frac{Q}{C_H}$$



...

Importante

Obtener un valor de compromiso de C_H basado en las especificaciones dadas



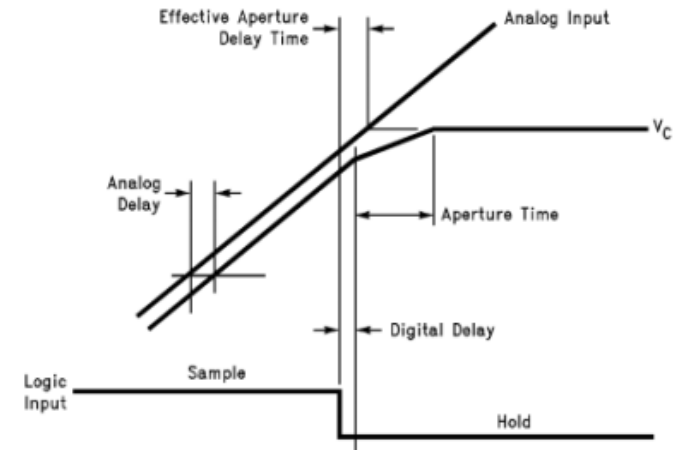
Sistemas de Adquisición de Datos (SAD)

Circuitos de muestreo y retención (S&H). Parámetros.



- **Tiempo de apertura (tap)**

Tiempo desde que se da la orden de retención hasta que el condensador queda aislado de la entrada. Asociado con este tiempo existe una fluctuación denominada incertidumbre de apertura (J_{tap}).



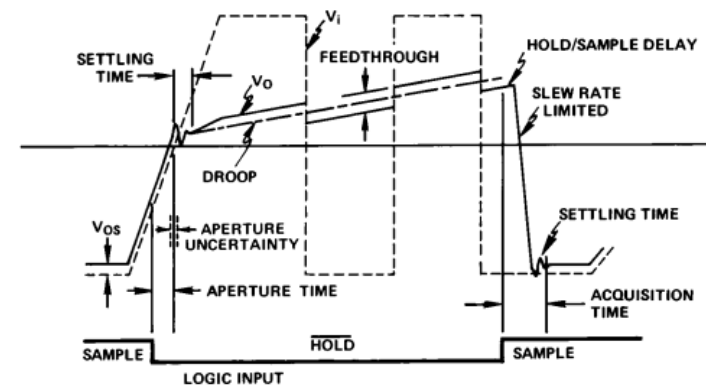
- **Tiempo de asentamiento en modo retención (tas):**

Tiempo desde que se da la orden de retención hasta que la salida se mantiene dentro de una banda de error especificada. Puede incluir al tiempo de apertura o no incluirlo.

- **Feedthrough:**

Acoplo de la señal de entrada a la salida durante la retención debido a las capacidades parásitas.

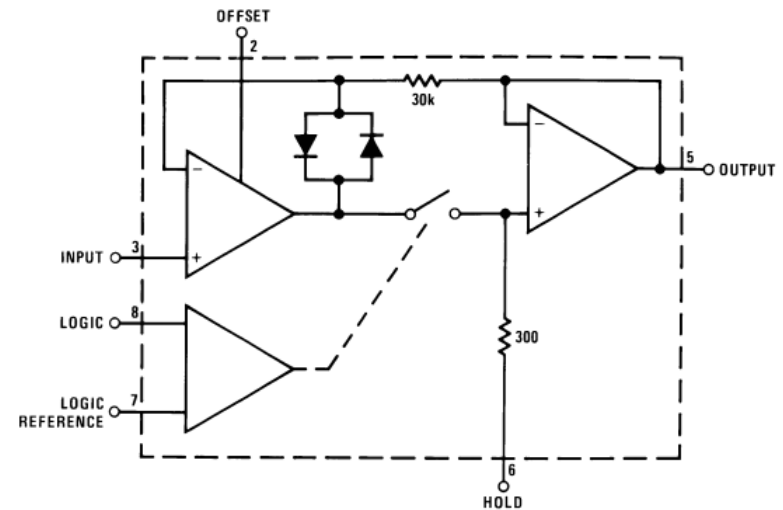
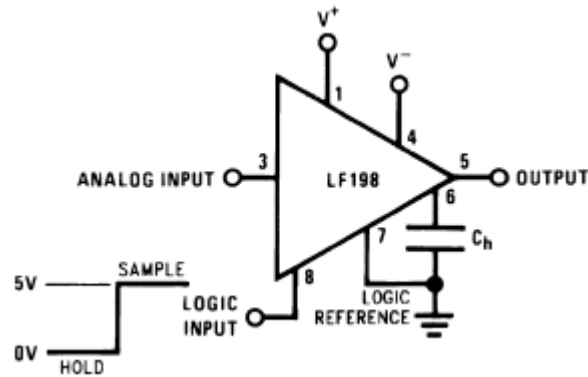
$$\text{Feedthrough} = 20 \log \left(\frac{v_o |_{v_e}}{v_e} \right) \Big|_{\text{HOLD}}$$





Sistemas de Adquisición de Datos (SAD)

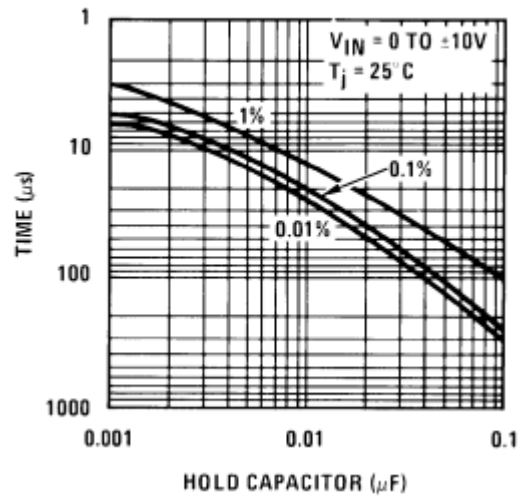
Ejemplo S&H comercial: LF398



Threshold = 1.4V

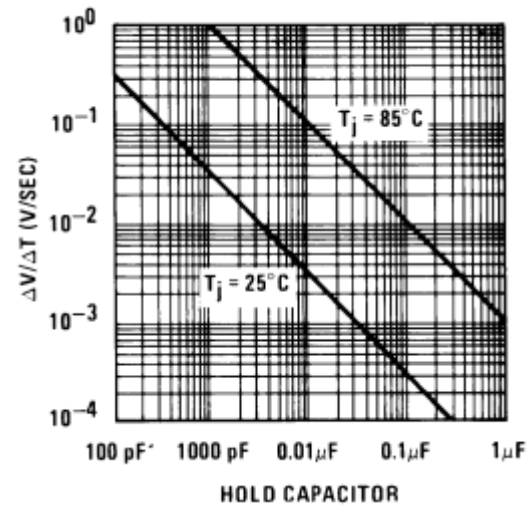
$$\left\{ \begin{array}{l} \text{Si } V_8 - V_7 > 1,4 \Rightarrow \text{Sample} \\ \text{Si } V_8 - V_7 < 1,4 \Rightarrow \text{Hold} \end{array} \right.$$

Acquisition Time



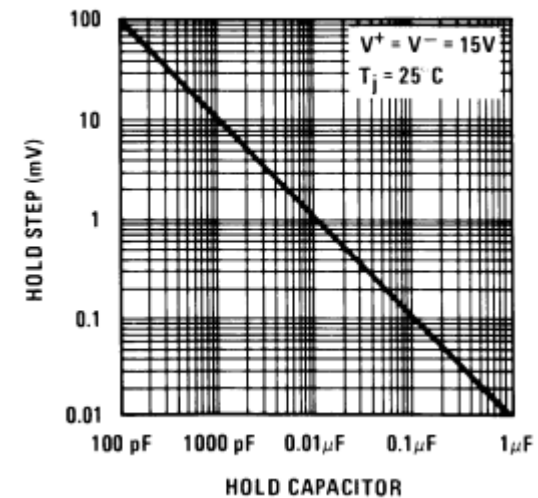
t_{adq} ↓ → CH ↓

Output Droop Rate



Hold Droop Rate ↓ → CH ↑

Hold Step



Hold step ↓ → CH ↑



Sistemas de Adquisición de Datos (SAD)

Ejemplo de utilización LF198



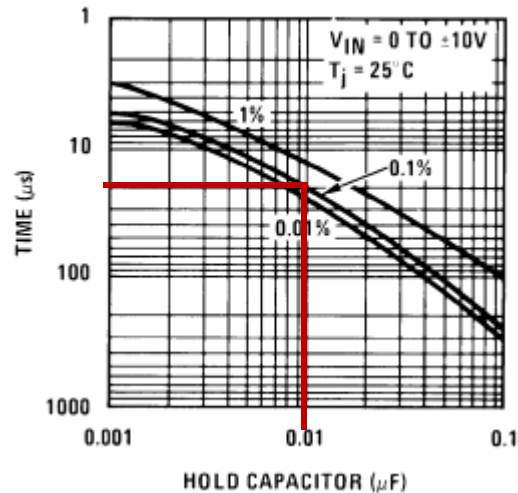
Señal de control: $T=120\mu\text{s}$ $T_L = T_h = 100\mu\text{s}$ ($T = T_h + T_s$)

Especificaciones de diseño:

- Error por tiempo de adquisición menor de 0,2%
- Error de salida debido a Droop Rate menor de 10 mV
- Hold Step < 10mV

Estimar los valores necesarios de C_H

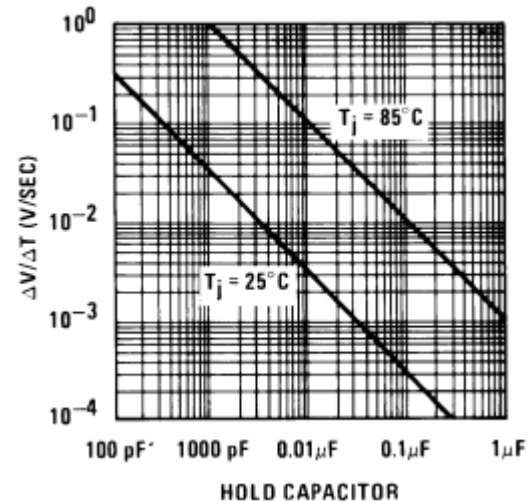
Acquisition Time error < 0.2%



$$T_s = 20\mu\text{s} \leq T_{\text{adq}}$$

$$C_H \leq 10\text{nF}$$

Output Droop Rate

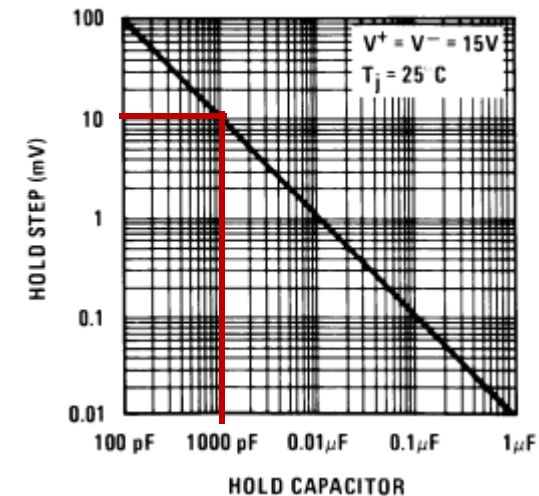


$$\text{Droop Rate} \cdot T_{\text{HOLD}} \leq 10 \text{ mV}$$

$$\text{Droop Rate} \leq \frac{10^{-2}}{10^{-4}} = 100 \text{ V/s}$$

Cualquier C_H

Hold Step < 10mV

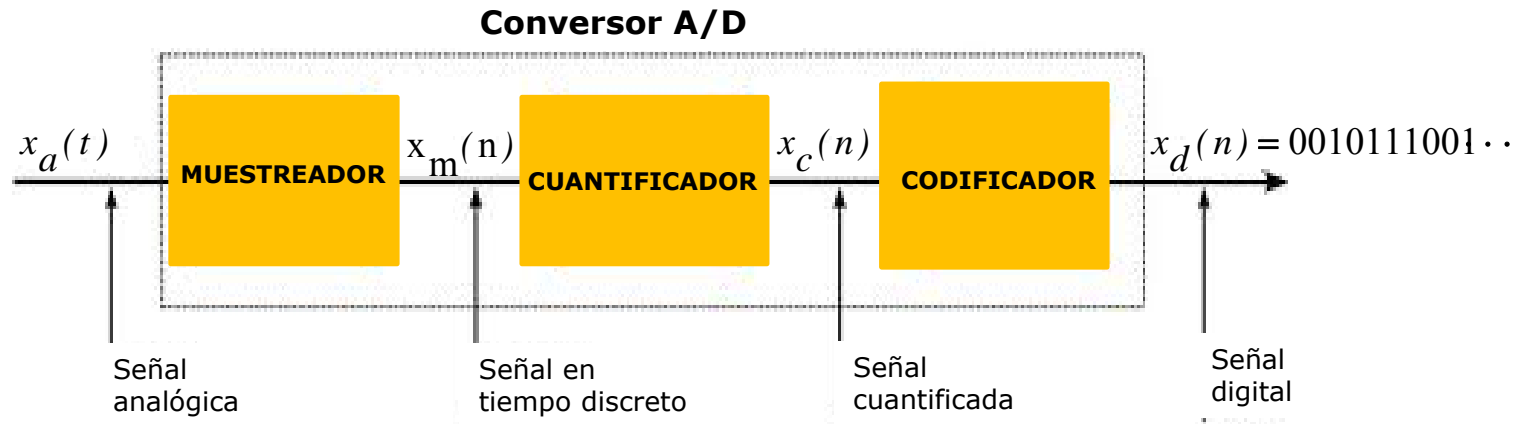


$$C_H \geq 1\text{nF}$$



Sistemas de Adquisición de Datos (SAD)

Elementos de un conversor A/D



Muestreador:

Toma el valor de la señal en un número finito de instantes de tiempo, normalmente equiespaciados

Cuantificador:

Acota los valores de la señal de entrada a un número finito de valores

Codificador:

Asigna a cada valor cuantificado un código digital



Sistemas de Adquisición de Datos (SAD)

Muestreo (*Sample*): Teorema de *Nyquist*.



Para que las muestras de la señal sean representativas ha de cumplirse el **teorema de Nyquist**:

$$f_{\text{muestreo}} \geq 2 f_{\text{maxseñal}}$$

f_s puede superar ampliamente a la de Nyquist:

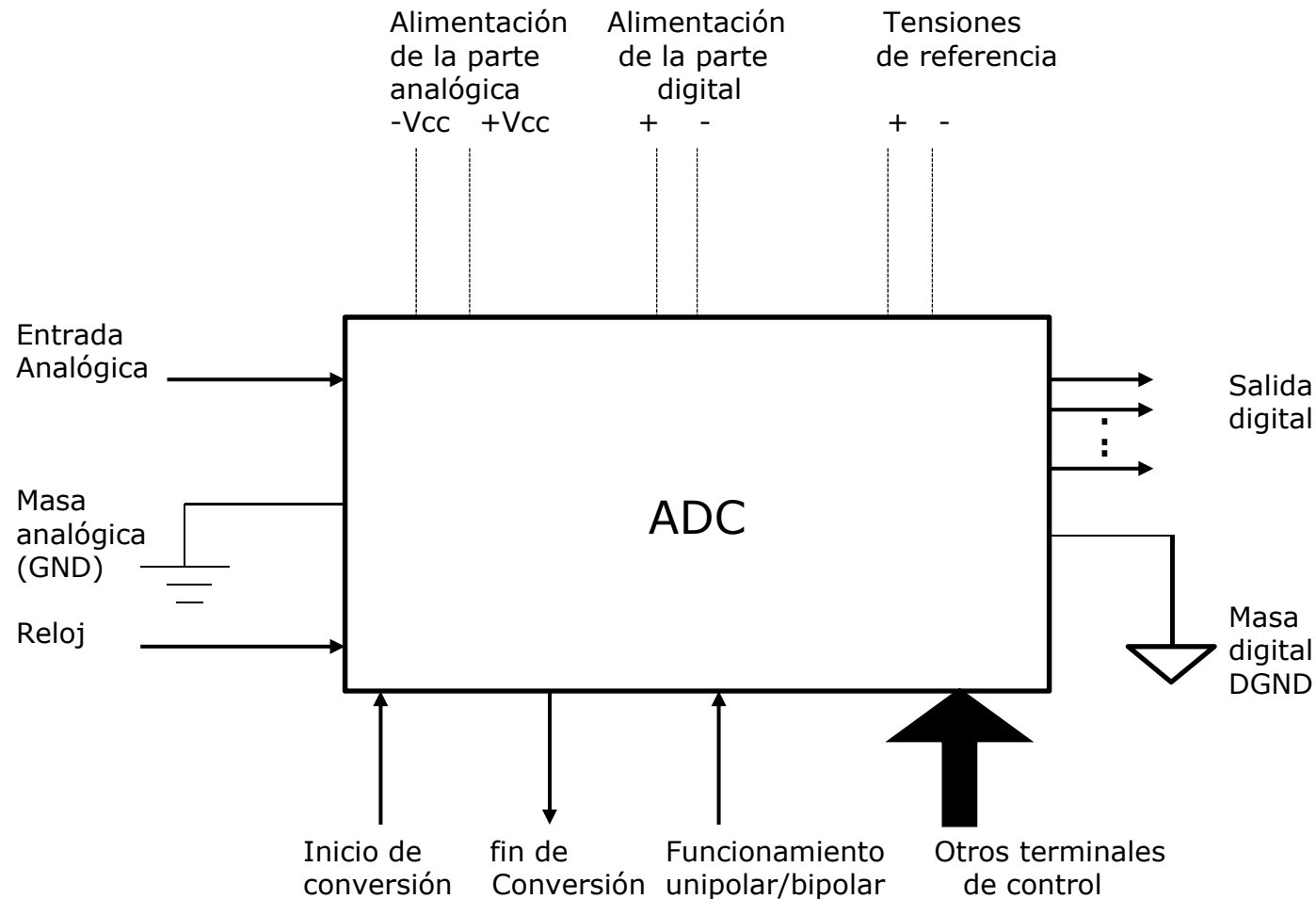
- ✓ Disminuye el ruido introducido en el proceso de conversión.
- ✓ Reduce la complejidad del filtro de reconstrucción
- ✓ Facilita la extracción de parámetros de la señal analógica.

¡¡El aumento de f_s implicará un mayor coste!!



Sistemas de Adquisición de Datos (SAD)

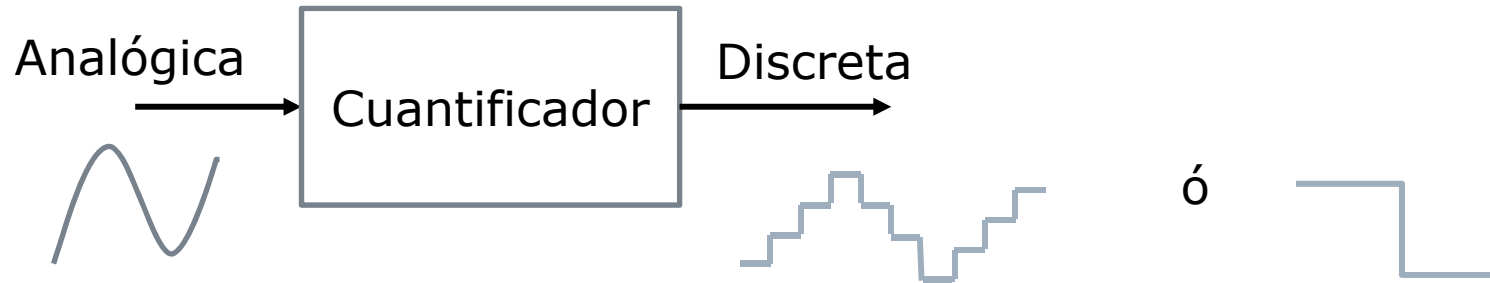
ADC's (Convertor analógico digital)





Sistemas de Adquisición de Datos (SAD)

Cuantificación, parámetros básicos.



Se transforma una señal de entrada con infinitos valores de amplitud, en una señal con un **número finito** de valores **N**.

$$N = 2^n \text{ (n: número de bits del conversor ADC)}$$

1 bit → 2 posibles valores de amplitud

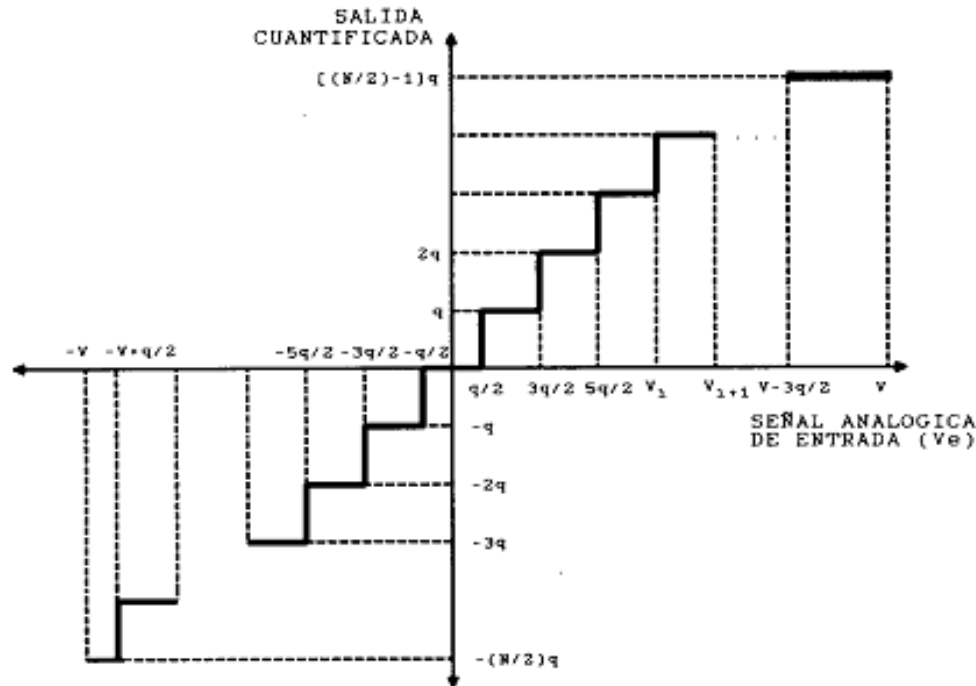
3 bit → 8 posibles valores de amplitud

·
·
·



Sistemas de Adquisición de Datos (SAD)

Cuantificación, parámetros básicos.



$$q = \frac{2 \times V_{ref} / 2}{2^n}$$

Para un ajuste óptimo

Escalón cuántico

Diferencia entre las magnitudes de dos valores digitales consecutivos.

$$q = \frac{MDE}{N} = \frac{V_{e_{max}} - V_{e_{min}}}{2^n} \Rightarrow LSB$$

MDE: Margen Dinámico de Entrada. (SPAM)

$V_{e_{max}}$ (FS⁺) y $V_{e_{min}}$ (FS⁻): Valores máximo y mínimo de la señal de entrada.

Cuantificador Bipolar: $V_{e_{max}}$ y $V_{e_{min}}$ distinta polaridad

Cuantificador Unipolar: $V_{e_{max}}$ y $V_{e_{min}}$ mismo signo

LSB: (*Least Significant Bit*) Bit menos significativo



Sistemas de Adquisición de Datos (SAD)

Cuantificación. Ejemplos cálculo de parámetros

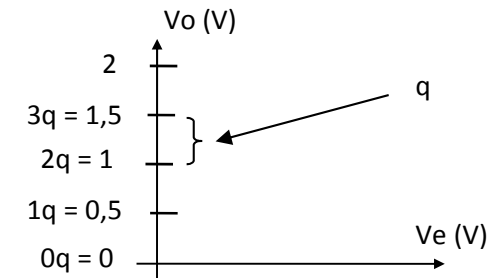


Ejemplo 1: ¿Qué valores digitales tomaría una señal analógica de entrada, comprendida entre 0 y 2 V, que se cuantifica con 2 bits?

$N = 2^2 = 4$ posibles valores

$$q = \frac{\text{MDE}}{N} = \frac{V_{e_{\max}} - V_{e_{\min}}}{2^n} = \frac{2 - 0}{4} = 0.5V$$

Valores digitales: al código 0 -> 0V, (0q)
" " 1 -> 0,5V, (1q)
" " 2 -> 1V, (2q)
" " 3 -> 1,5V (3q)

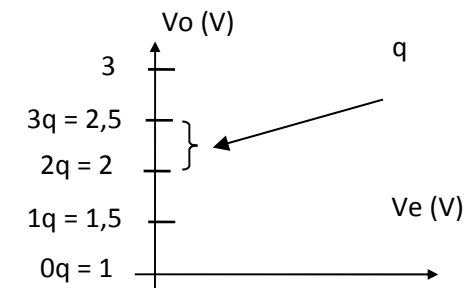


Ejemplo 2: ¿Qué valores digitales tomaría una señal analógica de entrada, comprendida entre 1 y 3 V, que se cuantifica con 2 bits?

$N = 2^2 = 4$ posibles valores

$$q = \frac{\text{MDE}}{N} = \frac{V_{e_{\max}} - V_{e_{\min}}}{2^n} = \frac{3 - 1}{4} = 0.5V$$

Valores digitales: 0q (1V), 1q (1,5V), 2q (2V), 3q (2,5V)





Sistemas de Adquisición de Datos (SAD)

Cuantificación. Ejemplos cálculo de parámetros



- Los niveles de entrada se referencian respecto a q . Así, se define el "número de **LSB**" correspondiente a un valor de la señal analógica V_e como:

$$n^{\circ} \text{ LSB} = \frac{V_e - V_{e_{\min}}}{q}$$

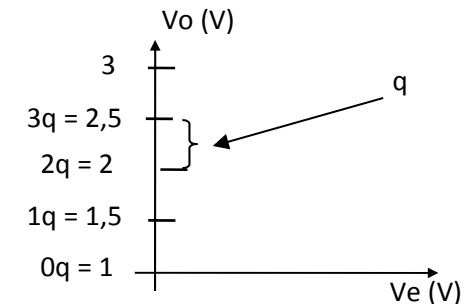
Ejemplo 3: Con los datos del ejercicio 2:

a) ¿Qué n° LSB le corresponde a un valor de $V_e = 1,4V$?

$$n^{\circ} \text{ LSB} = \frac{V_e - V_{e_{\min}}}{q} = \frac{1,4 - 1}{0,5} = 0,8 \Rightarrow (0,8 \text{ unidades de } q)$$

b) ¿Qué valor digital de salida (de entre los posibles valores $0q$, $1q$, $2q$, $3q$) se asignaría a la amplitud $V_e = 1,4 V$ (ó $0,8q$)?

- A $V_e = 1,4V$ ($0,8q$) se le puede asignar $1,5V$ ($1q$) →
(**cuantificación por redondeo, valor digital más cercano**)
- A $V_e = 1,4V$ ($0,8q$) se le puede asignar $1 V$ ($0q$) →
(**cuantificación por truncamiento, valor digital inferior más próximo**)





Sistemas de Adquisición de Datos (SAD)

Adecuación márgenes de señal.



Hay que adecuar el margen de señal de entrada al margen del ADC

$$(V_{REF/2} = \frac{MDE}{2} = \frac{V_{e_{max}} - V_{e_{min}}}{2})$$

$$V_{in}^- = V_{e_{min}}$$

Ajuste óptimo

Así, si $0,5 V \leq V_e \leq 3,5 V$:

$$(V_{REF/2}) = 1,5V \quad (V_{in-}): 0,5 V$$

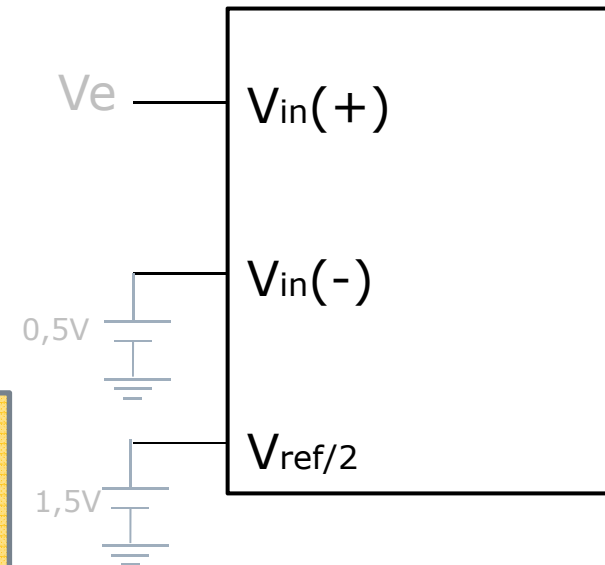
Tensión diferencial que convierte el ADC:

$$V_c = V_{in+} - V_{in-}$$

Función de transferencia del ADC:

$$D = V_c / q$$

D es el código de salida y q el escalón de cuantificación



$$(q = \frac{2 \cdot V_{ref/2}}{2^n})$$

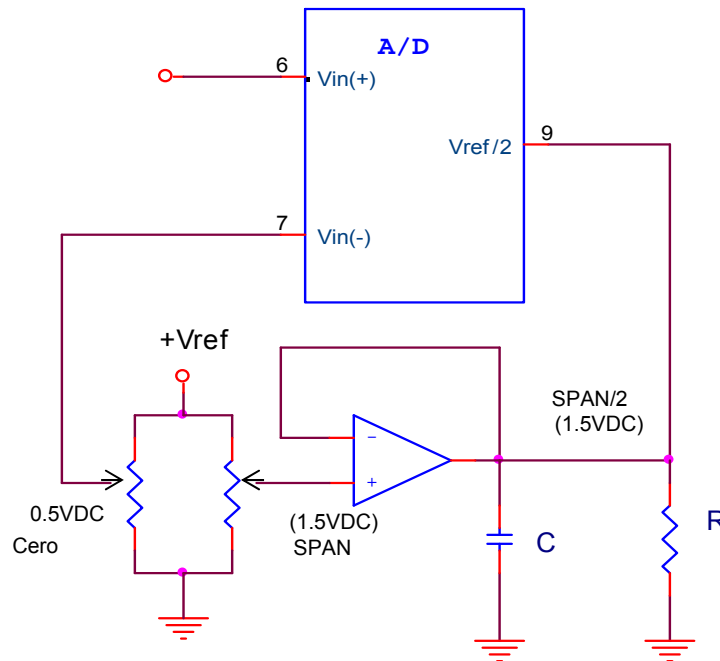


Sistemas de Adquisición de Datos (SAD)

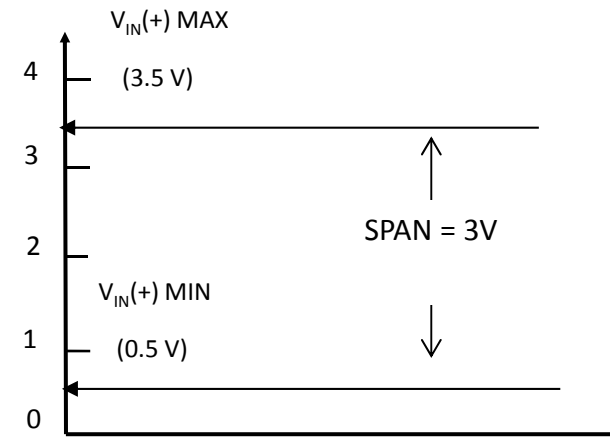
Adecuación márgenes de señal.



Se puede adecuar también con un circuito que permita modificar el spam



a) Acomodación de una señal analógica de entrada desde 0.5V a 3.5V



b) Señal de analógica de entrada



Sistemas de Adquisición de Datos (SAD)

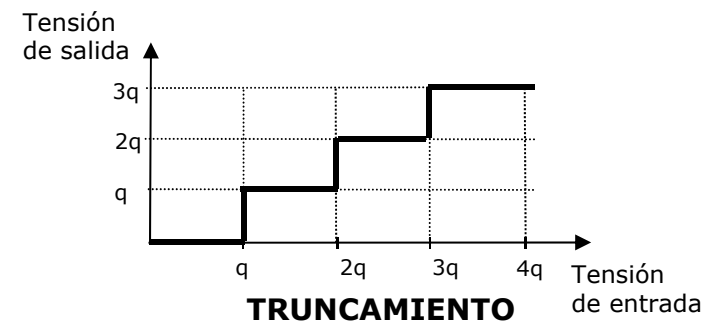
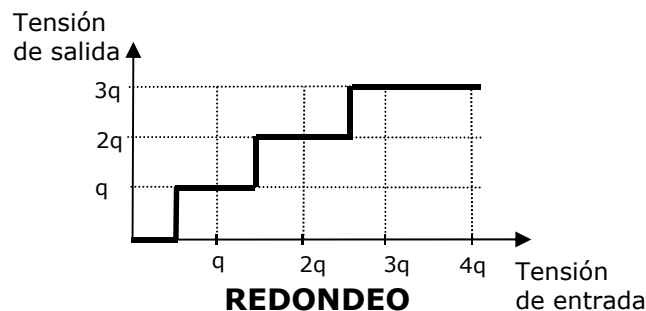
Codificación



Proceso de conversión de la señal digital que puede tomar únicamente valores enteros de "q" (voltios) en un código numérico ("ceros" y "unos"):

- ✓ **Cuantificador unipolar.** Utiliza código: binario natural, BCD...
- ✓ **Cuantificador bipolar.** Utiliza código: C2, binario desplazado...

Ejemplo: Señal con rango de entrada entre 0 y 4V; codificador de 2 bits; código binario natural.
¿Cuál sería el código digital de salida para una señal de entrada de valor 1,4V. ¿Y si fuera 1,6V?



• **Redondeo:**

$$q = \frac{\text{M.D.E.}}{N} = \frac{4V - 0V}{4} = 1$$

$$n^{\circ} \text{ de LSB} \Big|_{V_e=1,4V} = \frac{V_e - V_{\text{emin}}}{q} = \frac{1,4 - 0}{1} = 1,4 \Rightarrow 1$$

1,6 → 2

$$V_e=1,4V: \text{Cuantificación} \Rightarrow 1q$$

$$V_e=1,4V: \text{Codificación} \Rightarrow \overset{1}{0} \overset{0}{1}$$

• **Truncamiento:**

$$q = \frac{\text{M.D.E.}}{N} = \frac{4V - 0V}{4} = 1$$

$$n^{\circ} \text{ de LSB} \Big|_{V_e=1,4V} = \frac{V_e - V_{\text{emin}}}{q} = \frac{1,4 - 0}{1} = 1,4 \Rightarrow 1$$

1,6 → 1

$$V_e=1,4V: \text{Cuantificación} \Rightarrow 1q$$

$$V_e=1,4V: \text{Codificación} \Rightarrow \overset{0}{1} \overset{0}{1}$$

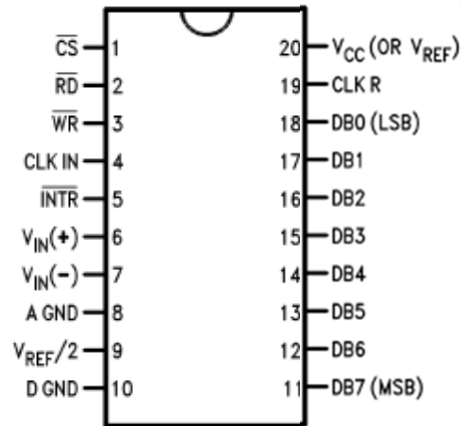


Sistemas de Adquisición de Datos (SAD)

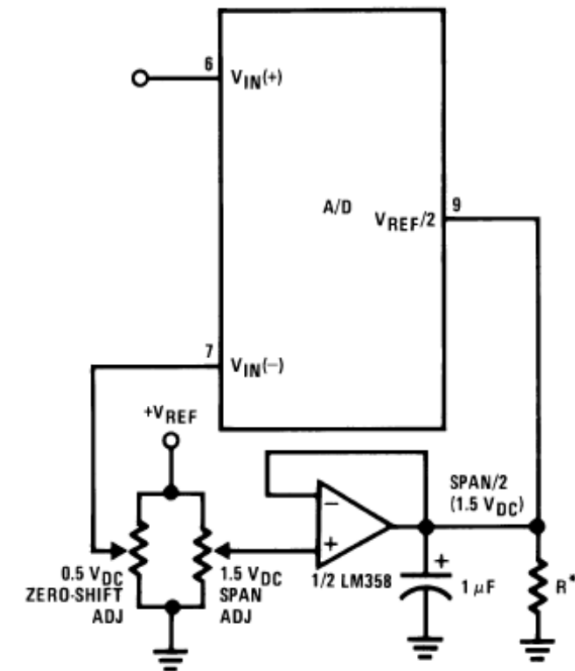
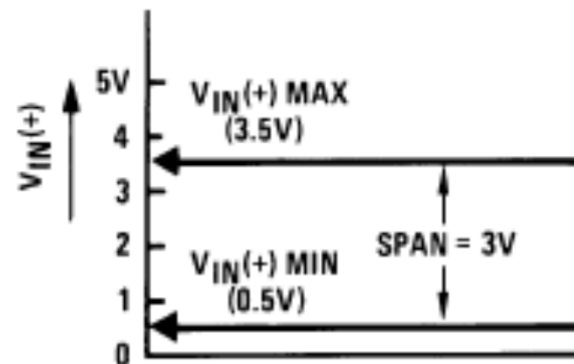


ADC comercial: ADC080X.

Distribución de pines



Ejemplo de ajuste de Span



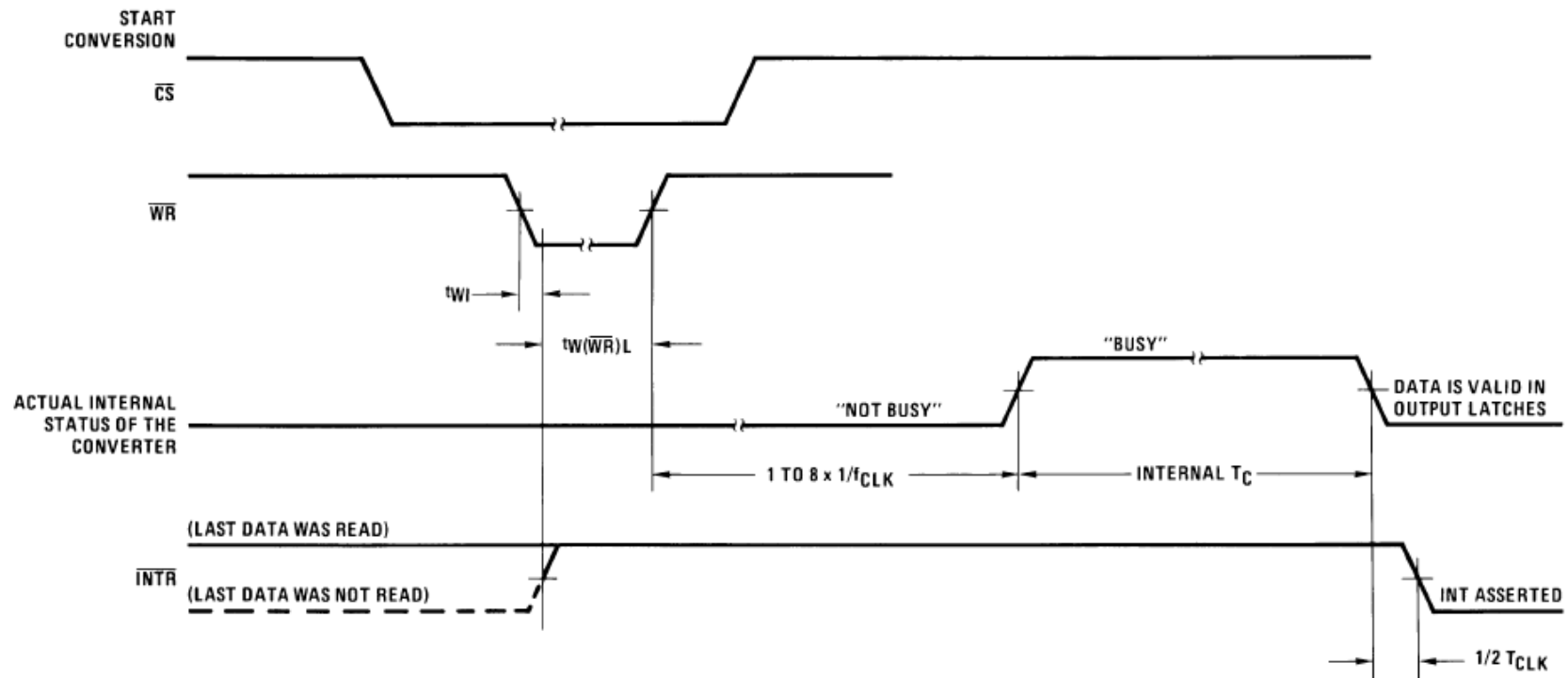


Sistemas de Adquisición de Datos (SAD)

ADC comercial. ADC0802, ADC0803, ADC0804.



Cronogramas



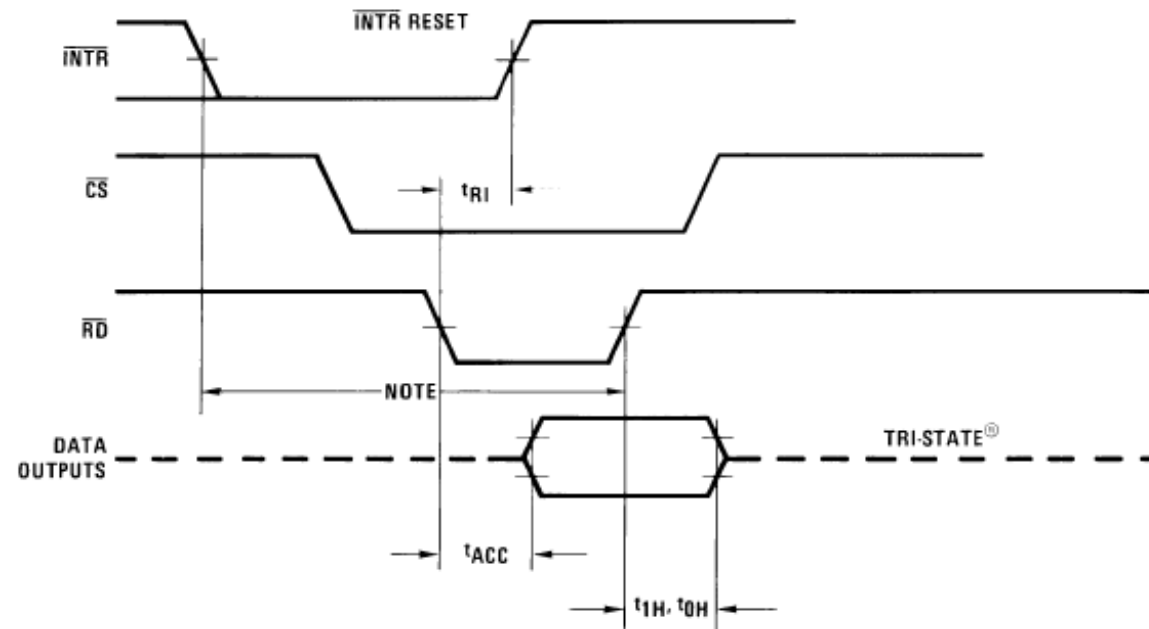


Sistemas de Adquisición de Datos (SAD)

ADC comercial. ADC0802, ADC0803, ADC0804.



Cronogramas





Sistemas de Adquisición de Datos (SAD)

Estructuras de un SAD: restricciones de funcionamiento



Es necesario que mientras el ADC está convirtiendo, la señal de entrada permanezca estable o con variaciones no detectables por el ADC:

Error máximo $q/2$

$$f_{s_{\max}} = \frac{1}{T_c}$$

$$T_c \cdot \left. \frac{dV_e}{dt} \right|_{\max} \leq \frac{q}{2}$$



Frecuencia de V_e muy baja

Ejemplo: $V_e = A \sin(\omega t)$, con un ADC de 8 bits y $T_c = 100 \mu s$

Sin S&H

$f_{s_{\max}} = 1/T_c = 10 \text{ kHz}$. y por el teorema de Nyquist

$$f_{e_{\max}} \leq f_s/2 = 5 \text{ kHz}$$

pero aplicando el máximo error permitido como $q/2$ para esta señal

$$T_c \cdot A \cdot 2 \cdot \pi \cdot f \cdot \cos \omega t \leq \frac{1}{2} \cdot \frac{2A}{2^n}$$

Caso peor $\cos \omega t = 1 \Rightarrow$

$$f_{e_{\max}} \leq \frac{1}{T_c \cdot 2^{n+1} \cdot \pi} = 6,217 \text{ Hz}$$

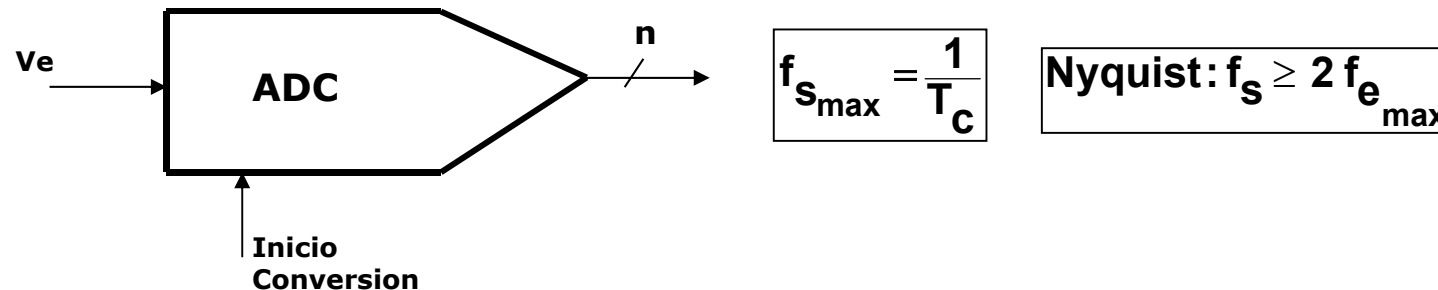


Sistemas de Adquisición de Datos (SAD)

Estructuras de un SAD: Sin S&H



En un sistema que no utilice S&H teniendo en cuenta los cálculos anteriores, la frecuencia de la señal de entrada tiene que ser muy baja para que haga una buena conversión.



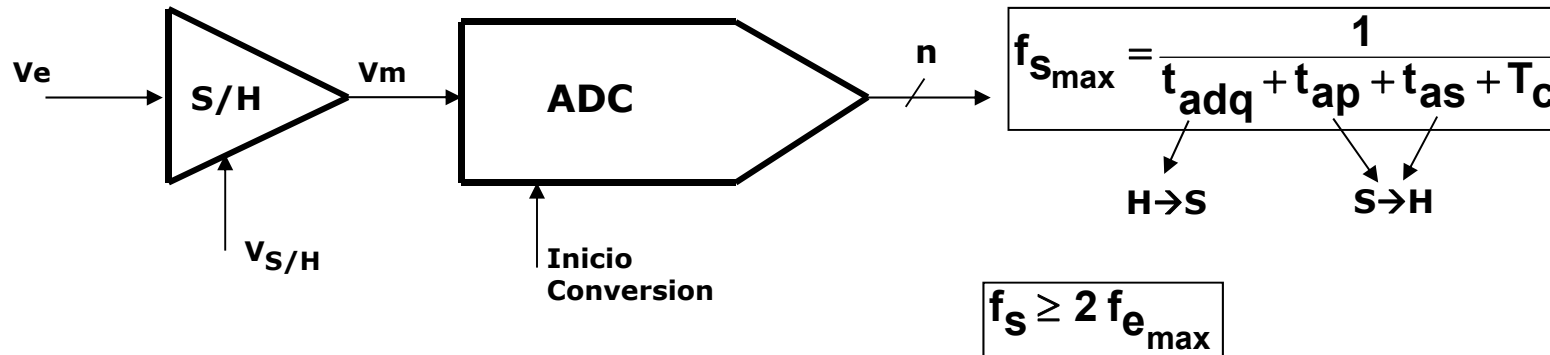
$$f_{e_{max}} \leq \frac{1}{T_C \cdot 2^{n+1} \cdot \pi} = 6,217 \text{ Hz}$$

El S&H permite muestrear la señal y retenerla en la entrada del ADC a la frecuencia adecuada. Aunque la frecuencia de la señal siempre estará limitada por los parámetros temporales del S&H y el ADC.



Sistemas de Adquisición de Datos (SAD)

Estructuras de un SAD: S&H y ADC, señales rápidas



Otras consideraciones:

Durante la conversión S&H en modo *Hold* la salida disminuye por pérdida de carga en Ch
"Output Droop rate" el error permitido para este efecto:

$$\text{Output Droop Rate} = \frac{dV(\text{Ch})}{dt}$$

$$T_c \cdot \frac{dV(\text{Ch})}{dt} \leq \frac{q}{2}$$



$$\text{Output Droop Rate} \leq \frac{q}{2T_c}$$

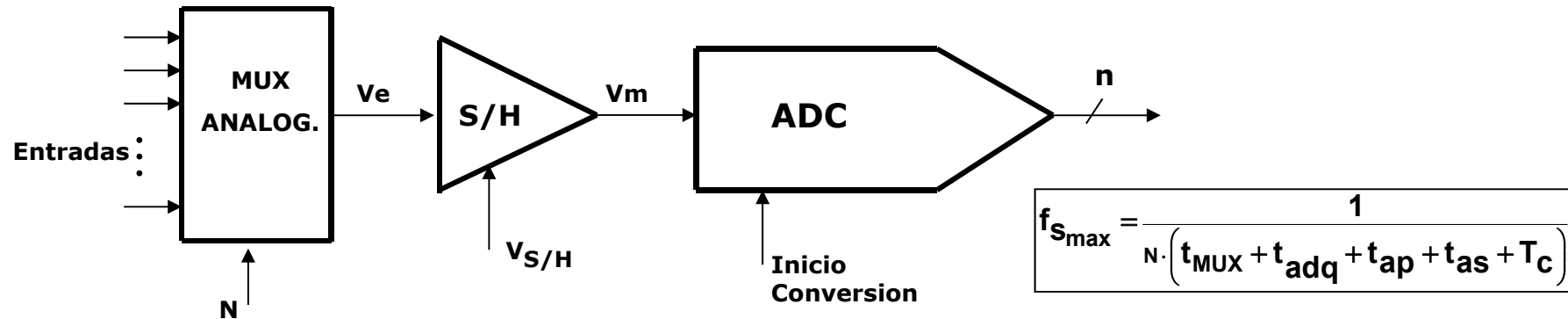
Elección de Ch

$$J_{\text{tap}} \cdot \frac{dV_e}{dt} \leq \frac{q}{2}$$

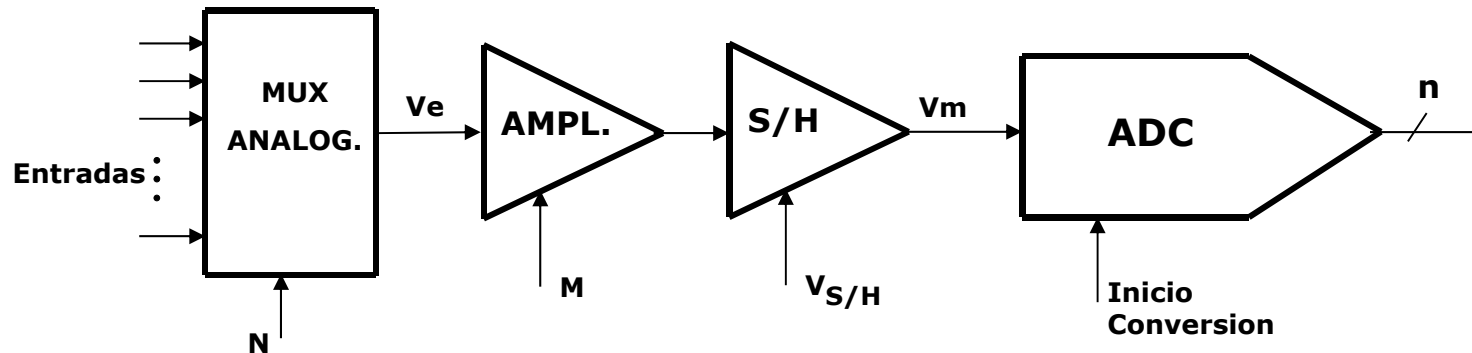


Sistemas de Adquisición de Datos (SAD)

Estructuras de un SAD: Multiplexor, S&H y ADC



frecuencia máxima de muestreo limitada por el número de canales N y el tiempo de propagación del multiplexor t_{MUX} :



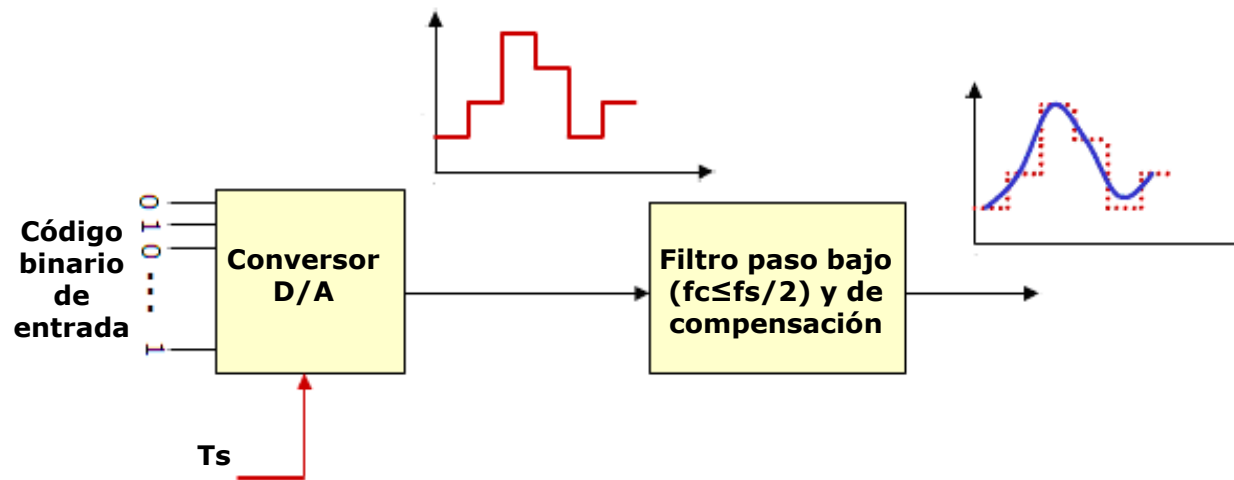
$$f_{S_{\max}} = \frac{1}{N \cdot (t_{\text{MUX}} + t_{\text{adq}} + t_{\text{ap}} + T_x)}$$

$$T_x = \max(t_{\text{as}} + T_c - t_{\text{ap}}), (t_{\text{MUX}} + t_r)$$



Sistemas de Adquisición de Datos (SAD)

Proceso de conversión D/A. Introducción.



- ✓ **Convertor D/A:** Obtiene una señal digital continua, cuyos niveles son proporcionales al código binario de entrada. Se realiza para ello una interpolación de orden cero:

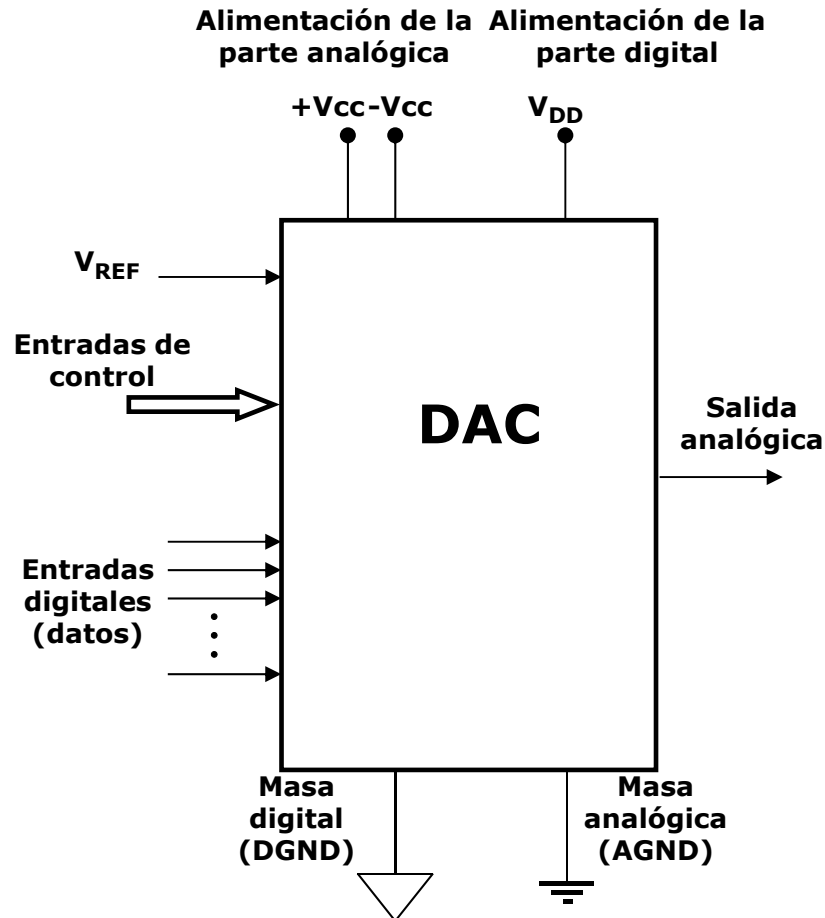
$$\text{Salida} = K \cdot [\text{Valor decimal del código de entrada}]$$

- ✓ **Filtro paso bajo:** Permite eliminar armónicos no deseados.
- ✓ **Filtro compensador:** Elimina la posible distorsión de amplitud



Sistemas de Adquisición de Datos (SAD)

Diagrama de bloques genérico de un DAC

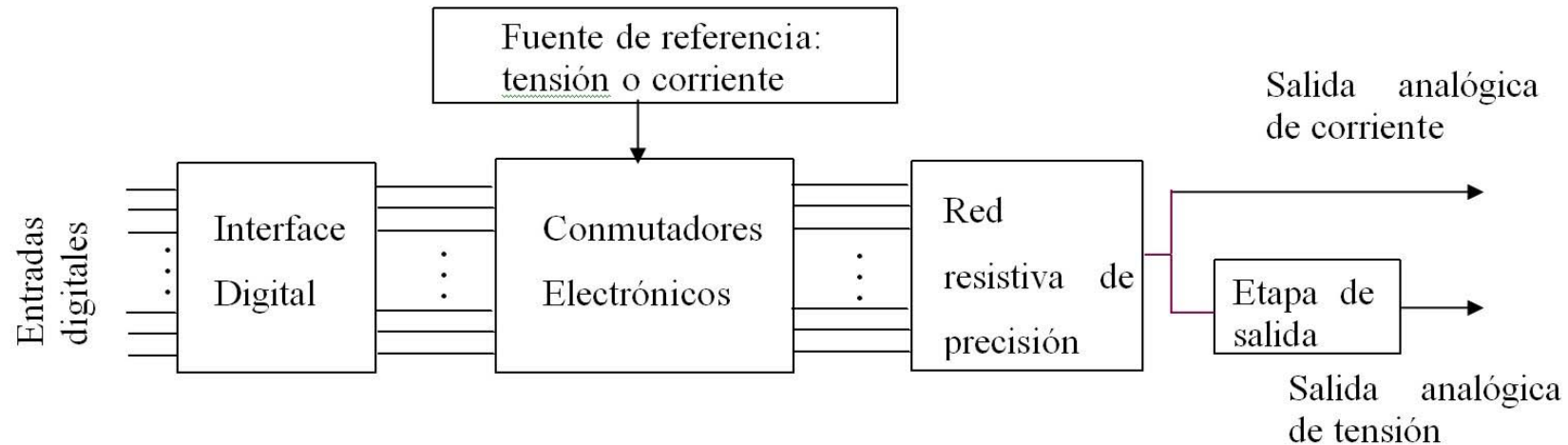


- ✓ Tensión de referencia V_{REF} , integrada en algunos DAC. Muy precisa (calidad de conversión)
- ✓ **Salida analógica** (V o I)
- ✓ Generalmente requieren alimentación bipolar ($\pm V_{CC}$) para la parte analógica y una tensión unipolar para la parte digital V_{DD}



Sistemas de Adquisición de Datos (SAD)

Elementos de un conversor DAC.



- ✓ **Interfaz Digital:** Adapta los niveles lógicos de las entradas a los requeridos por los conmutadores electrónicos.
- ✓ **Conmutadores electrónicos:** Controlados por el código digital de entrada
- ✓ **Red resistiva o capacitiva de precisión:** Realiza la suma ponderada de tensiones, corrientes o cargas, en función del estado de los conmutadores.
- ✓ **Circuito de referencia:** Fija el factor de proporcionalidad entre el código digital de entrada y la tensión de salida analógica.
- ✓ **Circuito de salida:** Normalmente el circuito básico de conversión proporciona la salida en corriente, siendo necesario introducir un conversor I/V que permita un tratamiento posterior más cómodo de la señal.



Sistemas de Adquisición de Datos (SAD)

Parámetros de un DAC.



- **Margen dinámico de la señal de salida**: Margen de tensiones o de corrientes que se pueden obtener a la salida.
- **Resolución**: Es el mínimo cambio incremental de la variable analógica de salida

Suponiendo un **DAC unipolar**, la **variable de salida** puede variar entre 0 y 5V y el número de **bits** de entrada es de 8:

$$R = \frac{V_{s\max} - V_{s\min}}{2^n}$$

$$\text{Resolución: } 5/2^8 = 19'5 \text{ mV}$$

- **Fondo de escala (FS)**: Máxima corriente o tensión de salida que puede obtener el DAC.

Ejemplo: Para un convertor binario, el fondo de escala se alcanzará cuando todas las entradas estén a "1".

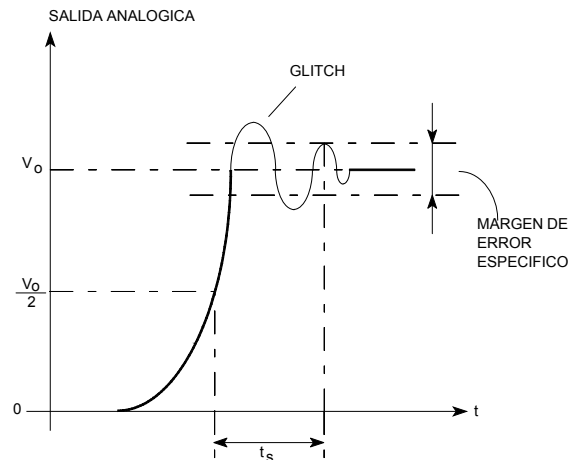


Sistemas de Adquisición de Datos (SAD)

Parámetros de un DAC.



- **Glitch**: Respuesta transitoria que puede aparecer en la señal de salida durante la transición de un código a otro.



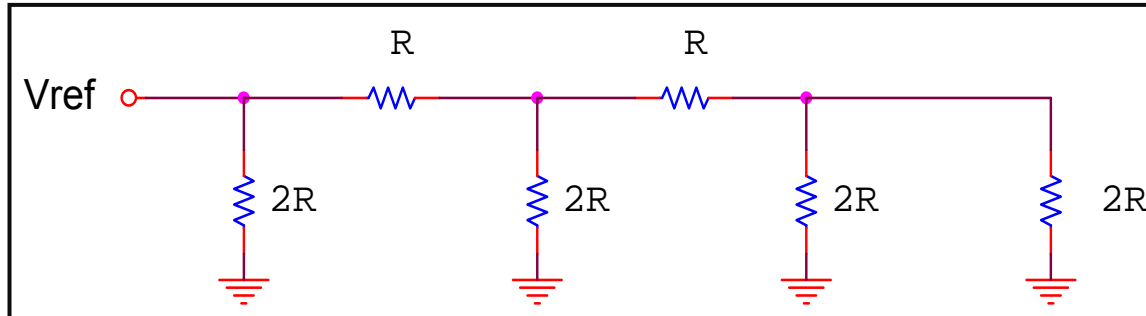
- **Tiempo de establecimiento (t_s)**:

Tiempo que transcurre desde que la señal analógica de salida pasa por el 50% del valor final que debe alcanzar, hasta el instante en que dicha salida alcance el valor final con un cierto margen de error específico.

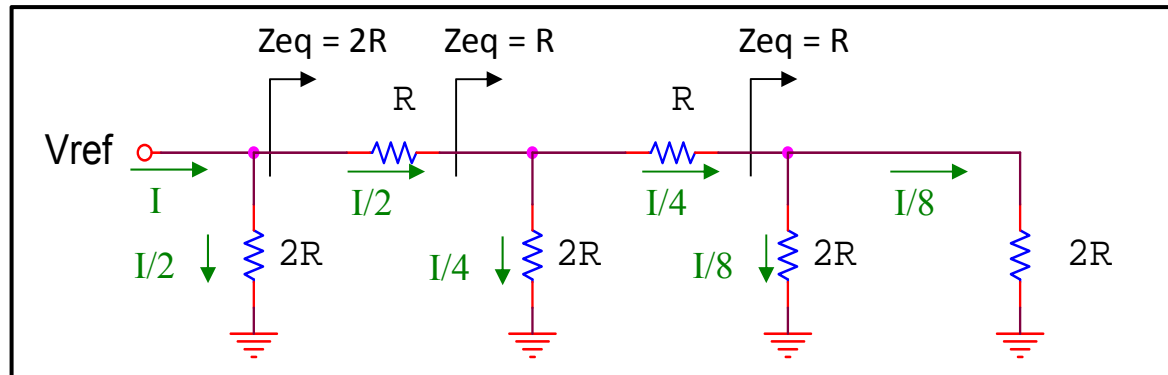


Sistemas de Adquisición de Datos (SAD)

Tipos de conversores DAC. R-2R en escalera



ANÁLISIS ↓

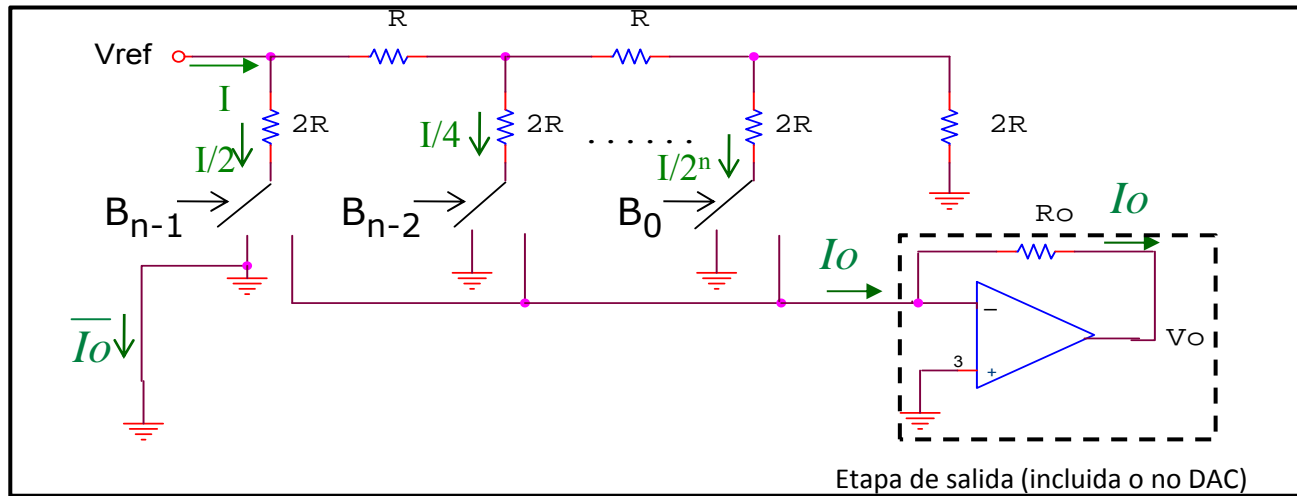


$$I_{ref} = I = \frac{V_{ref}}{R}$$



Sistemas de Adquisición de Datos (SAD)

Conversores DAC. R-2R en escalera.



- Los conmutadores permiten o no, el paso de corriente:
 - Si el bit B_x está a **1** el interruptor se conecta al operacional
 - Si el bit B_x está a **0** el interruptor se conecta a masa

$$V_o = -R_o \cdot I_o = -R_o \cdot \sum I_i$$

$$I_o = B_{n-1} \cdot \frac{I}{2} + B_{n-2} \cdot \frac{I}{4} + \dots + B_0 \cdot \frac{I}{2^n} = \frac{I}{2^n} (B_{n-1} \cdot 2^{n-1} + B_{n-2} \cdot 2^{n-2} + \dots + B_0) = \frac{V_{ref}}{R \cdot 2^n} \cdot vdc$$

$$I_{ref} = I = \frac{V_{ref}}{R}$$

$$\bar{I}_o = \bar{B}_{n-1} \cdot \frac{I}{2} + \bar{B}_{n-2} \cdot \frac{I}{4} + \dots + \bar{B}_0 \cdot \frac{I}{2^n} = \frac{I}{2^n} (\bar{B}_{n-1} \cdot 2^{n-1} + \bar{B}_{n-2} \cdot 2^{n-2} + \dots + \bar{B}_0) = \frac{V_{ref}}{R \cdot 2^n} \cdot \overline{vdc}$$

siendo: \overline{vdc} el valor decimal del código (ejemplo: 131 para el 10000011) y $vdc = 255 - vdc$, el valor decimal código complementado.



Sistemas de Adquisición de Datos (SAD)

Conversores DAC. R-2R en escalera, ejemplo



Ejemplo: Circuito integrado comercial DAC R-2R: DAC800

Salida analógica de corriente (entrante al DAC):

$$I_o = I_{ref} \cdot \frac{1}{2^n} vdc; \quad \bar{I}_o = I_{ref} \cdot \frac{1}{2^n} (255 - vdc) \quad \text{siendo:}$$

$$I_o(\max) = I_{ref} \cdot \frac{1}{2^8} 255 \approx I_{ref}$$

I_o → corriente de salida del DAC.

n → número de bits del convertor (8 en el DAC800)

vdc → valor decimal del código digital (desde 0 a 255)

I_{ref} → corriente que entra al pin 14

Ejemplo: Si el DAC800 tiene una $I_{ref} = 2mA$, halle el valor máximo y mínimo que puede tomar la corriente de salida. ¿Cuál sería el escalón de conversión?

$$I_{\max} = \frac{2mA}{2^8} \cdot (1 \cdot 2^{8-1} + 1 \cdot 2^{8-2} + \dots + 1) = \frac{2mA}{2^8} \cdot 255 \approx 2mA$$

$$I_{\min} = \frac{2mA}{2^8} \cdot (0 \cdot 2^{8-1} + 0 \cdot 2^{8-2} + \dots + 0) = \frac{2mA}{2^8} \cdot 0 \approx 0mA$$

$$q = \text{LSB} = \frac{2mA}{2^8} = 7.81\mu$$



Sistemas de Adquisición de Datos (SAD)

Conversores DAC. Configuraciones de salida



Para un DAC suponiendo un **funcionamiento unipolar**, la salida en corriente atiende a la expresión:

$$I_o = \frac{V_{ref}}{R} \left[\frac{S_{n-1}}{2} + \frac{S_{n-2}}{4} + \dots + \frac{S_0}{2^n} \right] = I_{ref} \left[\frac{S_{n-1}}{2} + \frac{S_{n-2}}{4} + \dots + \frac{S_0}{2^n} \right]$$

Si el DAC presenta la salida complementada: $\bar{I}_o = I_{ref} \left[\frac{\bar{S}_{n-1}}{2} + \frac{\bar{S}_{n-2}}{4} + \dots + \frac{\bar{S}_0}{2^n} \right]$

Se cumplirá para estas corrientes: $I_o + \bar{I}_o = I_{ref} \left(1 - \frac{1}{2^n} \right) = I_{ref} (1 - 2^{-n})$

Para **funcionamiento unipolar**, basta con conectar la salida del DAC a una resistencia o a un conversor I/V para obtener una tensión de salida proporcional al código de entrada.

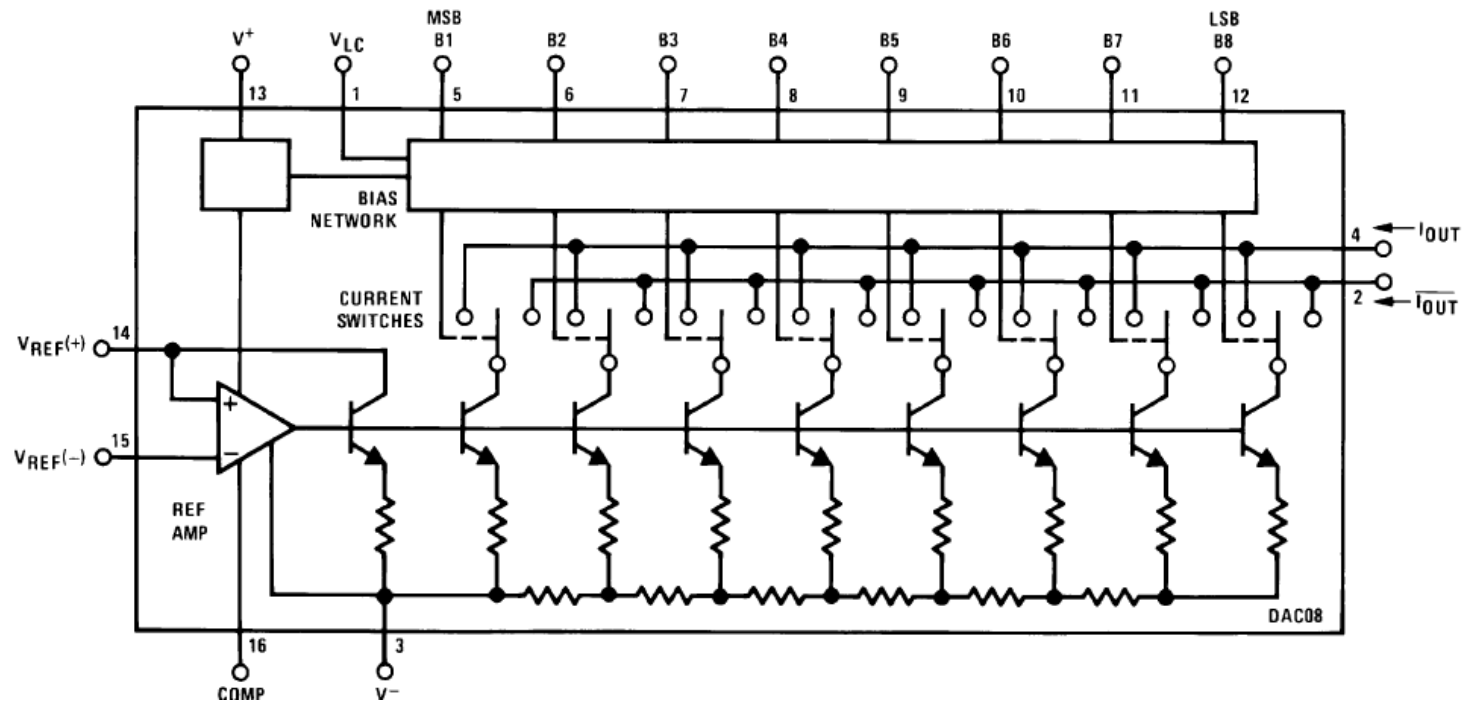
Para **funcionamiento bipolar**, con códigos de entrada binario desplazado, hay realizar un desplazamiento a la salida para asignar corriente/tensión, nula con el código 100....0.

Si llega el código en complemento a 2 basta con invertir el bit de signo para convertirlo en binario desplazado.



Sistemas de Adquisición de Datos (SAD)

Diagrama de bloques DAC800: Características destacables

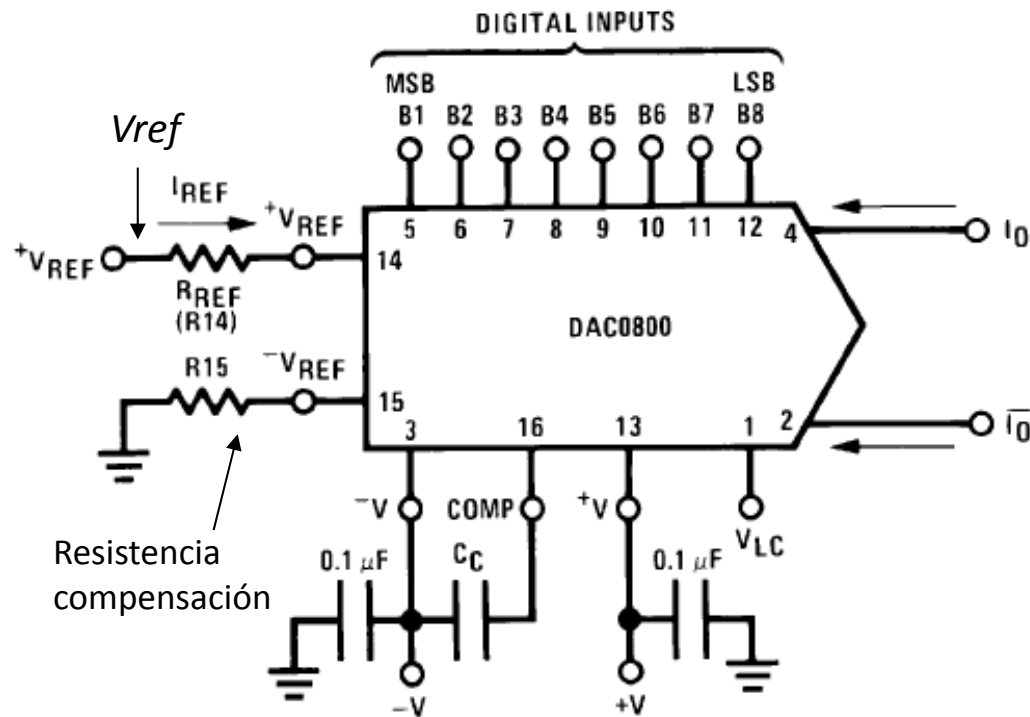


- La tensión en el pin 14 será igual a la del pin 15:
 $V_{REF(+)} = V_{REF(-)}$ pues el A.O.: realimentación negativa
- Por el pin 15 no circulará corriente (pin V- del A.O.)
- Por el pin 14 se insertará la corriente $I_{ref} (>0) \rightarrow$ red R-2R



Sistemas de Adquisición de Datos (SAD)

Ejemplo de obtención de la Iref (int. referencia)



$$I_{ref} = \frac{V_{ref} - V_{pin15}}{R_{ref}} = \frac{V_{ref}}{R_{ref}}$$

$$I_o = I_{ref} \cdot \frac{1}{2^n} vdc;$$

$$\bar{I}_o = I_{ref} \cdot \frac{1}{2^n} (255 - vdc)$$

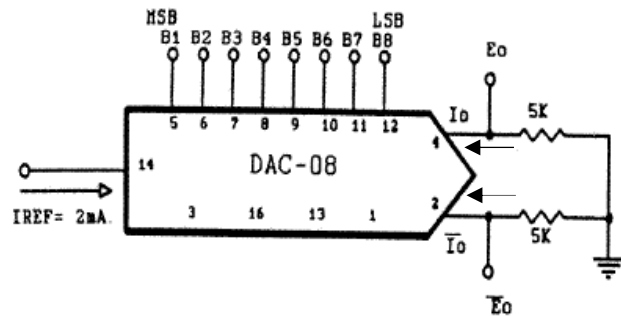


Sistemas de Adquisición de Datos (SAD)

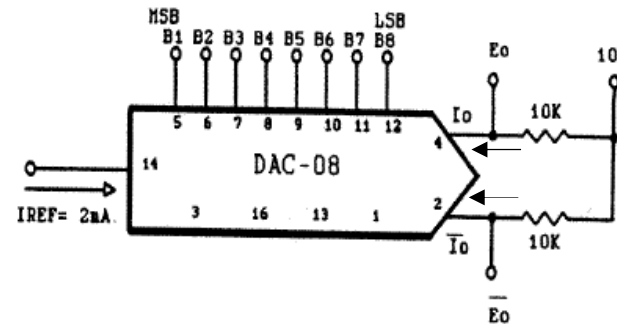
PROBLEMA DE APLICACIONES DEL DAC800



Halle la tensión de salida E_o , en los siguientes circuitos:



(a)

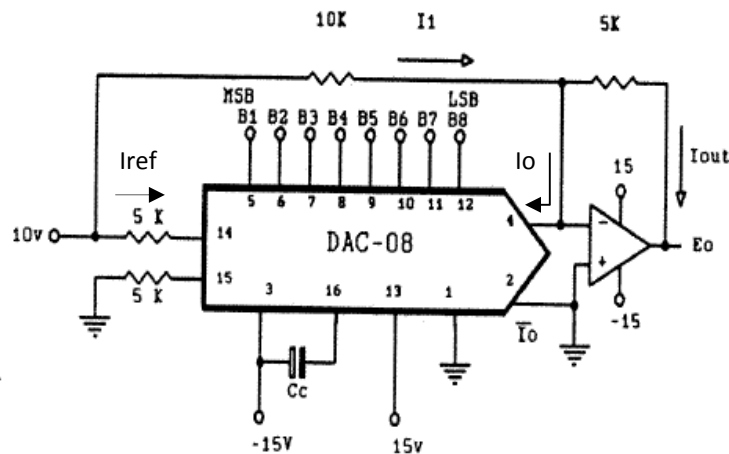


(b)

Datos:

$$I_o = I_{ref} \cdot \frac{1}{2^n} vdc;$$

$$\bar{I}_o = I_{ref} \cdot \frac{1}{2^n} (255 - vdc)$$



¿Entre qué valores mínimo y máximo se encuentra la salida E_o en los circuitos a), b) y c)?
Nótese como la salida a) es unipolar negativa y las salidas b) y c) bipolares.

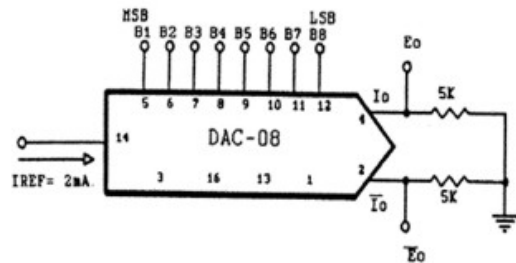


Sistemas de Adquisición de Datos (SAD)

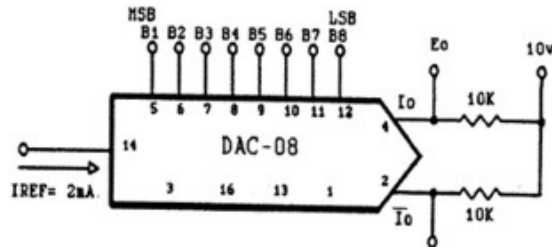
PROBLEMA DE APLICACIONES DEL DAC800



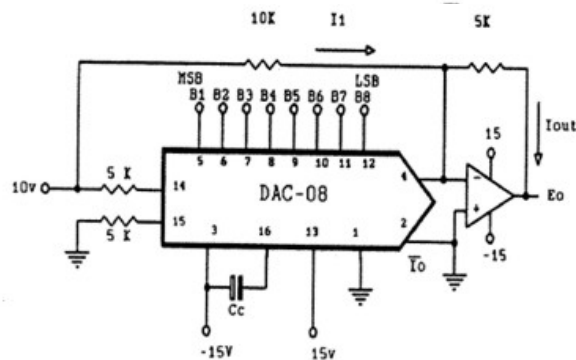
Halle la tensión de salida E_o , en los siguientes circuitos:



$$a) \quad E_o = -5 \cdot I_0 = -5 \cdot \frac{I_{ref}}{2^8} \cdot V_{dc} = -10 \cdot \frac{v_{dc}}{2^8}$$



$$b) \quad E_o = -10 \cdot I_0 + 10 = -10 \cdot \frac{I_{ref}}{2^8} \cdot V_{dc} + 10 = -20 \cdot \frac{v_{dc}}{2^8} + 10$$



$$c) \quad I_{ref} = \frac{10V - V_{pin15}}{5k} = \frac{10V}{5k} = 2mA \quad I_1 = \frac{10V - 0V}{10k} = 1mA$$

$$E_o = -5 \cdot I_{OUT} = -5 \cdot (-I_0 + I_1) = -5 \left(-\frac{I_{ref}}{2^8} \cdot v_{dc} + I_1 \right) = 10 \cdot \frac{v_{dc}}{2^8} - 5$$