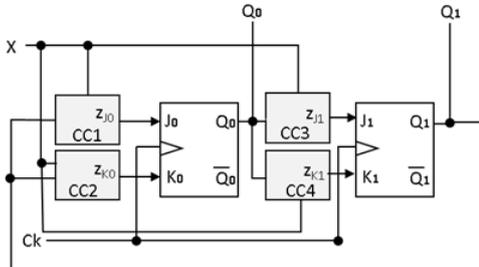




FUNDAMENTOS DE COMPUTADORES

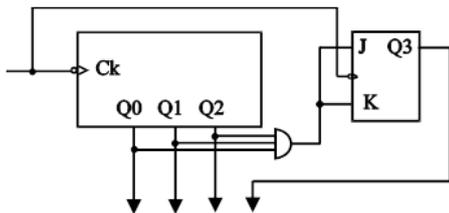
Tema 5: Circuitos integrados Secuenciales
Ejercicios – Curso2014-15

Cuestión 1: El diseño de la figura se corresponde con un contador UP/DOWN en código Gray, que funciona de la siguiente manera: si $X = '0'$ la cuenta es en sentido descendente y si $X = '1'$ la cuenta es en sentido ascendente. Indicar cuál de las implementaciones mostradas es la correcta:



- a) $Z_{J0} = X \oplus Q_1$ $Z_{K0} = \overline{X \oplus Q_1}$ $Z_{J1} = \overline{X \oplus Q_0}$ $Z_{K1} = X \oplus Q_0$
- b) $Z_{J0} = \overline{X \oplus Q_1}$ $Z_{K0} = X \oplus Q_1$ $Z_{J1} = \overline{X \oplus Q_0}$ $Z_{K1} = X \oplus Q_0$
- c) $Z_{J0} = \overline{X \oplus Q_1}$ $Z_{K0} = X \oplus Q_1$ $Z_{J1} = \overline{X \oplus Q_0}$ $Z_{K1} = \overline{X \oplus Q_0}$
- d) $Z_{J0} = X \oplus Q_1$ $Z_{K0} = \overline{X \oplus Q_1}$ $Z_{J1} = X \oplus Q_0$ $Z_{K1} = \overline{X \oplus Q_0}$

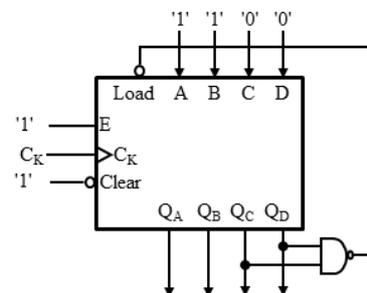
Cuestión 2: Del circuito de la figura, formado por un contador módulo 8 que cuenta en binario natural y un biestable JK, podemos decir:



- a) Es un contador hexadecimal.
- b) Es un contador módulo 10.
- c) Es un contador BCD Natural.
- d) Todas las respuestas anteriores son falsas.

Cuestión 3: Indicar la función que realiza el siguiente circuito que se ha implementado usando un contador síncrono de 4 bits, código de cuenta binario natural, con entradas de *Enable* (E, validación), *Clear* (puesta a cero) y *Load* (carga paralelo de los datos A, B, C y D), SÍNCRONAS estas dos últimas. El funcionamiento del citado contador se resume en la tabla mostrada.

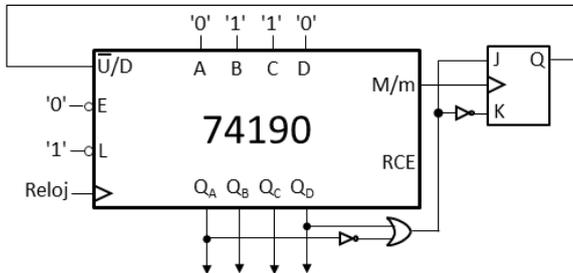
Clear	Load	E	Función	$Q_i(t+1)$
0	x	x	Puesta a cero síncrona	0
1	0	x	Carga síncrona	Dato
1	1	0	Inhibido	$Q_i(t)$
1	1	1	Contador ascendente	$Q_i(t) + 1$



- a) Contador módulo 9 en binario natural.
- b) Contador módulo 9 en código Gray.
- c) Contador en BCD 5, 4, 2, 1.
- d) Contador BCD exceso 3.

Cuestión 4: Si el c.i. 74190 es un contador módulo 10 en BCD natural, con las siguientes entradas: \bar{U}/D : cuenta ascendente (si '0')/descendente (si '1'); E: validación, activa a nivel bajo; L: carga asíncrona, a nivel bajo; D,C,B,A: entrada del dato a cargar; M/m: Máximo/mínimo, que se pone a '1' cuando llega al estado "9" en cuenta ascendente o al estado "0" en cuenta descendente.

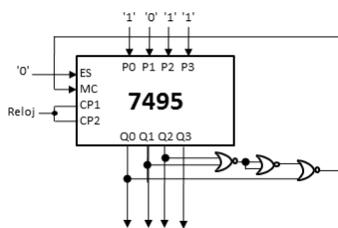
¿Qué cuenta realiza el circuito de la figura formado por un contador 74190, un biestable J-K y la lógica adicional mostrada.



- a) $0 \rightarrow 1 \rightarrow \dots \rightarrow 7 \rightarrow 8 \rightarrow 7 \rightarrow \dots \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow \dots$
- b) $0 \rightarrow 1 \rightarrow \dots \rightarrow 8 \rightarrow 9 \rightarrow 8 \rightarrow \dots \rightarrow 1 \rightarrow 0 \rightarrow 1 \rightarrow \dots$
- c) $6 \rightarrow 5 \rightarrow \dots \rightarrow 0 \rightarrow 6 \rightarrow 7 \rightarrow \dots \rightarrow 9 \rightarrow 6 \rightarrow 5 \rightarrow \dots$
- d) $6 \rightarrow 7 \rightarrow \dots \rightarrow 9 \rightarrow 6 \rightarrow 5 \rightarrow \dots \rightarrow 0 \rightarrow 6 \rightarrow 7 \rightarrow \dots$

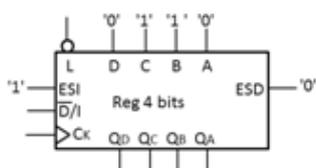
Cuestión 5: El c. i. 7495 (de la figura) dispone de las entradas: ES: entrada serie; MC: control de funcionamiento (si MC = '0', desplaza en serie a la derecha; si MC = '1', carga paralelo síncrona). Siendo el estado inicial del mismo:

$Q_0Q_1Q_2Q_3 = "1011"$, indique la secuencia de estados que realiza el circuito:



- a) $1011 \rightarrow 0101 \rightarrow 0010 \rightarrow 1011 \rightarrow \dots$
- b) $1011 \rightarrow 0110 \rightarrow 1100 \rightarrow 1000 \rightarrow 1011 \rightarrow \dots$
- c) $1011 \rightarrow 0101 \rightarrow 0010 \rightarrow 0001 \rightarrow 1011 \rightarrow \dots$
- d) $1011 \rightarrow 1011 \rightarrow 1011 \rightarrow \dots$

Cuestión 6: El siguiente registro de 4 bits funciona según la tabla adjunta:



L	\bar{D}/I	FUNCIÓN
0	0	Carga en paralelo síncrona
0	1	Carga en paralelo síncrona
1	0	Desplazamiento a la derecha
1	1	Desplazamiento a la izquierda

En las condiciones que se indican a continuación, indicar cuáles serán las salidas $Q_DQ_CQ_BQ_A$ al cabo del 4º pulso de reloj.

1ª condición		2ª condición		3ª condición		4ª condición	
\bar{L}	Pulso reloj						
D/I		D/I		D/I		D/I	
0	1	1	1	1	1	1	0
	1º ➔		2º ➔		3º ➔		4º

- a) $Q_DQ_CQ_BQ_A = "0110"$.
- b) $Q_DQ_CQ_BQ_A = "1000"$.
- c) $Q_DQ_CQ_BQ_A = "0011"$.
- d) $Q_DQ_CQ_BQ_A = "1100"$.



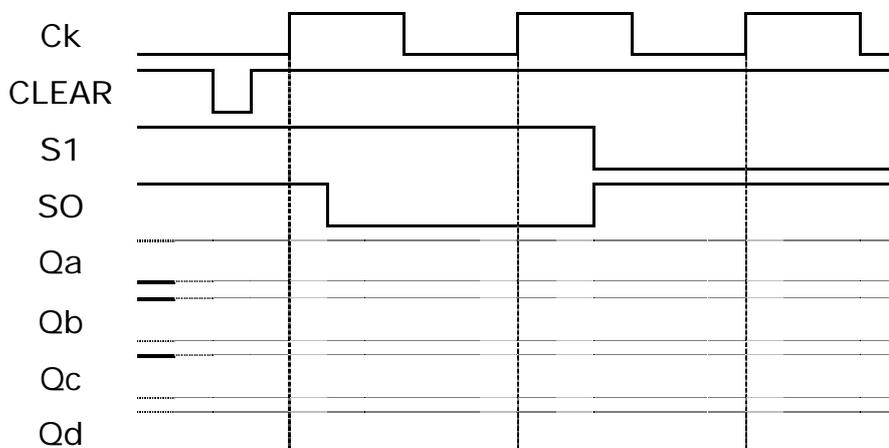
FUNDAMENTOS DE COMPUTADORES

*Tema 5: Circuitos integrados Secuenciales
Ejercicios – Curso2014-15*

Cuestión 7: El c. i. 74194 es un registro universal de 4 bits cuyo funcionamiento se indica en la siguiente tabla:

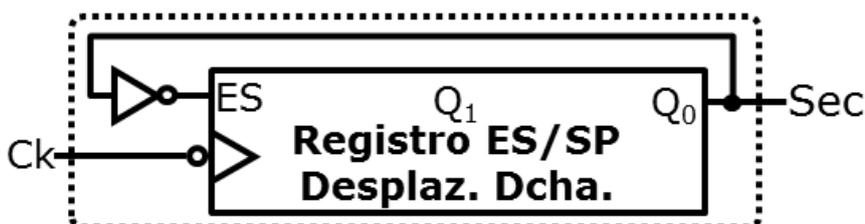
ENTRADAS										SALIDAS			
CLEAR	MODO		CLOCK	DESPLA. SERIE		CARGA PARA.				Qa	Qb	Qc	Qd
	S1	SO		ESI	ESD	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Qa	Qb	Qc	Qd
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	H	X	X	X	X	X	H	Qa	Qb	Qc
H	L	H	↑	L	X	X	X	X	X	L	Qa	Qb	Qc
H	H	L	↑	X	H	X	X	X	X	Qb	Qc	Qd	H
H	H	L	↑	X	L	X	X	X	X	Qb	Qc	Qd	L
H	L	L	X	X	X	X	X	X	X	Qa	Qb	Qc	Qd

Con las entradas de carga ABCD = "1011", las de serie ESI = '0' y ESD = '1' y el estado inicial es QaQbQcQd = "0110", cual será el estado final tras producirse lo indicado en el siguiente cronograma:



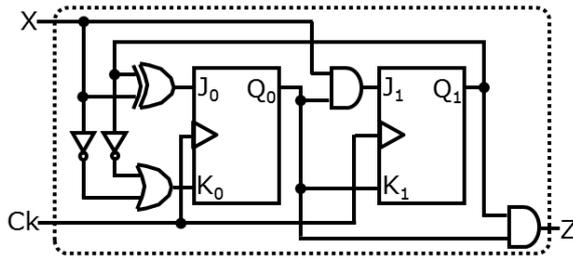
- a) QaQbQcQd = "0110"
- b) QaQbQcQd = "0011"
- c) QaQbQcQd = "1100"
- d) QaQbQcQd = "1010"

Cuestión 8: ¿Qué secuencia genera el siguiente circuito?



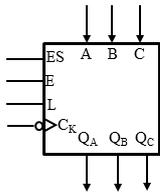
- a) "0011".
- b) "0111".
- c) "0101".
- d) "0100".

Cuestión 9: ¿Qué secuencia detecta el siguiente circuito?



- a) "100".
- b) "111".
- c) "000".
- d) "110".

Cuestión 10: El circuito de la figura representa a un registro de 3 bits siendo: ES la entrada en serie; A, B, C las entradas de datos para carga en paralelo; E y L son entradas cuyo funcionamiento viene determinado por la tabla adjunta.

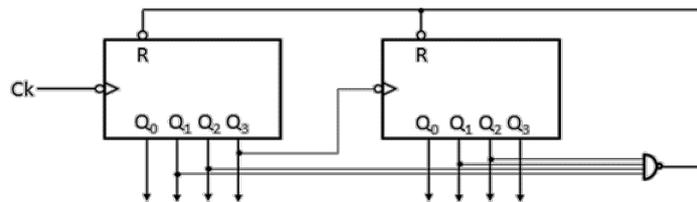


E	L	FUNCIÓN
0	0	Inhibido (mantiene estado)
0	1	Carga síncrona
1	x	Desplazamiento a derecha

Sabiendo que el diseño del circuito se ha realizado con biestables D, la ecuación de excitación del biestable de entrada síncrona D_A es:

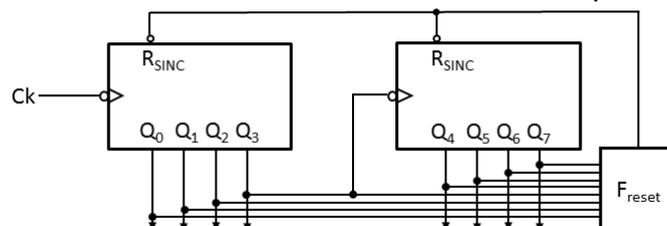
- a) $D_A = \bar{E} * (L * Q_A^t + \bar{L} * A) + E * ES$
- b) $D_A = \bar{E} * (\bar{L} * Q_B^t + L * B) + E * ES$
- c) $D_A = \bar{E} * (\bar{L} * Q_A^t + L * A) + E * ES$
- d) $D_A = E * (\bar{L} * Q_A^t + L * A) + \bar{E} * ES$

Cuestión 11: Del circuito de la figura, constituido por dos bloques contadores BCD natural con entrada de RESET asíncrona activa a nivel bajo, se puede decir que es:



- a) Un contador divisor por 64.
- b) Un contador divisor por 63.
- c) Un contador divisor por 66.
- d) Un contador divisor por 65.

Cuestión 12: El circuito de la figura está constituido por dos bloques contadores hexadecimales con entrada de RESET síncrona activa a nivel bajo. Determinar la función F_{reset} para que se convierta en un contador divisor por 90.



- a) $F_{reset} = \overline{Q_6 Q_4 Q_3 Q_0}$
- b) $F_{reset} = Q_6 + Q_4 + Q_3 + Q_0$
- c) $F_{reset} = \overline{Q_6 Q_4 Q_3 Q_0}$
- d) $F_{reset} = \overline{Q_7 Q_4 Q_2 Q_0}$