

Nombre, apellidos y DNI:

El examen consta de cinco preguntas. Lea detenidamente los enunciados. Si tiene cualquier duda consulte al profesor. Todas las respuestas deben razonarse. La hoja de enunciados y todas las hojas utilizadas deben entregarse. La duración del examen es de 3 horas.

1. (2,5 puntos). Considere el convertor *step-up* (boost) de la figura 1. El transistor se controla con una señal de control v_c de frecuencia $f_s = 1/T_s$ y ciclo de trabajo D .

a) Suponiendo que todos los componentes son ideales, demuestre que, en estado estacionario, y en funcionamiento en modo continuo: $V_{out} = \frac{V_{in}}{1-D}$.

b) Justifique que si el diodo y el transistor son ideales el consumo de potencia en ellos es nulo.

c) Explique qué se entiende por funcionamiento en modo discontinuo y por qué puede producirse este modo de funcionamiento. Dibuje una gráfica de las formas de onda de v_L e i_L (caída de tensión y corriente en la inductancia) en función del tiempo en modo discontinuo.

d) Demuestre que la corriente de salida límite para el paso de modo continuo a discontinuo es:

$$I_{OB} = \frac{T_s V_{out}}{2L} D(1-D)^2.$$

e) El convertor debe proporcionar una tensión de salida $V_{out} = 25$ V y proporcionar una potencia de salida P_{out} entre 1 y 10 W. Operará con una frecuencia de conmutación $f_s = 500$ kHz. El circuito tendrá un bucle de control tal que el ciclo de trabajo se ajustará al valor necesario para que $V_{out} = 25$ V, en función del valor de V_{in} . Es decir, considere que D puede tomar valores en todo el rango entre 0 y 1. Determine el valor de L que garantiza que el convertor operará siempre en modo continuo en las condiciones descritas.

Ecuaciones:

Ley de Faraday para una inductancia: $v_L = L \frac{di_L}{dt}$

Promedio de una señal: $\langle i(t) \rangle = \frac{1}{T} \int_T i(t) dt$

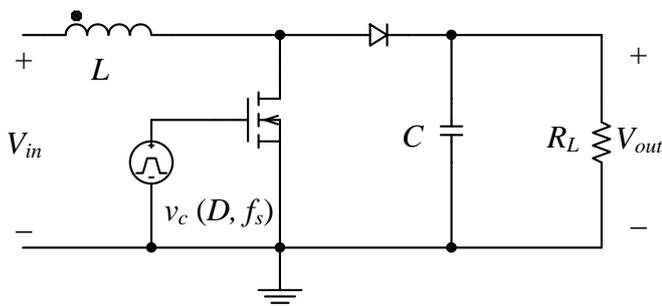


Fig. 1. Convertor boost

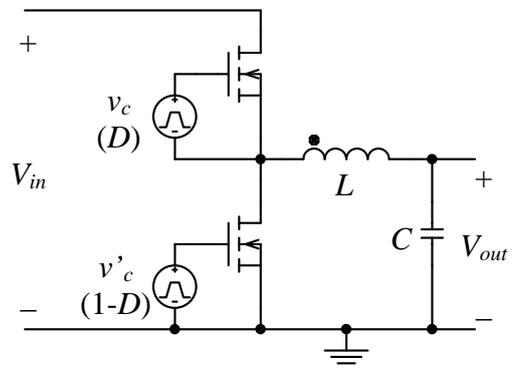


Fig. 2. Convertor buck

2. (2 puntos). El convertor *step-down* (*buck*) de la figura 2 operará con una tensión de entrada $V_{in} = 5 \text{ V}$ y debe proporcionar una salida $V_{out} = 1,6 \text{ V}$, con una potencia $P_{out} = 50 \text{ W}$. El transistor del lado alto se controla con una señal v_C de ciclo de trabajo D y frecuencia $f_S = 1 \text{ MHz}$. El transistor del lado bajo se controlará con una señal complementaria v'_C . El valor de L es tal que la variación pico-pico de la corriente en la inductancia es $\Delta i_L = 5 \text{ A}$.

a) Suponiendo que los transistores son ideales, determine la corriente i_D máxima y la tensión V_{DS} máxima que deberán soportar los transistores.

b) De acuerdo con los resultados del apartado anterior, se decide utilizar los transistores FDD8780, que soportan tensiones de hasta 25 V y corrientes de 35 A . Estos transistores se caracterizan por una resistencia en su estado de conducción $R_{DS,on} = 8,5 \text{ m}\Omega$. Determine (o estime) el valor del ciclo de trabajo D para conseguir la salida especificada.

c) Determine la potencia media disipada por cada transistor y el rendimiento del convertor. Suponga que se mantiene el valor $\Delta i_L = 5 \text{ A}$. *Nota: Si no resolvió el apartado b), puede resolver este apartado tomando un valor $D = 0,32$, que correspondería al convertor con transistores ideales.*

d) En la hoja de datos del transistor se especifican las siguientes resistencias térmicas:

$R_{\theta JC} = 3,0 \text{ }^\circ\text{C/W}$ (*junction to case*) ; $R_{\theta JA} = 100 \text{ }^\circ\text{C/W}$ (*junction to air*).

Determine la resistencia térmica que debe tener el disipador para cada transistor para que su temperatura no supere los $150 \text{ }^\circ\text{C}$. Suponga que la T ambiente puede ser de hasta $40 \text{ }^\circ\text{C}$. Considere una resistencia térmica $R_{\theta CS} = 0,5 \text{ }^\circ\text{C}$ (*case to sink*).

Ecuaciones:

Valor eficaz para una señal que varía linealmente durante una fracción de periodo D :

$$I_{RMS}^2 = D \left(I_{DC}^2 + \frac{I_{AC}^2}{3} \right)$$

3. (1,5 puntos). En la figura 3.a se muestra el circuito utilizado en simulación mediante Pspice para un convertor *buck*. El diodo es ideal, pero el transistor tiene una tensión umbral $V_{TO} = 3 \text{ V}$ y un parámetro de transconductancia $k = 10 \text{ AV}^{-2}$. Además, se han incluido las capacidades C_{GS} y C_{GD} para simular el transitorio. EN la figura 3.b se muestra el resultado de la simulación. La señal de control v_C pasa de 0 a 10 V en $t = 400 \text{ }\mu\text{s}$.

a) Identifique y estime (en la propia gráfica) los siguientes tiempos: $t_{d,on}$, t_{ri} y t_{fv} .

b) Justifique las formas de onda de v_{GS} , v_{DS} e i_D observadas durante el transitorio.

c) Justifique que la potencia media disipada como consecuencia de este comportamiento transitorio provocará peores rendimientos a medida que la frecuencia de conmutación del transistor aumenta.

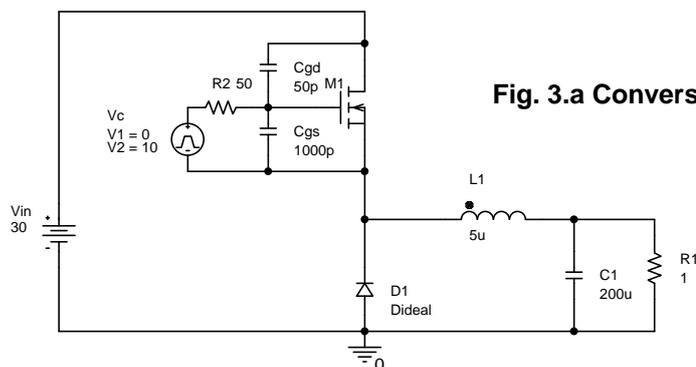


Fig. 3.a Convertor *buck*, simulación Pspice

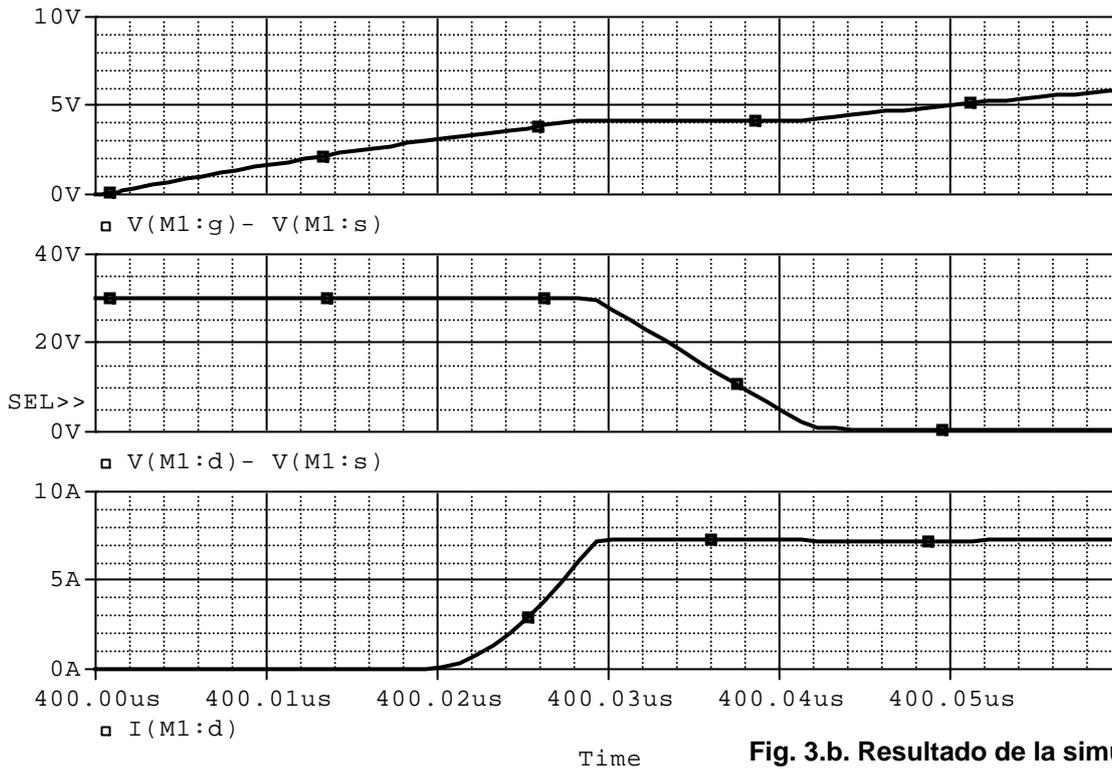


Fig. 3.b. Resultado de la simulación del convertor *buck* de la figura 3.a.

4. (2 puntos). Considere el convertor *flyback* de la figura 4.

a) Explique el funcionamiento del circuito, demuestre que $V_{out} = \frac{N_2}{N_1} \frac{D}{1-D} V_{in}$ (suponiendo componentes

ideales, excepto que el núcleo de las bobinas acopladas no tendrá reluctancia nula) y represente gráficamente la forma de las corrientes i_1 , i_2 (corrientes del primario y el secundario) e i_M (corriente magnetizante) de las bobinas acopladas. Para esta representación considere que $N_2 = 2N_1$.

b) Suponga que se ha realizado un diseño de la inductancia acoplada en el que ha sido necesario introducir un pequeño *gap* en el núcleo. ¿Qué consecuencia podría tener que se eliminara dicho *gap* manteniendo fijo el número de vueltas de los dos bobinados y el tamaño del núcleo?

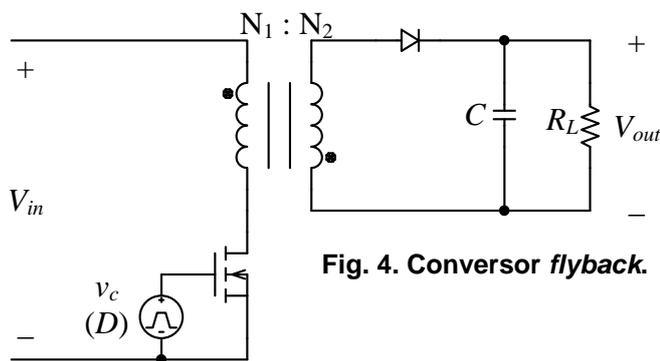


Fig. 4. Convertor *flyback*.

Ecuaciones Transformador sin pérdidas

$$\frac{v_1}{N_1} = \frac{v_2}{N_2} = \frac{d\phi_c}{dt}; \quad N_1 i_1 + N_2 i_2 = \phi_c \mathfrak{R}; \quad L_M = \frac{N_1^2}{\mathfrak{R}}; \quad \mathfrak{R} = \frac{l}{\mu A}$$

$$v_1 = L_M \frac{di_M}{dt}; \quad L_M = i_1 + \frac{N_2}{N_1} i_2; \quad N_1 \phi_c = L_M i_M$$

5. (2 puntos). En la figura 5 se muestra un esquema de la estructura de un SCR (*Semiconductor Controlled Rectifier*).

a) Dibuje el circuito equivalente como transistores y deduzca la condición que debe cumplirse para que el dispositivo entre en un estado de conducción con elevada corriente y baja resistencia.

b) Explique cualitativamente el mecanismo físico a través del cual se alcanza ese estado si $I_G = 0$.

c) Explique cómo influye aplicar un pulso de corriente I_G para alcanzar dicho estado.

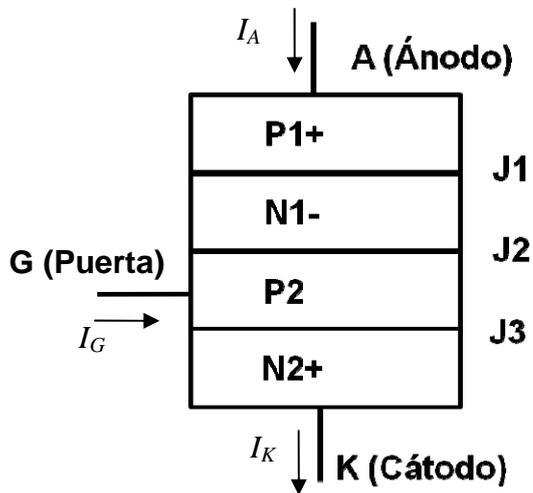


Fig. 5. Esquema de un SCR.

Ecuación para un transistor en activa: $I_C = \alpha I_E + I_{CO}$ (Criterio de signos. NPN: I_E saliente, I_B e I_C entrantes. PNP: I_E entrante, I_B e I_C salientes).