

Funciones de la lógica combinacional

Tema 4

Contenidos

- Sumadores Básicos
- Sumadores binarios en paralelo
- Comparadores
- Decodificadores
- Codificadores
- Conversores de código
- Multiplexores (Selectores de datos)
- Demultiplexores
- Generación - comprobación de paridad

Semi-sumador

Suma binaria básica

$$0 + 0 = 0$$

Cero más cero es cero

$$0 + 1 = 1$$

Cero más uno es uno

$$1 + 0 = 1$$

Uno más cero es uno

$$1 + 1 = 10$$

Uno más uno es cero con acarreo de uno

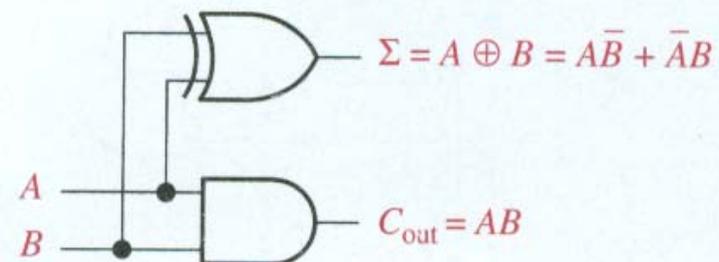
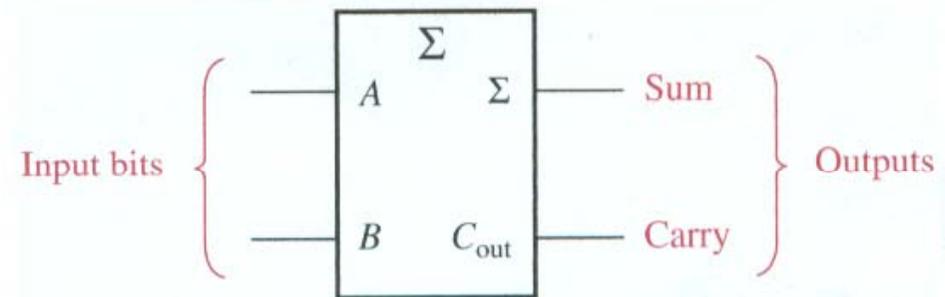
Un semi-sumador suma dos bits (entrada) y genera dos dígitos binarios a la salida: un bit de suma y un bit de acarreo

Semi-sumador

A	B	C_{out}	Σ
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Σ = sum
 C_{out} = output carry
 A and B = input variables (operands)

Half-Adder Truth Table



De la tabla de verdad se deduce:

$$\Sigma = \bar{A}B + A\bar{B} = A \oplus B$$

Sumador completo (full adder)

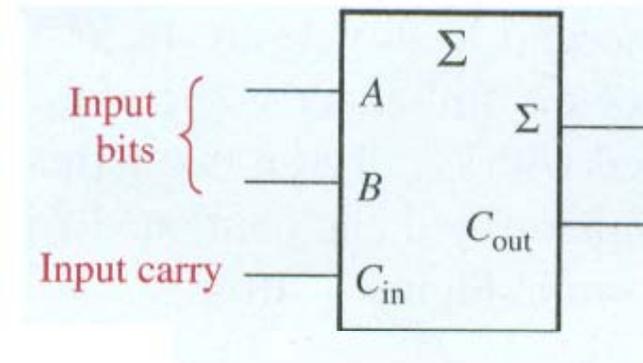
A	B	C_{in}	C_{out}	Σ
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

C_{in} = input carry, sometimes designated as CI

C_{out} = output carry, sometimes designated as CO

Σ = sum

A and B = input variables (operands)



$$\Sigma = (A \oplus B) \oplus C_{in}$$

$$C_{out} = AB + (A \oplus B)C_{in}$$

Sumador completo (full adder)

$A \backslash BC_{in}$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

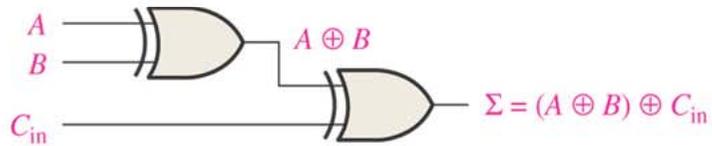
$$\begin{aligned} \Sigma &= \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} = \\ &= \overline{C}(\overline{A}B + A\overline{B}) + C(\overline{A}\overline{B} + AB) = \\ &= \overline{C}(A \oplus B) + C(\overline{A \oplus B}) = (A \oplus B) \oplus C \end{aligned}$$

$A \backslash BC_{in}$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

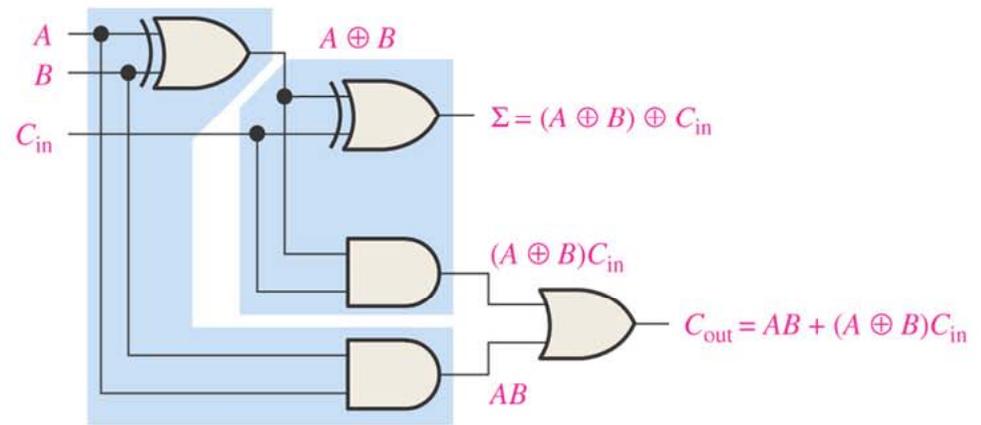
$$C_{out} = AB + AC_{in} + BC_{in}$$

$$\begin{aligned} C_{out} &= AB + \overline{A}BC_{in} + A\overline{B}C_{in} = \\ &= AB + C_{in}(\overline{A}B + A\overline{B}) = \\ &= AB + C_{in}(A \oplus B) \end{aligned}$$

Sumador completo (full adder)



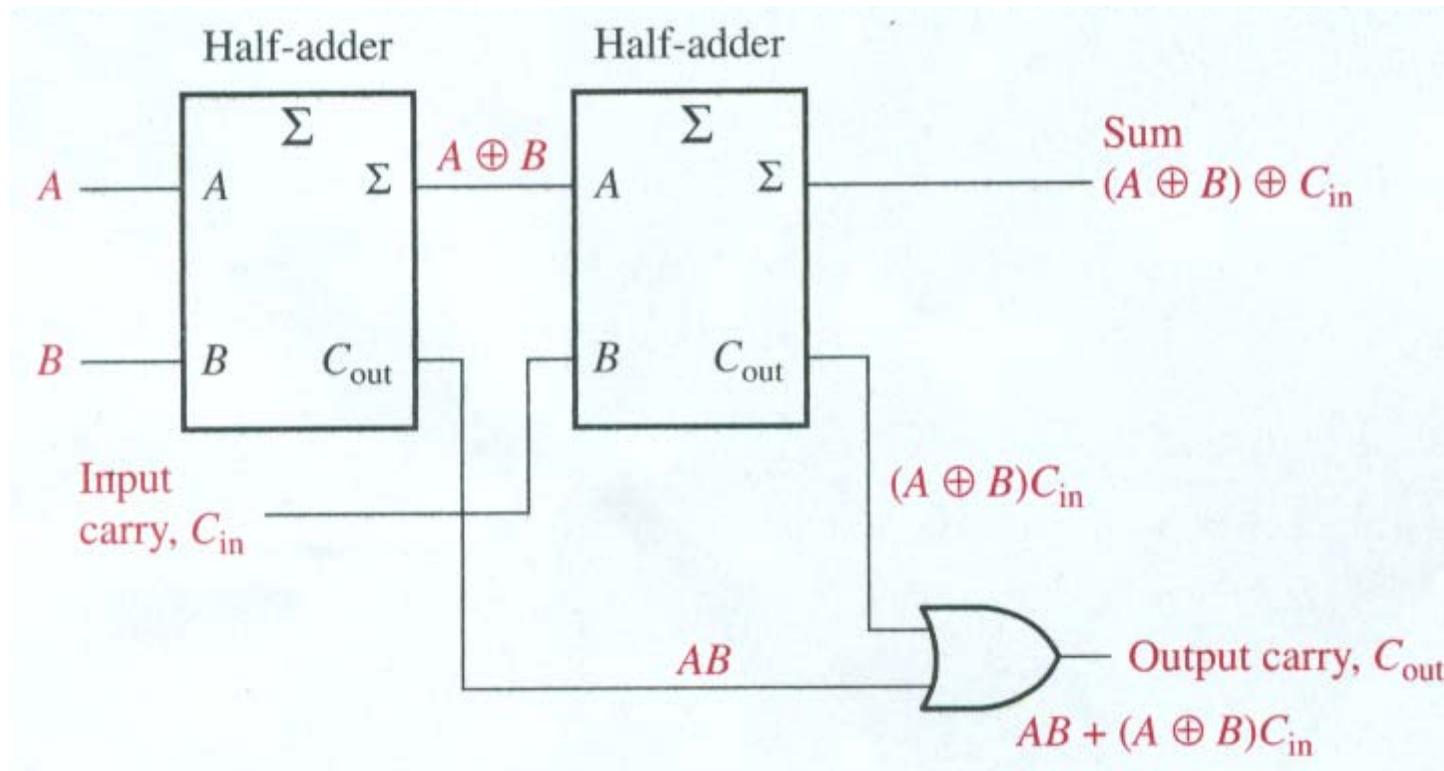
(a) Logic required to form the sum of three bits



(b) Complete logic circuit for a full-adder (each half-adder is enclosed by a shaded area)

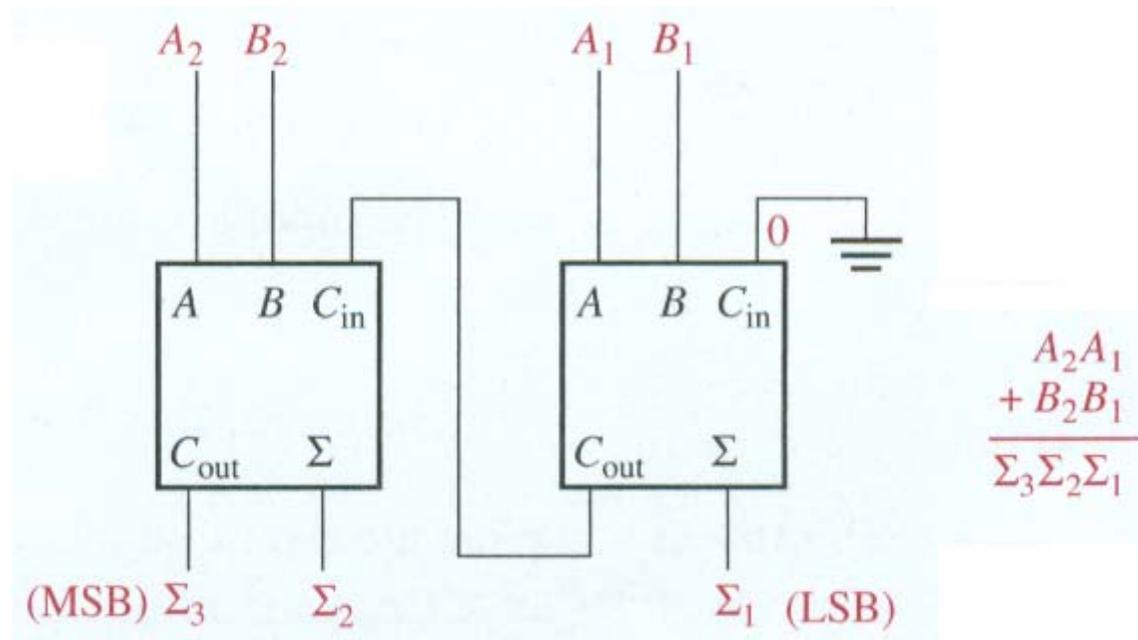
Sumador completo

- Sumador completo con dos semi-sumadores



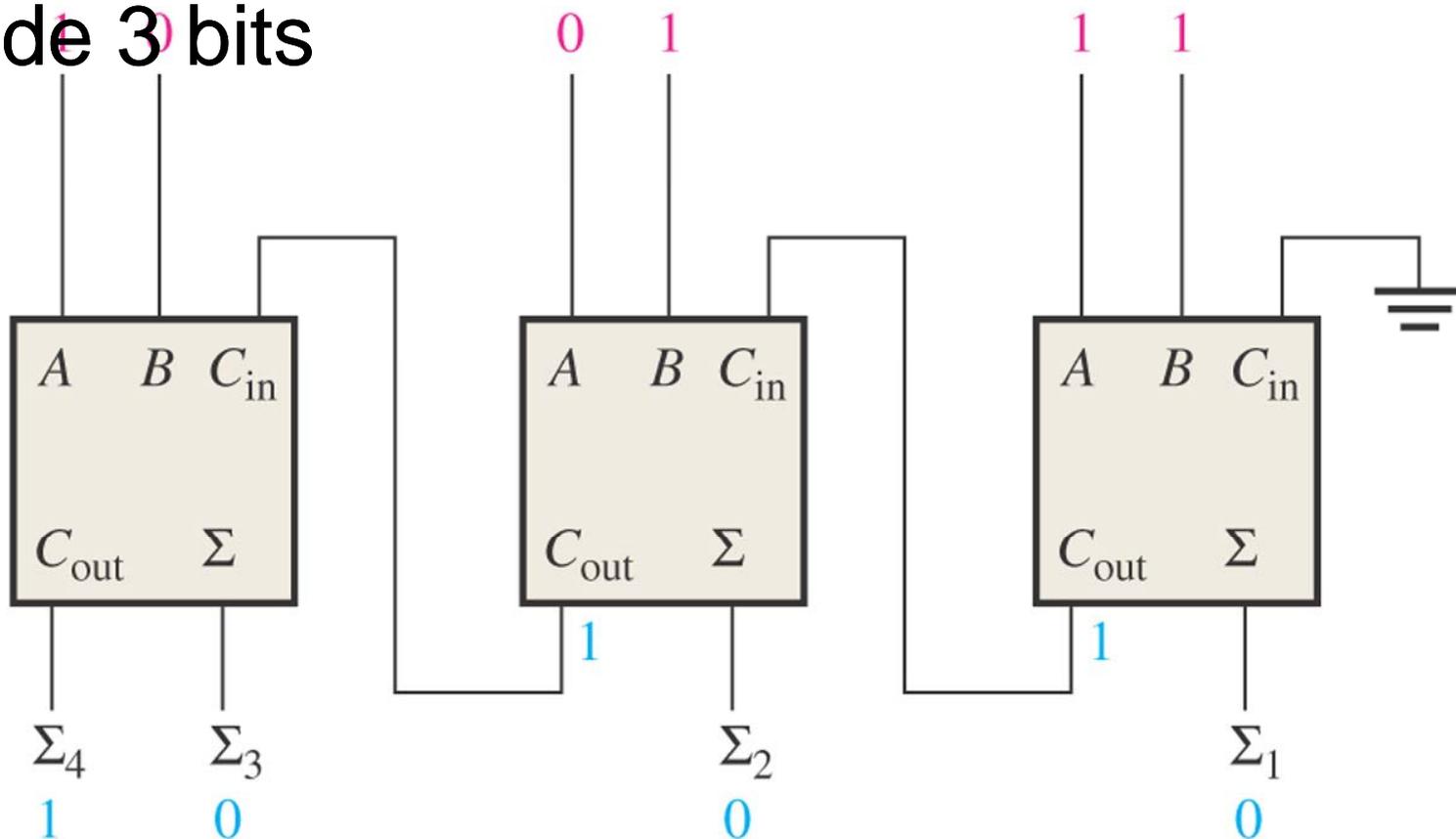
Sumadores binarios en paralelo

- Sumadores binarios en paralelo de 2 bits



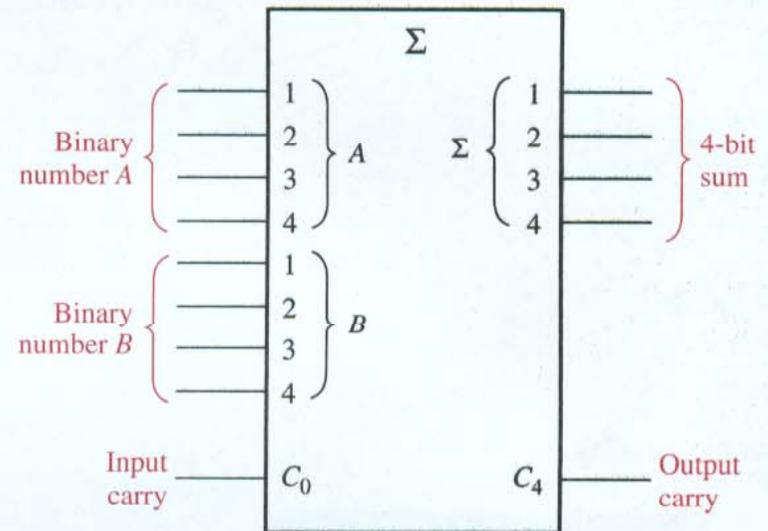
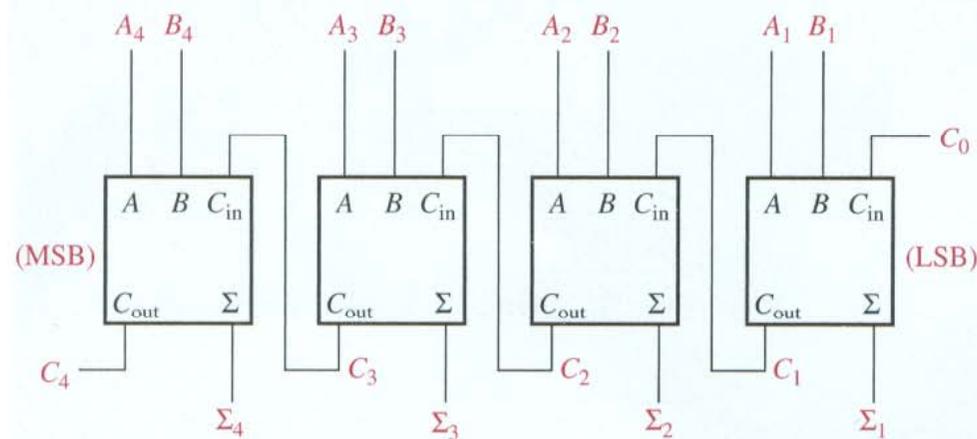
Sumadores binarios en paralelo

- **Ejemplo de sumador binario en paralelo de 3 bits**



Sumadores binarios en paralelo

- Sumador binario paralelo de 4 bits



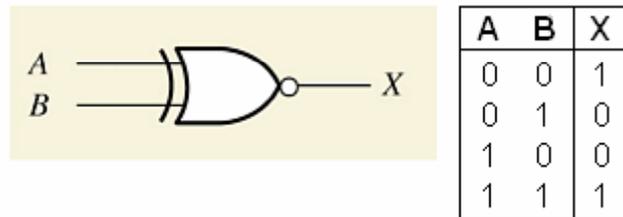
Comparadores

- Comparador de 1-Bit
- Comparador de 2-Bit
- Comparador de 4-Bit

Comparadores

Un comparador determina si dos números binarios son iguales o distintos

- Comparador de 1 Bit

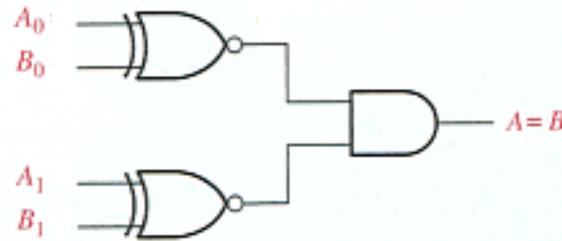


La salida es uno cuando las entradas son iguales

Comparadores

- Comparador de 2 bits

$$A = A_1 \cdot A_0$$
$$B = B_1 \cdot B_0$$



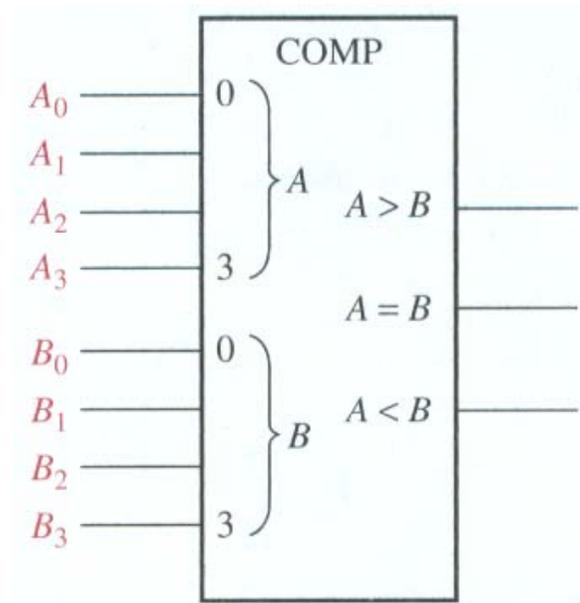
La salida es 1 si $A_0 = B_0$ y $A_1 = B_1$

Comparadores

- Comparador de 4 bits

Una de las tres salidas estará a 1:

- A mayor que B ($A > B$)
- A igual a B ($A = B$)
- A menor que B ($A < B$)



Decodificadores

Convierte información codificada (código) en no codificada (decimal)

- Decodificador Binario
- Decodificador de 4 bits
- Decodificador BCD a decimal
- Decodificador BCD a 7 segmentos

Decodificadores

- Decodificador Binario

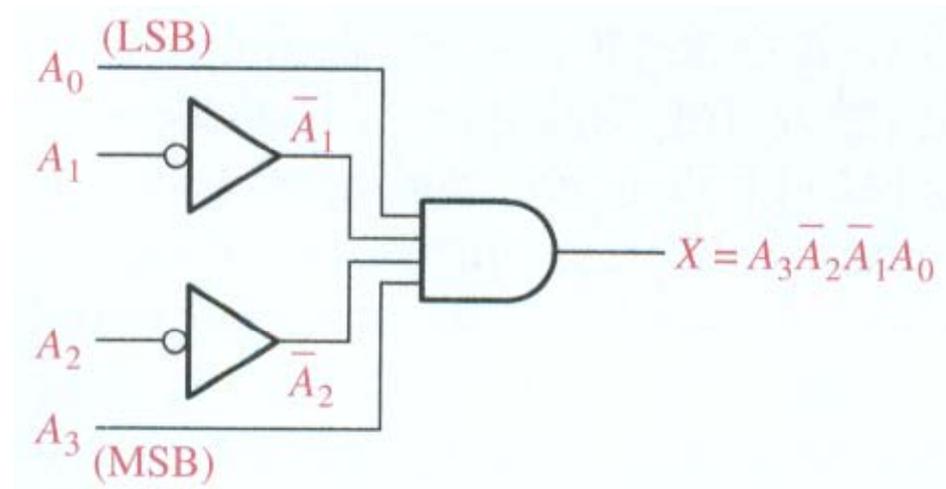
La salida es 1 solo cuando:

$$A_0 = 1$$

$$A_2 = 0$$

$$A_3 = 0$$

$$A_4 = 1$$



Este es solo un ejemplo de los infinitos posibles !

Decodificadores

- Decodificador de 4 bits

BINARY INPUTS				DECODING FUNCTION	OUTPUTS															
A ₃	A ₂	A ₁	A ₀		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	$\overline{A_3}\overline{A_2}\overline{A_1}\overline{A_0}$	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	$\overline{A_3}\overline{A_2}\overline{A_1}A_0$	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	0	$\overline{A_3}\overline{A_2}A_1\overline{A_0}$	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	1	1	$\overline{A_3}\overline{A_2}A_1A_0$	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	1	0	0	$\overline{A_3}A_2\overline{A_1}\overline{A_0}$	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	1	0	1	$\overline{A_3}A_2\overline{A_1}A_0$	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	1	1	0	$\overline{A_3}A_2A_1\overline{A_0}$	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	1	1	1	$\overline{A_3}A_2A_1A_0$	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
1	0	0	0	$A_3\overline{A_2}\overline{A_1}\overline{A_0}$	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
1	0	0	1	$A_3\overline{A_2}\overline{A_1}A_0$	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
1	0	1	0	$A_3\overline{A_2}A_1\overline{A_0}$	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
1	0	1	1	$A_3\overline{A_2}A_1A_0$	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
1	1	0	0	$A_3A_2\overline{A_1}\overline{A_0}$	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
1	1	0	1	$A_3A_2\overline{A_1}A_0$	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
1	1	1	0	$A_3A_2A_1\overline{A_0}$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
1	1	1	1	$A_3A_2A_1A_0$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Diagrama lógico



Decodificadores

- Decodificador de 4 bits
 - Entradas binarias
 - Salidas activas a nivel bajo

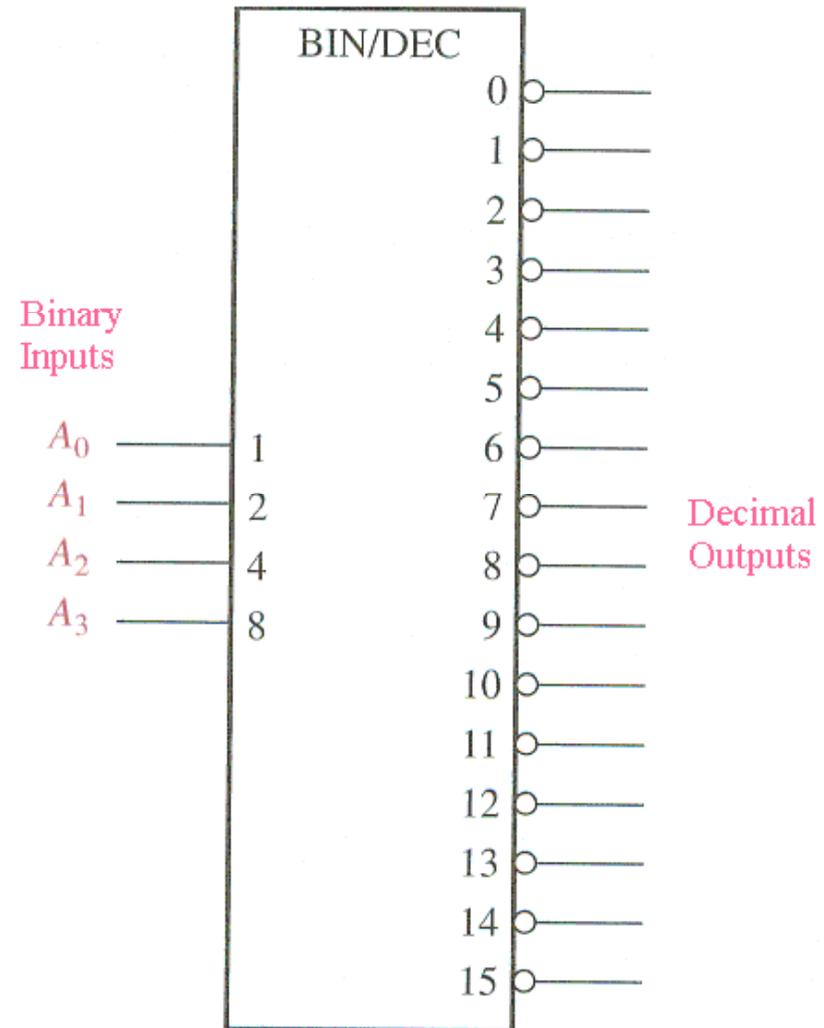
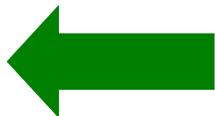


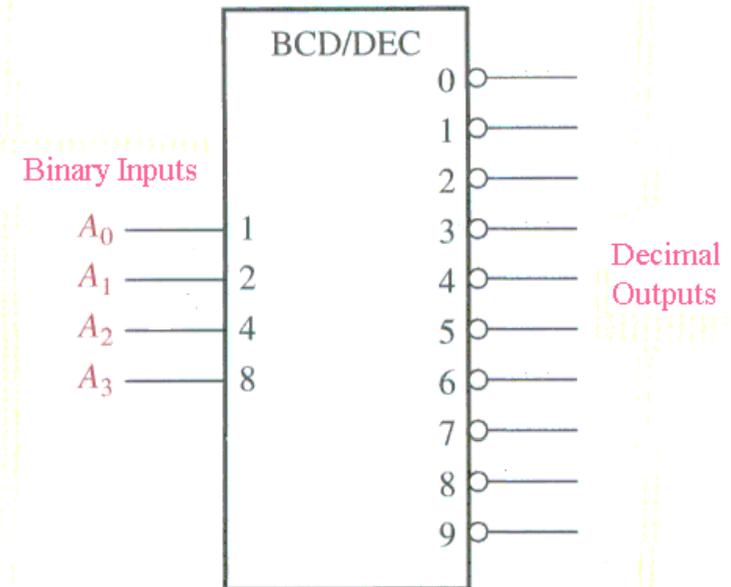
Tabla de
verdad



Decodificadores

- BCD a decimal

DECIMAL DIGIT	BCD CODE				DECODING FUNCTION
	A_3	A_2	A_1	A_0	
0	0	0	0	0	$\overline{A_3}\overline{A_2}\overline{A_1}\overline{A_0}$
1	0	0	0	1	$\overline{A_3}\overline{A_2}\overline{A_1}A_0$
2	0	0	1	0	$\overline{A_3}\overline{A_2}A_1\overline{A_0}$
3	0	0	1	1	$\overline{A_3}\overline{A_2}A_1A_0$
4	0	1	0	0	$\overline{A_3}A_2\overline{A_1}\overline{A_0}$
5	0	1	0	1	$\overline{A_3}A_2\overline{A_1}A_0$
6	0	1	1	0	$\overline{A_3}A_2A_1\overline{A_0}$
7	0	1	1	1	$\overline{A_3}A_2A_1A_0$
8	1	0	0	0	$A_3\overline{A_2}\overline{A_1}\overline{A_0}$
9	1	0	0	1	$A_3\overline{A_2}\overline{A_1}A_0$



Decodificadores

- BCD a 7-segmentos

DECIMAL DIGIT	INPUTS				SEGMENT OUTPUTS						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1
10	1	0	1	0	X	X	X	X	X	X	X
11	1	0	1	1	X	X	X	X	X	X	X
12	1	1	0	0	X	X	X	X	X	X	X
13	1	1	0	1	X	X	X	X	X	X	X
14	1	1	1	0	X	X	X	X	X	X	X
15	1	1	1	1	X	X	X	X	X	X	X

Diagrama
lógico

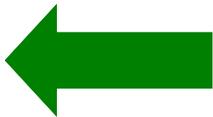


Decodificadores

- BCD a 7 segmentos



**Tabla de
verdad**



Codificadores

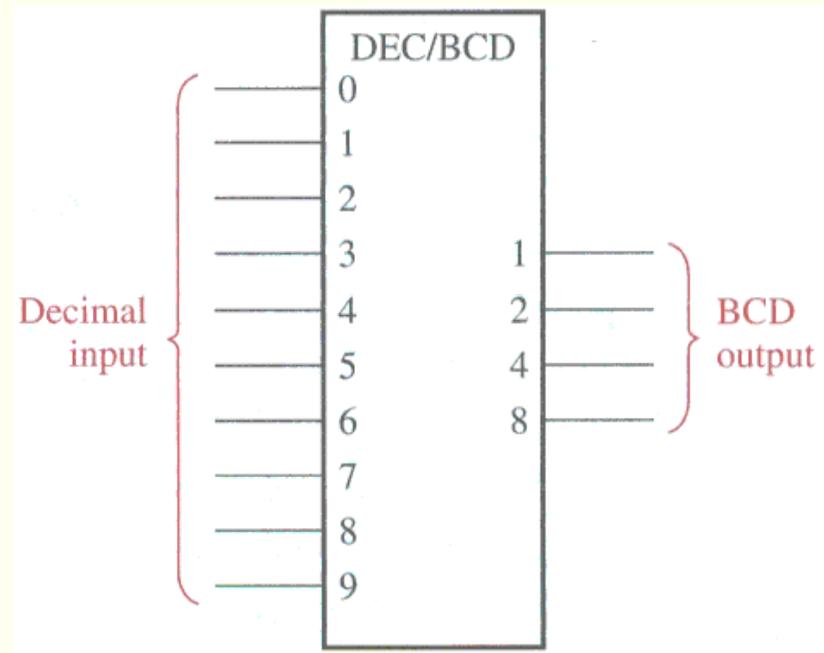
En las entradas habrá un nivel activo de un dígito (decimal) y la salida estará codificada (BCD o binario)

- Decimal a BCD
- 8 entradas a 3 salidas (Codificador binario)

Codificadores

- Decimal a BCD

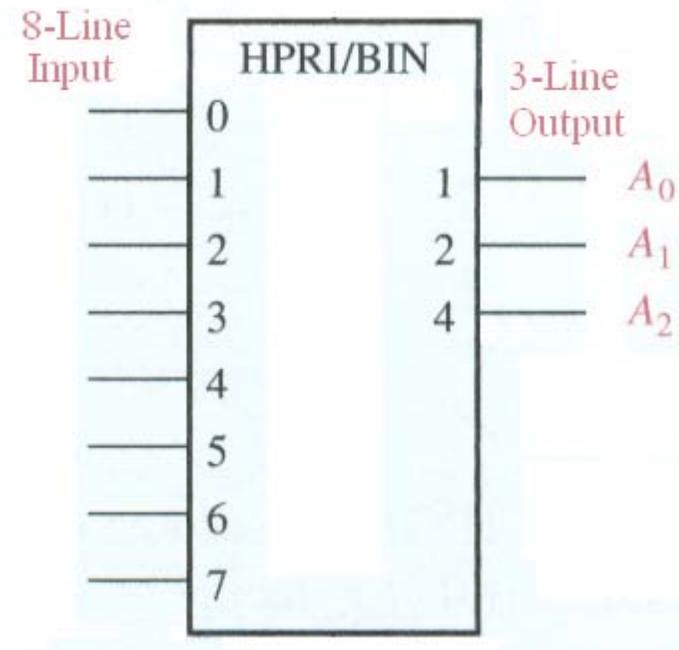
DECIMAL DIGIT	BCD CODE			
	A ₃	A ₂	A ₁	A ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1



Codificadores

- 8 líneas a 3 (octal a binario de 3 bits)/ Codificador binario

8-LINE INPUT	3-LINE OUTPUT		
	A_2	A_1	A_0
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1



Conversores de código

- BCD a binario
- Binario a Gray

Conversores de código

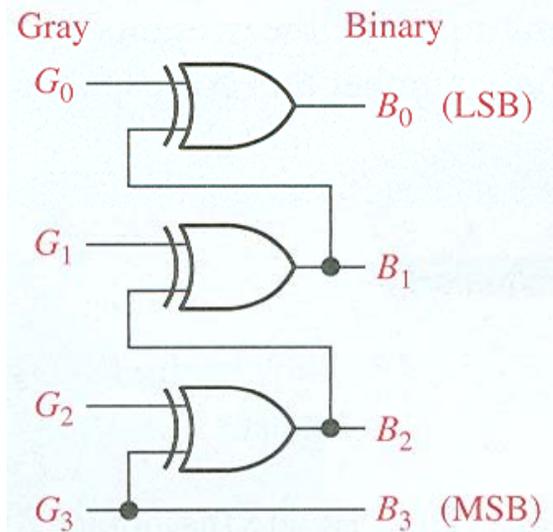
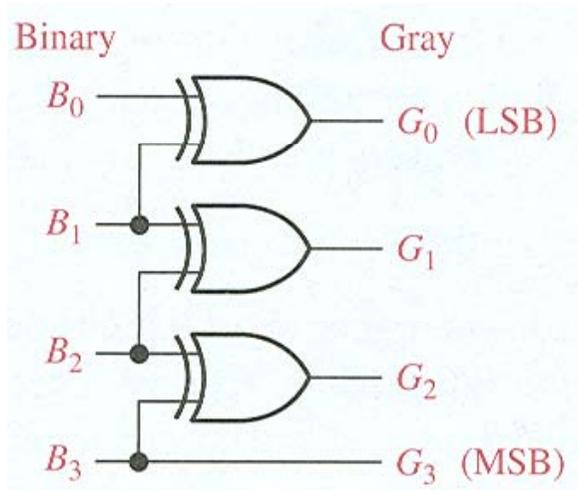
- BCD a binario

BCD BIT	BCD WEIGHT	(MSB) BINARY REPRESENTATION (LSB)						
		64	32	16	8	4	2	1
A_0	1	0	0	0	0	0	0	1
A_1	2	0	0	0	0	0	1	0
A_2	4	0	0	0	0	1	0	0
A_3	8	0	0	0	1	0	0	0
B_0	10	0	0	0	1	0	1	0
B_1	20	0	0	1	0	1	0	0
B_2	40	0	1	0	1	0	0	0
B_3	80	1	0	1	0	0	0	0

	Tens Digit				Units Digit			
Weight:	80	40	20	10	8	4	2	1
Bit designation:	B_3	B_2	B_1	B_0	A_3	A_2	A_1	A_0

Conversores de código

- Binarío a Gray



BINARY	GRAY CODE
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

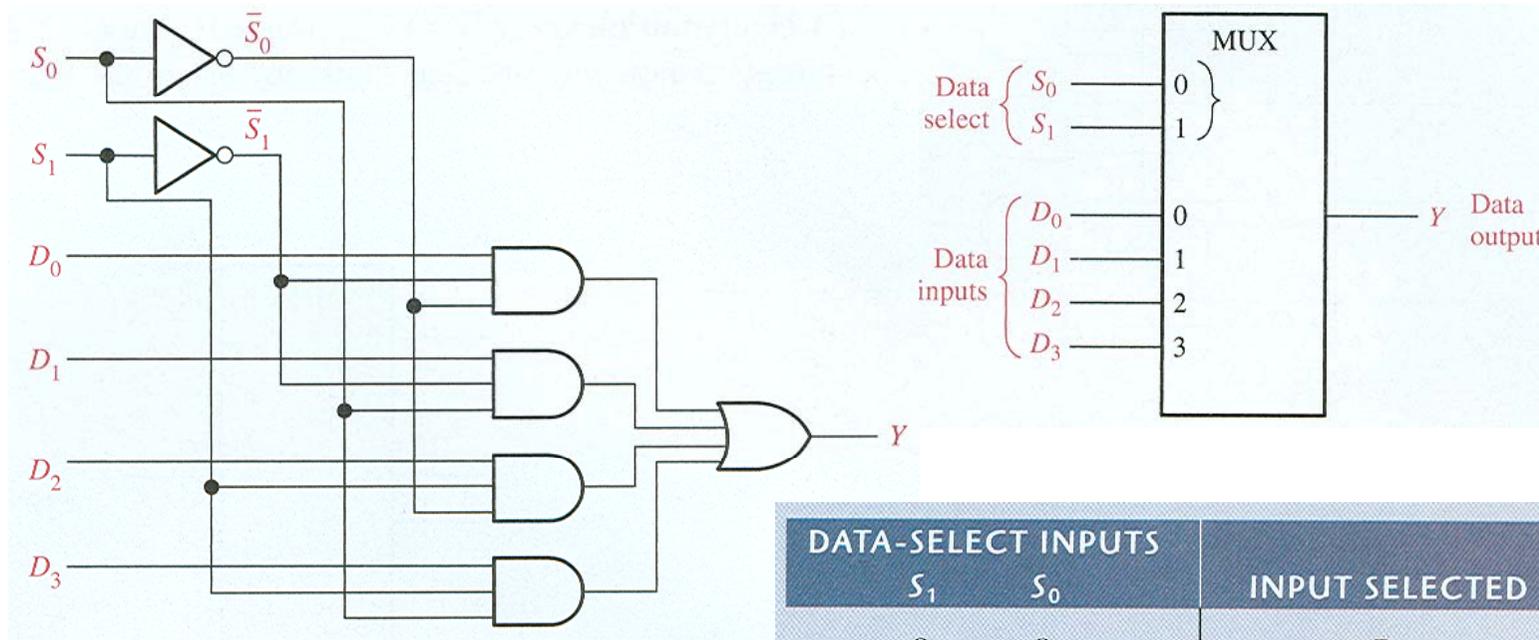
Multiplexores (Selectores de datos)

En un Multiplexor (MUX), los datos procedentes de varias líneas pasan a una sola línea.

- Multiplexor de 4 entradas

Multiplexores (Selectores de datos)

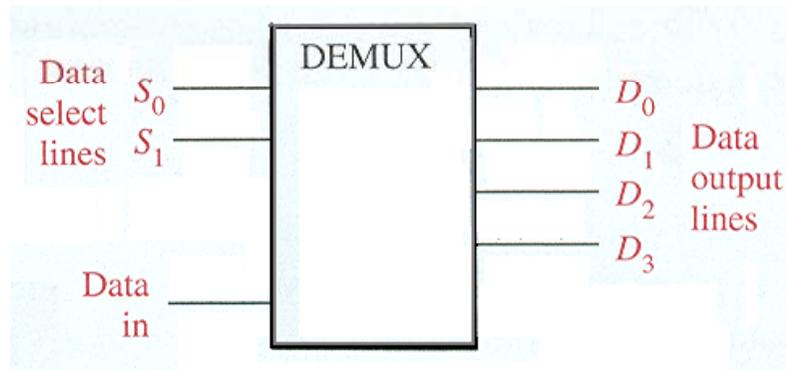
- Multiplexor de 4 entradas



DATA-SELECT INPUTS		INPUT SELECTED
S_1	S_0	
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

Demultiplexores/ Distribuidor de datos

- 1 línea a 4 líneas



DATA-SELECT INPUTS		OUTPUT SELECTED
S_1	S_0	
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

