

TEMA 6

CIRCUITOS SAMPLE & HOLD Y DE CAPACIDADES CONMUTADAS

Habitualmente, los circuitos electrónicos se crean conectando elementos activos, como transistores o amplificadores operacionales, que son realimentados con elementos pasivos que habilitan caminos por donde circula corriente. Así, si el alumno intenta pensar en las estructuras que ha visto hasta el momento, caerá en la cuenta de que prácticamente todas las estructuras analógicas están realimentadas con impedancias generalizadas, especialmente resistencias. Esto implica que existe una relación lineal y continua en el tiempo entre la tensión aplicada y las corrientes que atraviesan el dispositivo.

Existe otra línea de creación de circuitos en la que no es necesario utilizar resistencias. En ella, las estructuras se crean con elementos activos y con capacidades cuyas carga y descarga son controladas por conmutadores. Algo característico de los condensadores es que pueden memorizar tensiones analógicas. Imaginemos que cargamos un condensador ideal, C , con un tensión conocida, V_X . Se produce una redistribución de carga entre las placas del condensador, teniendo cada una de ellas una carga de valor $Q_X = \pm C \cdot V_X$. Si desconectamos el condensador de la red que lo cargó, la carga permanece atrapada ahí de manera indefinida pues no existe ningún camino entre terminales que haga entrar en contacto a las cargas y cancelarse. Así, el condensador guardaría la tensión grabada para siempre o hasta que se produjera un cambio en las condiciones de trabajo: que se grabe una nueva tensión, que se lea la grabada, etc. Evidentemente, dado que hay corrientes de fuga dentro del condensador real, la carga acabaría desapareciendo. Sin embargo, el tiempo necesario para que esto ocurra puede ir de segundos a horas y este tiempo es más que suficiente para que se pueda leer la tensión del condensador y procesarla.

Vamos a ver tres tipos de circuitos basados en condensadores. Estos son los siguientes:

- Circuitos «*Sample & Hold*»
- Circuitos basados en capacidades conmutadas
- Circuitos conversores de nivel

Haremos especial hincapié en la primera familia dada su importancia en la instrumentación electrónica.

1 Circuitos Sample & Hold

Se denomina «**circuito sample & hold**», «**circuito S/H**» o «**circuito de muestreo y retención**» a un circuito que, gobernado por una señal lógica de control, es capaz de leer una señal de entrada y almacenar su valor para mostrarlo de manera constante en la salida. En algunos casos, la señal de salida no será exactamente la de entrada sino una versión invertida o, en general, amplificada. Este tipo de bloques se han visto de manera ideal en otras asignaturas de la titulación pues son cruciales en el procesamiento de la señal. En este tema, veremos cómo se pueden construir a partir de elementos discretos sobradamente conocidos.

Dos conceptos temporales que tienen importancia en el estudio de circuitos S/H son el «**tiempo de muestreo**» y el «**tiempo de retención**». El primero marca el tiempo mínimo

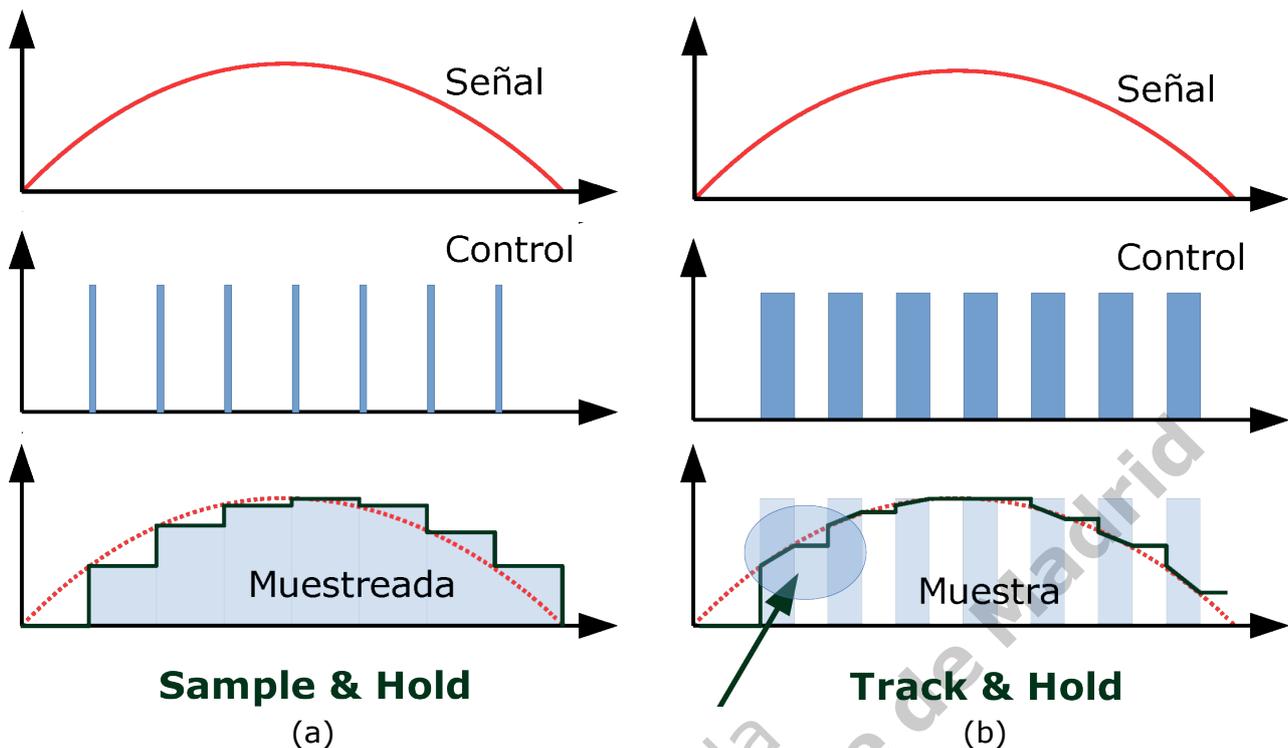


Figura 1: Diferencia entre las señales de salida de un circuito S/H ideal (a) y un T/H real (b). Durante el tiempo de muestreo, la señal de entrada se filtra directamente hacia la salida del circuito T/H, cosa que no ocurre en el S/H idealizado.

necesario para almacenar correctamente el valor de la entrada y el segundo el tiempo que el dispositivo puede retener la señal. Ambos tiempos, idealmente, deberían ser nulo e infinito respectivamente aunque sus valores exactos dependen de la topología interna del circuito y de la calidad de los elementos que los forman.

También se suele utilizar en la literatura otro concepto muy similar, y prácticamente sinónimo, que es el de «**circuito Track & Hold**», «**circuito T/H**» o «**circuitos de seguimiento y retención**». De acuerdo con la teoría de la señal, el proceso de muestreo debería ser prácticamente instantáneo seguido por un periodo de retención indefinido. Sin embargo, en la práctica, el periodo de muestreo requiere un tiempo pequeño pero no nulo durante el que la señal de entrada se filtra hacia la salida. El primer caso, asimilable a un bloque idealizado, corresponde a los circuitos S/H en tanto que el segundo, más realista, corresponde a los T/H. Fig. 1 describe de manera gráfica el comportamiento de ambos tipos de circuitos. Es justo reconocer que, en la práctica, ambos términos se utilizan indistintamente.

1.1 Núcleo de un circuito S/H

El elemento básico para construir un circuito S/H es el mostrado en Fig. 2. **Consta de un condensador y un interruptor** accionable a voluntad. Cuando la señal de control ϕ se activa (**Fase de seguimiento**), el condensador se conecta a la entrada y almacena una carga de valor $Q = C_H \cdot V_{IN}$. Cuando ϕ se desactiva (**fase de retención**), el condensador se desconecta de la entrada y la salida muestra el último valor de entrada almacenado. Esta estructura presenta, sin embargo, dos problemas fundamentales: la *sensibilidad a los efectos de carga* y el *efecto pedestal*.

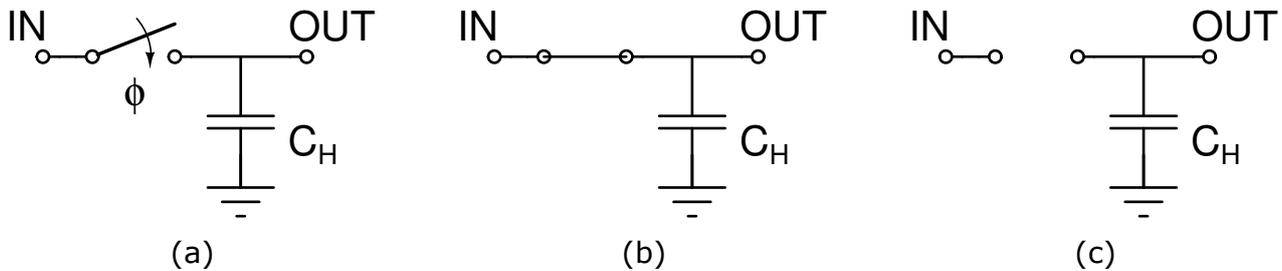


Figura 2: Núcleo elemental de un circuito S/H (a). Durante la fase de muestreo (b), se cortocircuitan la entrada y la salida y se graba la tensión de entrada en el condensador. Durante la fase de retención (c), se aísla el condensador de la entrada y mantiene de manera indefinida la última tensión grabada antes de la apertura del conmutador.

1.1.1 Efectos de carga

En este apartado, el término «carga» no debe interpretarse como «carga eléctrica» sino como la alteración que se produce en un circuito al conectarle otro con unas características no ideales y que pueden producir un cambio en el punto de operación del circuito original. En otras lenguas como el inglés, estos conceptos están claramente separados: *Charge*, para esa cualidad intrínseca de la materia, y *load*, para hablar de la influencia de los elementos del circuito.

Supongamos, en primer lugar, que la entrada del S/H es la salida de una red cualquiera que se puede modelar con su equivalente Thévenin, V_S , con una impedancia de salida, Z_S . Asimismo, la salida del condensador se conecta a otra red cuya etapa de entrada es modelable como una impedancia generalizada, Z_O . Todo esto se recoge en Fig. 3.

Pueden extraerse dos conclusiones de este nuevo modelado del sistema. En primer lugar, y si suponemos que $|Z_S| \ll |Z_O|$, se ve con claridad que **el condensador no puede cargarse de manera instantánea** pues Z_S limita el valor de la corriente, I_{IN} , que puede dar el generador de tensión. Si asumimos que Z_S es puramente resistiva ($Z_S \equiv R_S$), el tiempo de carga sería del orden de $\tau \sim R_S \cdot C_H$ pues estamos frente con una red RC simple. Este valor nos permite determinar el tiempo de muestreo pues hasta que no haya transcurrido un tiempo de cuatro veces τ o más el condensador no se habrá cargado completamente.

Otro problema ocurre **durante el periodo de retención**. Descontando fugas a través del propio condensador o del conmutador, **el condensador se descarga** a causa de la corriente I_O . Si Z_O es puramente resistiva y equivale a R_O , el condensador se descarga exponencialmente de tal modo que, tras transcurrir un tiempo $R_O \cdot C_H$, la carga almacenada se ha reducido a un 37% de la original¹. Otra posibilidad es que Z_O sea una fuente de corriente constante de valor I_O . En este caso, la tensión del condensador durante el periodo de retención variaría a un ritmo igual a

$$\frac{dV_C}{dt} = -\frac{I_O}{C_H} \quad (1)$$

Puede observarse que:

- Cuanto mayor sea C_H , menor es el efecto de la acción de carga debida a I_O . Lo mismo se deduce si la red es puramente resistiva pues el tiempo característico, $\tau = R_O \cdot C_H$, es mayor y, por tanto, su capacidad de retención.
- El condensador no tiene por qué descargarse ya que, si I_O sale del sistema de lectura, la tensión del condensador aumentaría. Esto es lo que ocurre, por ejemplo, si el sistema de lectura es un seguidor de tensión cuyo amplificador operacional tiene una corriente de polarización de la entrada, $I_{B,-}$, saliente.

¹Puesto que $e^{-1} = 0.367879 \dots$

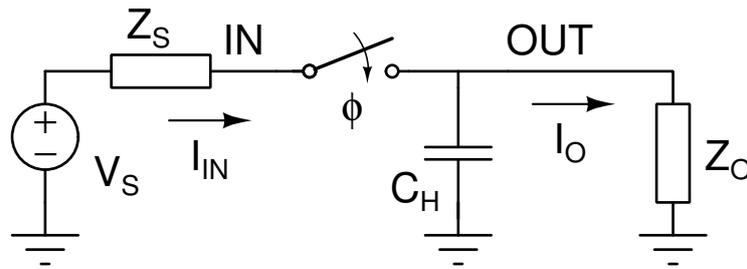


Figura 3: Efectos de carga sobre un núcleo básico S/H.

- Hay que tener cuidado con un aumento desproporcionado de C_H . Recordemos que el tiempo de muestreo se ve incrementado en la misma proporción.

1.1.2 Efecto pedestal

Otro fenómeno característico de los circuitos S/H es el **efecto pedestal**. Ya se vio algo similar al estudiar los conmutadores analógicos cuando se definió el parámetro «inyección de carga» (*charge injection*). En muchos casos, el conmutador de un circuito S/H se puede modelar con un par de transistores MOS de distinto tipo actuando en paralelo (Fig. 4a). En algunos casos simples, se puede prescindir del transistor PMOS. Ambos transistores son controlados por una señal de reloj ϕ y por su negada, $\bar{\phi}$. Asimismo, en caso de que el reloj sea externo y utilice sus propias tensiones de alimentación, las señales tienen que ser adaptadas a los niveles analógicos del circuito con lo que el nivel lógico «1» será la tensión de alimentación positiva, $+V_{CC}$, y el «0» será la negativa, $-V_{EE}$. Por otro lado, dado que las tensiones entre los extremos del conmutador se van a suponer despreciables, los transistores no estarán nunca en la región de saturación. Así, cuando estén activos, estarán en zona lineal y, cuando estén apagados, en corte.

Centrémonos en el caso del transistor NMOS en zona lineal (Fig. 4b). En él, se ha creado un canal de electrones que une el drenador y la fuente. De acuerdo con lo aprendido en «Física de Dispositivos», la carga total necesaria para formar el canal será:

$$Q_N = -C_{OX} \cdot (V_{GS} - V_{THN}) = -\frac{W_N \cdot L_N \cdot \epsilon_{OX}}{t_N} \cdot (V_{CC} - V_{IN} - V_{THN}) \quad (2)$$

pues $V_G = +V_{CC}$, $V_S = V_{IN}$ y $C_{OX} = \frac{W_N \cdot L_N \cdot \epsilon_{OX}}{t_N}$. W_N es la anchura del canal, L_N su longitud, ϵ_{OX} la permitividad dieléctrica del óxido de puerta, t_N su anchura y V_{THN} la tensión umbral del transistor NMOS. Obsérvese que la carga es negativa pues se ha formado por acumulación de electrones. Del mismo modo, la carga acumulada en el transistor PMOS, no representado en los dibujos, es:

$$Q_P = C_{OX} \cdot (V_{SG} - |V_{THP}|) = \frac{W_P \cdot L_P \cdot \epsilon_{OX}}{t_P} \cdot (V_{IN} + V_{EE} - |V_{THP}|) \quad (3)$$

Los términos son equivalentes a los del NMOS cambiando el subíndice. La carga total acumulada en el canal sería:

$$Q_T = \alpha + \beta \cdot V_{IN} \quad (4)$$

con

$$\alpha = \frac{W_P \cdot L_P \cdot \epsilon_{OX}}{t_P} \cdot (V_{EE} - |V_{THP}|) - \frac{W_N \cdot L_N \cdot \epsilon_{OX}}{t_N} \cdot (V_{CC} - V_{THN}) \quad (5)$$

$$\beta = \frac{W_P \cdot L_P \cdot \epsilon_{OX}}{t_P} - \frac{W_N \cdot L_N \cdot \epsilon_{OX}}{t_N} \quad (6)$$

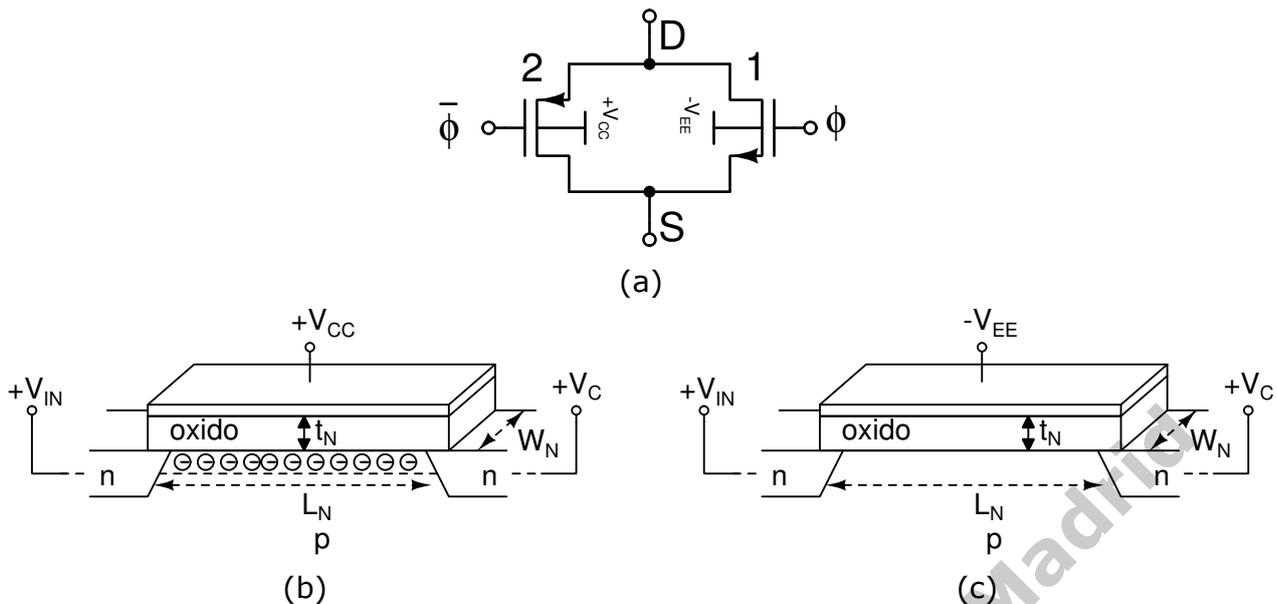


Figura 4: Diferencia entre las señales de salida de un circuito S/H ideal (a) y un T/H real (b). Durante el tiempo de muestreo, la señal de entrada se filtra directamente hacia la salida del circuito T/H, cosa que no ocurre en el S/H idealizado.

Ahora planteémonos qué ocurre cuando se abre el conmutador. En ese momento, los canales deben desaparecer expulsados por el campo eléctrico de la puerta, cuyo sentido se ha invertido (Fig. 4c). ¿Dónde se va esa carga? Una parte, situada cerca de la entrada IN , volverá hacia ésta y desaparecerá sin dejar rastro. Sin embargo, la parte del canal más cercana al condensador migrará hacia éste. Al llegar ahí, se producirá una variación en la carga que se había acumulado originalmente y, con ella, la tensión grabada. Si suponemos que al condensador ha llegado el 50% de la carga del canal, podemos estimar el cambio como

$$\Delta V_{OUT} = \frac{1}{2} \cdot \frac{Q_T}{C_H} = \frac{\alpha}{2C_H} + \frac{\beta}{2C_H} \cdot V_{IN} \quad (7)$$

Este incremento de tensión se produce inmediatamente tras la conmutación del interruptor de tal modo que, en un osciloscopio, se observaría un cambio brusco (o *pedestal*) entre el último valor de tensión guardado y el valor que aparece durante la fase de retención. Puede verse que hay un término constante, de valor $\frac{\alpha}{2C_H}$, que es equivalente a una tensión de *offset* y que puede eliminarse con diversas técnicas. Muchos más problemas da el término $\frac{\beta}{2C_H} \cdot V_{IN}$ pues introduce un error en la ganancia del circuito que no puede eliminarse. Por tanto, hay que buscar técnicas de diseño que permitan minimizar este efecto.

Está claro, sin ir más lejos, que el aumento de C_H conlleva una atenuación del efecto pedestal. Sin embargo, ya vimos que esto puede comprometer la velocidad del dispositivo. Otra solución consiste en la elección cuidadosa de las características de los transistores pues en Eq. 6 hay dos términos de signos opuestos que podrían cancelarse entre sí. Esta solución no es válida en algunos diseños que trabajan únicamente con transistores NMOS. Asimismo, algunos diseños incorporan transistores bobos (*dummy transistors*) que pueden funcionar como tampón que atrapa las cargas liberadas. Finalmente, en otros casos, es la realimentación del sistema la que cancela el efecto, como veremos en el siguiente apartado.

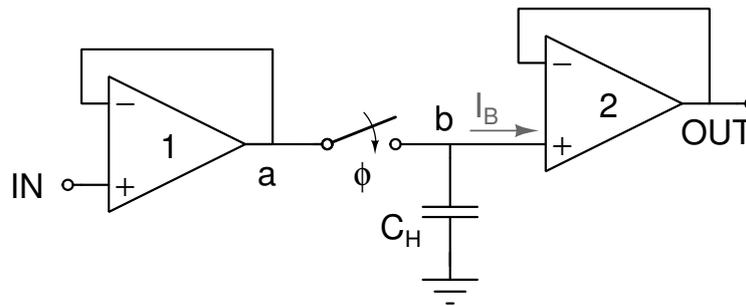


Figura 5: Estructura simple de circuito S/H con dos amplificadores operacionales como seguidores de tensión.

1.2 Circuitos S/H con amplificadores operacionales

Algunos de los problemas que afectan al núcleo básico del circuito S/H pueden resolverse utilizando amplificadores operacionales, en particular los debidos a los efectos de carga. Así, **la simple colocación de un par de seguidores de tensión** (Fig. 5) consigue disminuir el tiempo de carga del condensador y aumentar el tiempo de retención. En esta estructura, es el op amp 1 quien carga el condensador liberando al nudo IN de hacerlo. Por otro lado, el único efecto de carga que observa C_H es el proveniente de la corriente de polarización de la entrada no inversora del op amp 2. El valor de esta corriente depende de la tecnología con que se haya construido este amplificador. Así, si se ha montado en tecnología puramente bipolar, I_B puede ser bastante alta (del orden de nA o más). Si, en cambio, se ha utilizado CMOS o tecnología bipolar con par diferencial de entrada tipo JFET, esta corriente es despreciable ya que se encuentra en el orden del pA o incluso del fA.

Esta estructura presenta dos inconvenientes. El primero de ellos es que las tensiones de *offset* de los amplificadores operacionales se suman directamente a la salida. Así, es posible ver que cuando el interruptor está cerrado, $V_a = V_b$, $V_a = V_{IN} + V_{OS,1}$ y $V_{OUT} = V_b + V_{OS,2}$ con lo que $V_{OUT} = V_{IN} + V_{OS,1} + V_{OS,2}$. Y recordemos que, para minimizar la descarga a través de I_B , se ha sugerido el uso de transistores con par diferencial de entrada tipo FET, sea CMOS o JFET, y éstos se caracterizan por tener una tensión de *offset* de entrada mucho más alta que los puramente bipolares. En resumen, o se aumenta el tiempo de retención, o se disminuye el *offset*. Es difícil conseguir ambos objetivos con esta topología.

El segundo problema que aparece en esta estructura es que no se ha resuelto el problema del efecto pedestal.

Se podría atenuar el problema de la tensión de *offset* con un simple razonamiento: sólo es necesario que el op amp 2 sea de tipo FET y nos da igual qué ocurra con el op amp 1. Si nos decantáramos por crear la estructura con componentes discretos, se podría utilizar un op amp puramente bipolar en la posición 1 y otro FET en la 2. De este modo, la tensión de salida efectiva sería $V_{OUT} \approx V_{IN} + V_{OS,2}$ pues $V_{OS,1} \ll V_{OS,2}$. Para eliminar el efecto de $V_{OS,2}$, hay que modificar la topología del circuito. Ésto es lo que se ha hecho en Fig. 6. En esta estructura, un simple examen ocular nos permitiría deducir que, cuando el conmutador se haya cerrado, todos los amplificadores se encontrarán correctamente realimentados y se situarán en la zona lineal de trabajo. De este modo, $V_{OUT} = V_{-1} \cong V_{IN} + V_{OS,1}$. Si hiláramos aún más fino, podríamos plantear las siguientes ecuaciones asumiendo que la ganancia en lazo de los dos op amps es la misma, A_D . De este modo:

$$V_a = A_D \cdot (V_{IN} - V_{OUT} + V_{OS,1})$$

$$V_a = V_b$$

$$V_{OUT} = A_D \cdot (V_b - V_{OUT} + V_{OS,2})$$

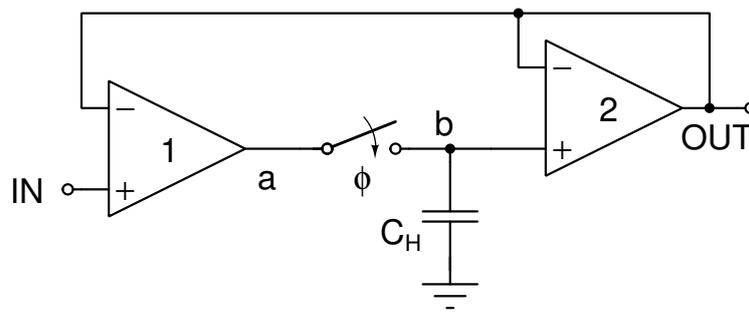


Figura 6: Estructura de circuito S/H con dos amplificadores operacionales y realimentación cruzada para cancelar la tensión de offset del op amp 2.

que, una vez resueltas, conducen a:

$$V_{OUT} = \frac{V_{IN} + V_{OS,1} + A_D^{-1} \cdot V_{OS,2}}{1 + A_D^{-1} + A_D^{-2}} \quad (8)$$

Como podemos ver, la influencia de $V_{OS,2}$ se ha reducido un factor A_D^{-1} . Como en el caso anterior, si construimos el circuito con componentes discretos, una elección adecuada del op amp 1 eliminaría prácticamente por completo el efecto de la tensión de *offset*. ¿Qué precio hemos tenido que pagar para conseguirlo? La velocidad de respuesta. Cuando se abre el conmutador de Fig. 6, el op amp 1 deja de estar realimentado y salta a saturación. Cuando el conmutador vuelva a cerrarse, el amplificador deberá abandonar la zona de saturación y pasar a la lineal. Éste es uno de los procesos más lentos en estos dispositivos no siendo de extrañar que se necesite un tiempo del orden de ms para recuperar el régimen adecuado de trabajo.

Y, por otro lado, sigue sin resolverse el efecto pedestal. Para conseguirlo, se suele proponer una estructura similar a la de Fig. 7. En esta estructura, el condensador C_H se utiliza para realimentar el op amp 2, que está configurado como un integrador con ganancia negativa. Para que la realimentación sea negativa y el sistema estable, es necesario completar el lazo de realimentación a través del terminal no inversor del op amp 1. Como en el caso anterior, es fácil ver que la tensión de salida es $V_{OUT} = V_{+,1} \approx V_{IN} - V_{OS,1}$. El op amp 2 apenas afectaría a la salida. Ocurre que el nudo b es una tierra virtual, con lo que el condensador se carga entre OUT y esta tierra virtual. Cuando el conmutador principal, controlado por ϕ , se abre, el condensador no se puede descargar ya que el nudo b está conectado a la entrada de un op amp y a un conmutador abierto. En otras palabras, es un nudo abierto desde el punto de vista práctico con lo que la carga no puede escapar. El efecto pedestal se minimiza porque, independientemente de la entrada, el conmutador siempre está sometido a la misma tensión, 0 V provenientes de la tierra virtual. Así, habría que utilizar Eqs. 2 y 3 con $V_S = 0$ en lugar de $V_S = V_{IN}$. El efecto pedestal se reduciría a una tensión constante, de valor igual a α en Eq. 5, fácilmente corregible.

El lector se habrá dado cuenta de que existe un segundo conmutador en Fig. 7, controlado por $\bar{\phi}$. La función de este conmutador es simple: conecta a tierra la salida del op amp 1 y así evita que se vaya a saturación, aumentando de este modo la velocidad del circuito a expensas de un incremento en el consumo de corriente.

Se han mostrado los tres ejemplos más habituales que se hallan en la literatura. Sin embargo, no son las únicas posibilidades ya que se pueden añadir más y más elementos que mejoren las características del núcleo retenedor original. Por ejemplo, se podría dejar de

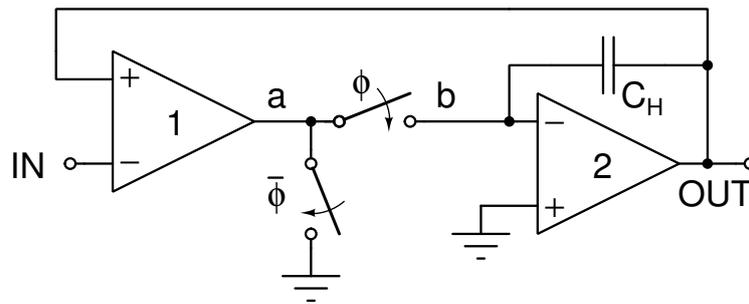


Figura 7: Estructura de circuito S/H con dos amplificadores operacionales para eliminar efecto pedestal.

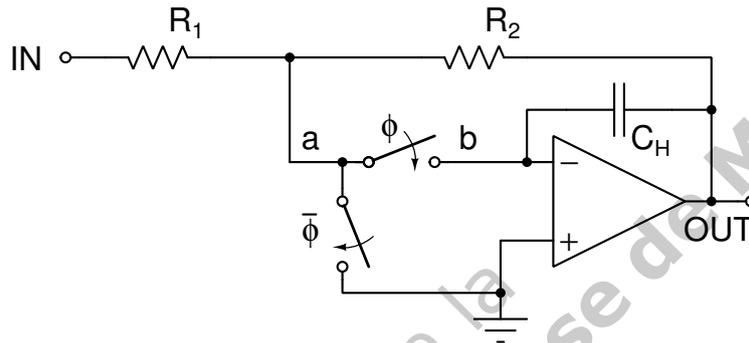


Figura 8: Inversor con capacidad de retención.

asumir que el circuito tenga ganancia unidad. Esta idea se explota, por ejemplo, en Fig. 8. Aquí, el principal conmutador, controlado por ϕ , hace que el circuito se comporte como un inversor de ecuación $V_{OUT} = -\frac{R_2}{R_1} \cdot V_{IN}$ cuando está $\phi = 1$. No se comporta, por tanto, como un seguidor de tensión. La carga contenida en C_H permite la retención de la salida cuando $\phi = 0$. Como el de Fig. 7, este circuito está exento del efecto pedestal. Por otro lado, un segundo conmutador controlado por $\bar{\phi}$ ayuda a reducir aún más este efecto pues es un *dummy switch* que absorbe parte de la carga que formó el canal del conmutador principal.

Sería posible incluso crear otras estructuras más avanzadas. Tras añadir un par de resistencias más a Fig. 8, un nuevo conmutador y otro condensador de retención, se podría construir un amplificador diferencial con capacidad de retención². En principio, sólo la imaginación pone límites a los diseños.

1.3 Uso práctico de los circuitos S/H

La primera pregunta que plantear es el uso práctico tienen los circuitos S/H. Y la respuesta es obvia: bien cuando nos interese almacenar una señal durante un tiempo, bien si queremos evitar que la señal de entrada cambie.

Lo primero puede ocurrir, por ejemplo, cuando se desea eliminar la tensión de *offset* de un bloque de acondicionamiento de la señal (Fig. 9). Esta estructura pretende medir una tensión V_{IN} con un amplificador de instrumentación de ganancia G y una tensión de *offset*, V_{OS} , comparable a la entrada. Comencemos, en primer lugar, suponiendo que $\phi = 0$. En este caso, la salida del amplificador de instrumentación será $G \cdot V_{OS}$ y el S/H se encuentra en modo de seguimiento. Cuando ϕ cambie a «1», esta tensión se retendrá en el bloque S/H y se colocará en la entrada inversora de un amplificador diferencial de ganancia 1. Mientras $\phi = 1$, la salida

²¿Podría el alumno explicar cómo?

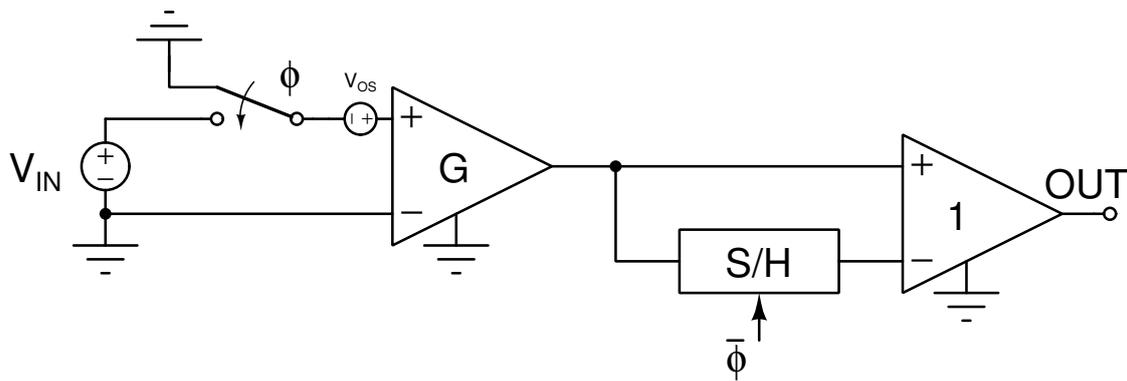


Figura 9: Eliminación de la tensión de offset con un bloque S/H.

del amplificador de instrumentación será $G \cdot (V_{IN} + V_{OS})$ con lo que la salida del amplificador diferencial, OUT en Fig. 9, será $G \cdot (V_{IN} + V_{OS}) - G \cdot V_{OS} = G \cdot V_{IN}$ y se habrá cancelado por completo el efecto de la tensión de *offset*. Esta idea permite compensar incluso las posibles derivas de V_{OS} asociadas a cambios de temperatura, alimentación, envejecimiento, etc. Por otro lado, si bien las tensiones de *offset* del bloque S/H y del amplificador diferencial no se eliminan, su efecto es mucho menor que el de V_{OS} al no ser amplificadas.

Otro ejemplo de uso práctico es la **conversión analógico-digital**, que se verá en profundidad en el próximo tema. En muchos casos, como en los conversores analógico-digitales tipo SAR, Sigma-Delta, etc., es crucial que la tensión de entrada sea constante durante el tiempo de conversión. Esto se consigue mediante la colocación de circuitos S/H entre la señal de entrada y la entrada propiamente dicha del conversor. Estos bloques son tan necesarios que suelen estar integrados en la mayor parte de los conversores.

La segunda duda que nos podemos plantear es cómo implementar estos dispositivos. Ya se ha dicho antes que, en algunos casos, el problema está resuelto pues el bloque está integrado en el dispositivo que lo utiliza, como es el caso de los conversores analógico-digitales. En otros casos, se podría realizar la construcción con circuitos integrados discretos eligiendo la topología que nos interese, prescindiendo si fuera posible de uno o los dos amplificadores operacionales. Finalmente, existe la posibilidad de adquirir circuitos integrados que realizan esta función específica. Así, por ejemplo, podríamos utilizar los modelos AD585 (Fig. 7 con C_H externo), AD783 (C_H interno), LF398 (Fig. 6 con C_H externo), etc., que realizan directamente el muestreo y retención.

2 Circuitos de capacidades conmutadas

Los circuitos de capacidades conmutadas aparecieron hace unas décadas con el objetivo de resolver uno de los mayores problemas que tiene los circuitos integrados analógicos: **la escasa reproducibilidad de las resistencias integradas de coste bajo**. Ocurría que, por el contrario, los condensadores integrados eran perfectamente repetibles. Así, se pretendió reemplazar las resistencias por capacidades conmutadas.

2.1 Equivalente resistivo de una capacidad conmutada

Ya se vio por encima este concepto al estudiar las técnicas de medida de sensores capacitivos. Es el momento de estudiar estas redes con mayor detalle.

Imaginemos que hemos construido los dos circuitos de Fig. 10. En particular, nos fijaremos primero en Fig. 10a. Este circuito está gobernado por dos señales de reloj complementadas, ϕ y $\bar{\phi}$, con un periodo T . Esta estructura está entre dos nodos A y B, situados a

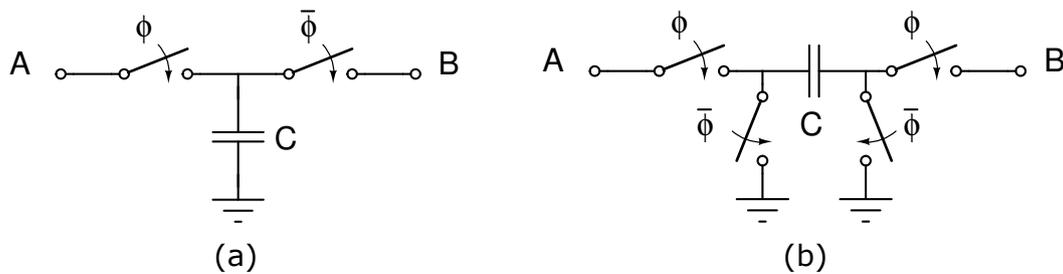


Figura 10: Dos posibles equivalentes resistivos de capacidades conmutadas.

distinta tensión. Cuando $\phi = 1$, el condensador C se carga hasta una tensión V_A para lo que debe acumular una carga $Q_{\phi=1} = C \cdot V_A$ entre sus extremos. Cuando $\phi = 0$, el condensador se desconecta de A y se conecta a B con lo que debe tener una diferencia de tensión entre sus extremos, V_B , y acumular sólo la carga necesaria, que es $Q_{\phi=0} = C \cdot V_B$. Para que esto ocurra, debe deshacerse durante esta parte del ciclo de una fracción de la carga que había acumulado previamente: $\Delta Q = Q_{\phi=1} - Q_{\phi=0} = C \cdot (V_A - V_B)$.

Pero esto también se puede comprender como si, al transcurrir un ciclo de reloj de periodo T , se hubiera transferido carga desde el nodo A al B. Si este ciclo se realiza N veces, hecho que requeriría un tiempo $N \cdot T$, la carga total transferida desde A hacia B sería $N \cdot C \cdot (V_A - V_B)$. Sin embargo, transferir carga de un nudo a otro de un circuito es crear una corriente eléctrica que, si bien no se realiza de modo constante, sí se le puede asociar el valor medio siguiente:

$$\bar{I} = \frac{N \cdot C \cdot (V_A - V_B)}{N \cdot T} = \frac{C}{T} \cdot (V_A - V_B)$$

Es decir, que la corriente que aparece entre los nodos es proporcional a la diferencia de tensión entre ellos. Ésta es una versión la ley de Ohm, válida para valores medios, con lo que podemos establecer que la red capacitiva de Fig. 10a se comporta como una resistencia de valor

$$R_{EQ} = \frac{V_A - V_B}{\bar{I}} = \frac{T}{C}. \quad (9)$$

Jugando con los valores de C y T podemos obtener, en principio, la resistencia que queramos. No es difícil ver, por otro lado, que el bloque de Fig. 10b se comporta también como una resistencia de este tipo. Pueden proponerse estructuras alternativas que se encuentran en la literatura. Estas aproximaciones son válidas si trabajamos con señales con un ancho de banda f_A tales que $f_A \cdot T \ll 1$. Por otra parte, el teorema de Nyquist establece que la frecuencia de muestreo debe ser como mínimo el doble de f_A para que la señal sea reconstruible.

Hay un problema inherente a estas estructuras. Todo falla en caso de que, por error de cálculo, los conmutadores controlados por señales de reloj invertidas están, por el motivo que sea, cerrados de manera simultánea. Si esto ocurriera, se produciría un cortocircuito entre A y B. Para evitarlo, se deben utilizar señales de reloj prácticamente invertidas donde se permite que ambas señales estén simultáneamente a **0**, que no da problemas, pero no a **1** (Fig. 11a). Esto puede conseguirse con estructuras similares a las de Fig. 11b.

2.2 Ejemplos prácticos de circuitos con capacidades conmutadas

La idea inicial de diseñar un circuito con resistencias y luego reemplazarlas con capacidades conmutadas puede utilizarse como toma de contacto aunque, en rigor, se debe realizar un estudio matemático que conducirá a una ecuación de diferencias y, a partir de ella, una transformada Z. Más aún, es posible incluso realizar una transformada bilineal para obtener

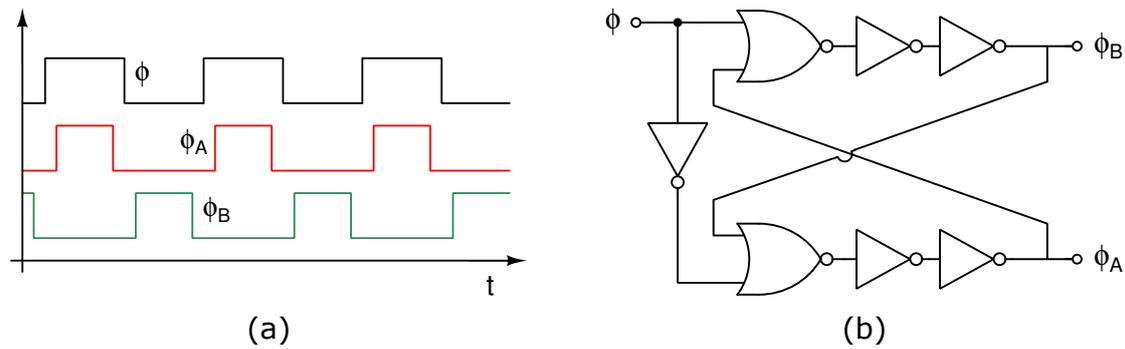


Figura 11: Señales de reloj prácticamente invertidas sin coincidencia en «1»: Evolución temporal (a) y bloque generador a partir de una señal original (b). Los inversores en cascada pueden reemplazarse con cualquier elemento capaz de introducir retraso.

$H(z)$ a partir de un bloque $H(s)$ y luego buscar el circuito con capacidades conmutadas que permita obtenerla. Esta disciplina requiere un estudio que excede con creces los propósitos de la asignatura.

Sin embargo, sí que podemos estudiar algún que otro ejemplo con propósitos didácticos. Veamos primero el circuito de Fig. 12a, controlado por dos señales prácticamente invertidas, ϕ y $\bar{\phi}$ (es decir, ϕ_A y ϕ_B de Fig. 11a). En Fig. 12b se muestra la configuración del circuito con $\phi = 1$ y en 12c con $\phi = 0$.

Cuando el reloj principal está en ALTA, la salida del amplificador operacional (a) se transfiere a la salida directamente. Asumiendo que el amplificador operacional está en la zona lineal, $V_- \equiv V_b = V_{IN}$ y el condensador C_1 se carga dado que aparece una diferencia de tensión entre los extremos. El valor de esta carga es

$$q = C_1 \cdot V_{IN}.$$

Sin embargo, ¿de dónde ha podido venir esta carga? El único modo DE obtenerla es haciendo que el terminal izquierdo de C_2 pierda exactamente esa carga y presente un defecto de carga, $-q$. Sin embargo, esto conlleva la aparición de su contrapartida positiva, $+q$, en la parte derecha de C_2 , proporcionada por el op amp. De este modo, se crea una diferencia de tensión entre los extremos de C_2 compatible con la carga que se debe almacenar. Así:

$$q = C_2 \cdot (V_a - V_b) = C_2 \cdot (V_{OUT} - V_{IN})$$

como ambas cargas son similares, se cumple que

$$C_1 \cdot V_{IN} = C_2 \cdot (V_{OUT} - V_{IN}) \Rightarrow V_{OUT} = \left(1 + \frac{C_1}{C_2}\right) \cdot V_{IN}.$$

Cuando el reloj principal cambie a BAJA, el sistema pasa a la configuración de Fig. 12c, se aíslará la salida del amplificador de la del sistema completo y el op amp se comportará como un seguidor de tensión. Esto impide que el op amp vaya a saturación debido a la acción de la corriente de polarización de la entrada inversora sobre los condensadores. Asimismo, la presencia del conmutador entre a y OUT hace que salida sólo tenga el valor esperado durante una parte del periodo de muestreo. Si este periodo es T y la señal de reloj ha cambiado n veces, podremos precisar con mayor detalle la ecuación anterior. En el instante $n \cdot T$, el valor de la salida será:

$$V_{OUT}(nT) = \left(1 + \frac{C_1}{C_2}\right) \cdot V_{IN}(nT)$$

Si prescindimos por comodidad del periodo T , la expresión anterior se convierte en la sucesión:

$$V_{OUT}(n) = \left(1 + \frac{C_1}{C_2}\right) \cdot V_{IN}(n) \quad (10)$$

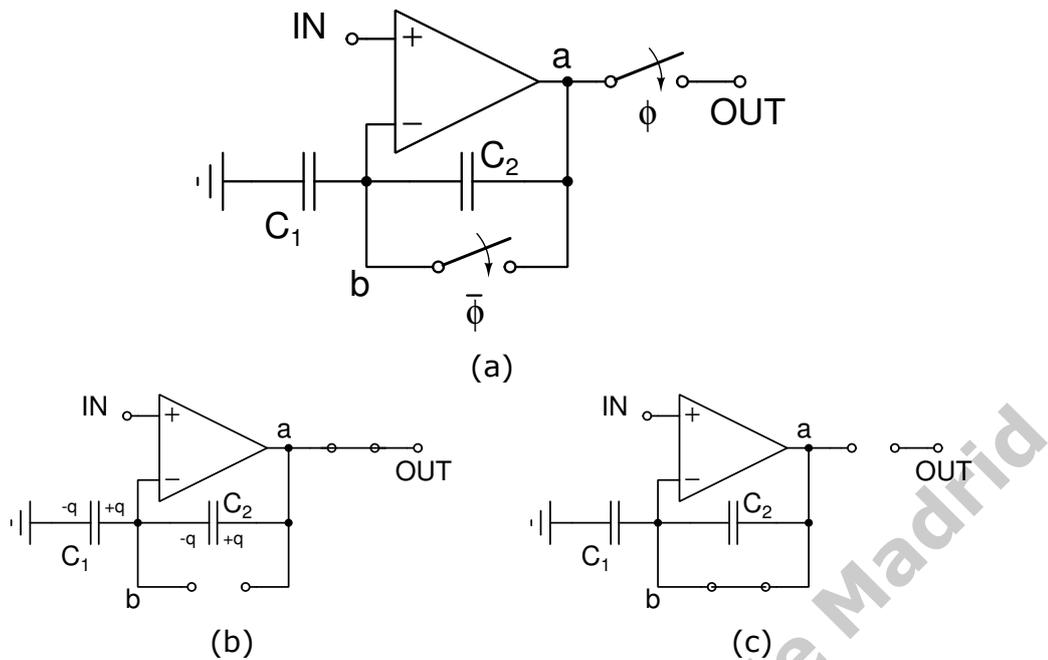


Figura 12: Un amplificador no inversor basado en capacidades (a). Con la señal de reloj en ALTA (b) y en BAJA (c).

que es una expresión equivalente a las anteriores pero que se asemeja a las ecuaciones de otros circuitos más complejos.

Pongamos ahora como ejemplo Fig. 13a, que muestra un circuito integrador. Esto puede demostrarse pues en dicha figura hay una estructura similar a la resistencia de Fig. 10a. En las otras dos subfiguras, se muestra el circuito configurado con reloj en ALTA (b) y en BAJA (c).

Supongamos que estamos en el ciclo $n \cdot T$, durante el intervalo de muestreo ($\phi = \mathbf{1}$). En este caso, el valor de la tensión de entrada es $V_{IN}(nT)$ con lo que C_1 acumula una carga igual a $q_1(nT) = C_1 \cdot V_{IN}(nT)$. ¿Qué ocurre en C_2 ? No lo sabemos. Lo único que podemos deducir es que, si la tensión de salida es $V_{OUT}(nT)$ y como el terminal izquierdo está conectado a una tierra virtual, se habrá acumulado en él una carga de valor $q_2(nT) = C_2 \cdot V_{OUT}(nT)$.

Ahora, el reloj pasa a BAJA ($\phi = \mathbf{0}$) y el circuito adopta la topología de Fig. 13c. Como el terminal superior de C_1 se conecta a una tierra virtual, la diferencia de tensión entre sus extremos se hace cero y la carga $q_1(nT)$ no puede permanecer ahí y debe irse a algún otro sitio. Sin embargo, no hay apenas lugares donde migrar y el único sitio disponible es el terminal izquierdo de C_2 , donde se había acumulado carga negativa. En consecuencia, la carga total en la parte izquierda del condensador sería:

$$-q_2(nT) + q_1(nT) = -C_2 \cdot V_{OUT}(nT) + C_1 \cdot V_{IN}(nT)$$

En la parte derecha del condensador se encargará la misma carga pero con signo opuesto. Sin embargo, aunque esta transferencia de carga haya pasado durante la última parte del ciclo n , no se puede ver en el exterior del sistema pues OUT está desconectado de a . Sólo cuando entremos en el ciclo $n + 1$ podremos ver el efecto de este flujo de carga. En este momento, volveremos a Fig. 13b marcando la ecuación anterior el valor de $q_2((n + 1) \cdot T)$. Por tanto:

$$\begin{aligned} q_2((n + 1) \cdot T) &= q_2(n \cdot T) - q_1(n \cdot T) \Rightarrow \\ C_2 \cdot V_{OUT}((n + 1) \cdot T) &= C_2 \cdot V_{OUT}(n \cdot T) - C_1 \cdot V_{IN}(n \cdot T) \Rightarrow \\ V_{OUT}((n + 1) \cdot T) &= V_{OUT}(n \cdot T) - \frac{C_1}{C_2} \cdot V_{IN}(n \cdot T) \end{aligned}$$

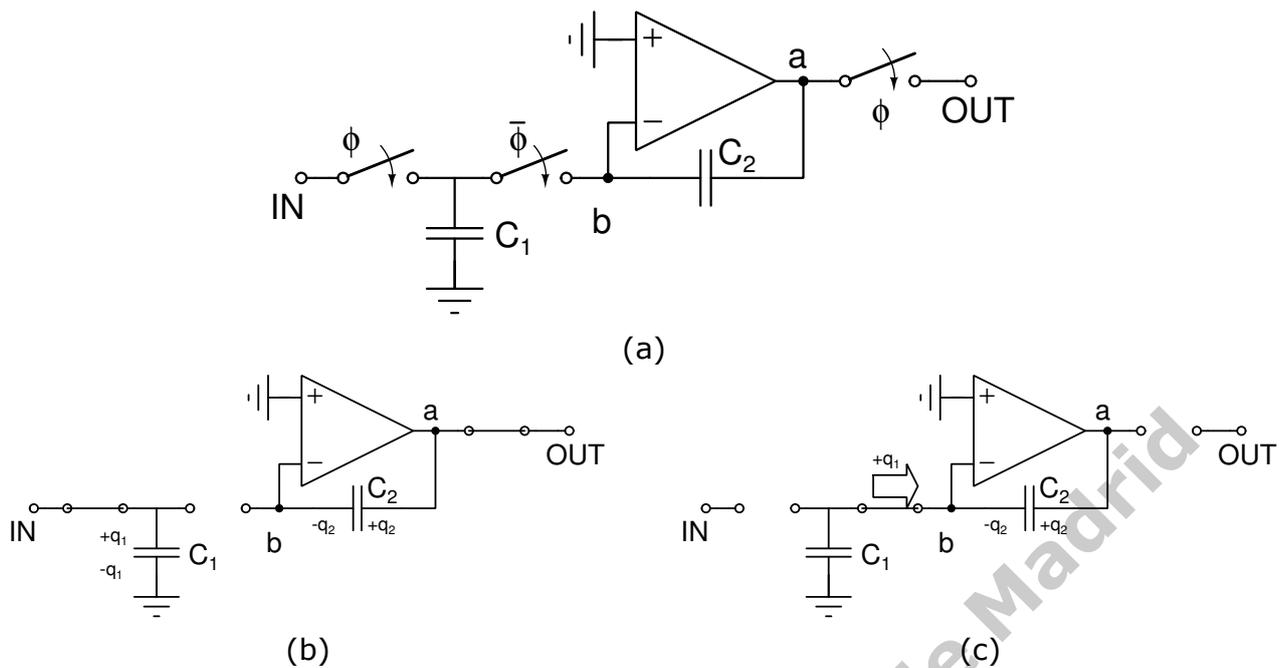


Figura 13: Integrador basado en capacidades (a). Con la señal de reloj en ALTA (b) y en BAJA (c).

Prescindiendo del periodo T por simplicidad, la expresión anterior se transforma en una ecuación de diferencias:

$$V_{OUT}(n+1) = V_{OUT}(n) - \frac{C_1}{C_2} \cdot V_{IN}(n) \quad (11)$$

Esta ecuación puede estudiarse por medio de la transformada Z y conduciría a la expresión:

$$\frac{V_{OUT}(z)}{V_{IN}(z)} = -\frac{C_1}{C_2} \cdot \frac{z^{-1}}{1-z^{-1}} \quad (12)$$

Puede verse con facilidad que ésta es la ecuación de un integrador haciendo el cambio $z = e^{sT}$ y suponiendo que trabajamos a frecuencias mucho menores de la frecuencia de muestreo con lo que $|sT| \ll 1$. Así, se acabaría demostrando que:

$$-\frac{C_1}{C_2} \cdot \frac{z^{-1}}{1-z^{-1}} \equiv -\frac{C_1}{C_2} \cdot \frac{e^{-sT}}{1-e^{-sT}} \approx -\frac{C_1}{C_2} \cdot \frac{1}{sT} = -\frac{1}{\frac{T}{C_1} \cdot C_2} \cdot \frac{1}{s}$$

Que corresponde a la relación de un integrador en el que se use una resistencia de valor $R = \frac{T}{C_1}$, que es lo que predijo Eq. 9.

Deben quedar claros dos hechos de interés sobre las estructuras de capacidades conmutadas.

- La aproximación de resistencias como capacidades conmutadas sólo tiene sentido a bajas frecuencias. En rigor, ha que utilizar siempre la transformada Z. Otra cosa es que se puede hacer un estudio en primera aproximación.
- El conmutador que une los nudos a y OUT no es necesario en realidad. Sólo se han colocado por motivos didácticos para dejar claro que sólo miramos la salida del op amp cuando el reloj está en ALTA y que, entre medias, puede pasarle lo que sea.

Volvemos a repetir que este texto es sólo introductorio. En realidad, existen muchas más posibilidades que el alumno puede explorar, si lo desea, en la literatura.

2.3 Aplicaciones prácticas en instrumentación electrónica

Se han usado los circuitos de capacidades conmutadas para la creación de circuitos integrados en los que se reemplazaban las resistencias por capacidades, especialmente para la construcción de filtros. Esto, sin embargo, excede el objetivo de la asignatura con lo que no se continuará explorando esta línea. En el área de la instrumentación electrónica, el mayor interés de estos circuitos es que son la base de una familia de elementos llamados, de manera general, FPAA (*Field Programmable Analog Arrays*). En la electrónica digital, son comunes unos dispositivos extremadamente versátiles llamados FPGAs o CPLDs cuyo funcionamiento puede ser fijado por el diseñador utilizando lenguajes específicos como VHDL o Verilog. Esto es algo que siempre se ha echado en falta en la electrónica analógica y, en particular, en el de la instrumentación electrónica. Por este motivo, se ha invertido tiempo y dinero en desarrollar dispositivos similares aunque, lamentablemente, aún estamos a mucha distancia de conseguir este objetivo.

Hay varias técnicas para fabricar estos dispositivos siendo las capacidades conmutadas una de las líneas principales de diseño. Ésta es, por ejemplo, la tecnología que emplea Anadigm para construir sus dispositivos, como las FPAA propiamente dichas (P. e., AN131E04), que ya han sido retiradas del mercado, o sus más recientes dpASP (*Dynamically Programmed Analog Signal Processors*), como el AN231E04. Lattice Semiconductors también ofreció en tiempos una gama de elementos llamadas ispPAC que fueron retirados del mercado hace pocos años.

Una de las líneas de trabajo más prometedoras es la de los PSoC³, fabricados por Cypress Semiconductor, en los que el diseñador puede crear un bloque analógico con una GUI y luego volcarlo a uno de estos elementos. Además, estos dispositivos cuentan en su interior con microcontroladores tipo ARM u 8051, ADCs, DACs, comparadores, etc. con lo que es posible crear un sistema completo sin apenas componentes adicionales.

3 Conversores de nivel

En último lugar, vamos a estudiar una familia de circuitos en los que se consiguen crear niveles de tensión DC fuera del rango de las tensiones de alimentación utilizando capacidades conmutadas. Si tenemos un sistema alimentado con tensiones de valor $+V_{CC}$ y $-V_{EE}$, en principio no podemos obtener ninguna tensión fuera de este rango de tensiones. Sin embargo, utilizando capacidades conmutadas es posible conseguirlo. Veremos dos tipos de elementos: *Conversores DC-DC por inyección de carga* y los *conversores lógicos de nivel*.

3.1 Conversores DC-DC por inyección de carga

También conocidos por su equivalente en inglés, «*charge pump DC-DC converters*», son elementos capaces de generar tensiones de valor superior a la de alimentación o incluso cambiarles el signo. El mecanismo de funcionamiento es sencillo y para explicarlo se muestran dos ejemplos en Fig. 14, con estructuras que permiten invertir (a) y doblar una tensión (b).

El primer ejemplo (Fig. 14a) es simple de entender. Cuando la señal de reloj, ϕ , se encuentra en BAJA, el condensador C_1 se carga a una tensión $+V_{CC}$. Es importante indicar que el terminal a estará a más tensión que el b y que esta condición se mantiene en la siguiente fase cuando el reloj pase a estado ALTO. Cuando esto acontezca, el terminal a se conectará con tierra y b con la salida. Como la tensión $V_a > V_b$ y $V_a = 0$, $V_{OUT} = V_b < 0$. Más concretamente, $V_{OUT} = -V_{CC}$. La función de C_2 es mantener la tensión negativa durante los semiciclos de reloj en BAJA y así que sea constante durante los semiciclos de recarga de C_1 .

En rigor, se puede afinar aún más en la determinación de V_{OUT} utilizando una ecuación de diferencias. Así, puede demostrarse que esta tensión varía según la ecuación:

$$(C_1 + C_2) \cdot V_{OUT}(n + 1) = C_2 \cdot V_{OUT}(n) - C_1 \cdot V_{CC}$$

³Hay varias familias. Consulte, por ejemplo, la familia PSoC 3 <http://www.cypress.com/products/psoc-3>

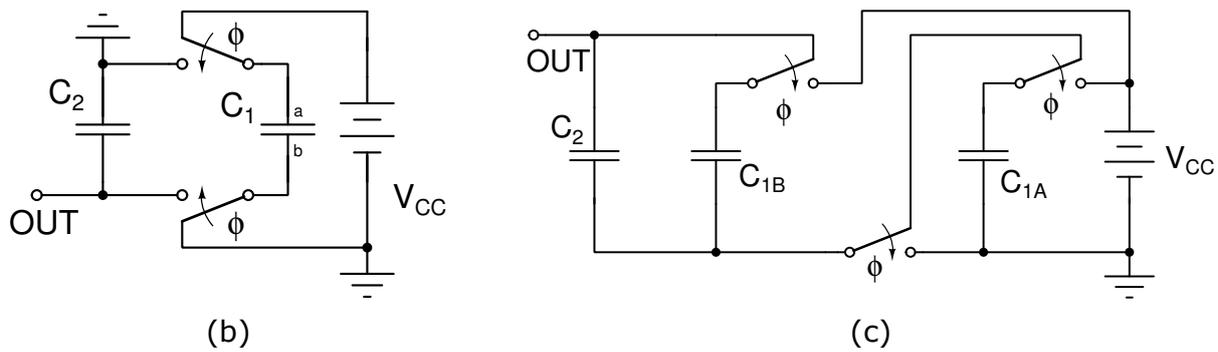


Figura 14: Ejemplos de estructuras de conversores por inyección de carga. Inversor (a) y doblador (b).

que admite una solución estable en $V_{OUT} = -V_{CC}$. La segunda estructura (Fig. 14b) es algo más compleja aunque se puede ver lo siguiente: cuando $\phi = 1$, los condensadores C_{1A} y C_{1B} se ponen en paralelo con la fuente $+V_{CC}$ y se cargan. Cuando $\phi = 0$, los dos condensadores se ponen en serie haciendo que las dos tensiones se sumen y así sacar un valor en la salida $V_{OUT} = 2 \cdot V_{CC}$. Como en el caso anterior, puede demostrarse que la tensión de salida evoluciona según la ecuación de diferencias:

$$(C_2 + C_{1S}) \cdot V_{OUT}(n+1) = C_2 \cdot V_{OUT}(n) + 2 \cdot C_{1S} \cdot V_{CC}$$

donde $C_{1S} = [C_{1A}^{-1} + C_{1B}^{-1}]^{-1} = \frac{C_{1A} \cdot C_{1B}}{C_{1A} + C_{1B}}$. Esta ecuación admite una solución estable, tras el transitorio inicial, igual a $V_{OUT} = 2 \cdot V_{CC}$.

¿Cuál es el propósito de estos dispositivos? Se van a utilizar, normalmente, para crear fuentes de alimentación a partir de valores demasiado pequeños. Imaginemos, por ejemplo, que tenemos que alimentar un sistema de instrumentación portátil con una batería de 4,5 V pero queremos usar amplificadores cuyo rango de trabajo óptimo está en el intervalo ± 10 V. Esto puede solucionarse fácilmente utilizando estos conversores (p.e., TC7660 de Microchip, MAX860 de Maxim Integrated, etc.) ya que podríamos doblar la tensión con un dispositivo e invertir su salida con otro, obteniendo un par de alimentaciones de ± 9 V, más que suficientes para el diseño. Estos dispositivos no suelen dar una corriente de salida muy alta, que suele estar entre 50 y 100 mA, pero es más que suficiente para muchas aplicaciones prácticas. En caso de requerir una mayor tensión de alimentación, habría que recurrir a fuentes de tensión conmutadas, ya con inducciones, que se estudian en la asignatura de «Electrónica de Potencia».

3.2 Conversores lógicos de nivel

Una segunda familia de dispositivos, estrechamente relacionada con los anteriores, son los «conversores lógicos de nivel». Estos elementos permiten redefinir las tensiones asociadas a cada valor lógico permitiendo incluso obtener tensiones más allá de los valores de la tensión de alimentación. A diferencia de los anteriores, no están preparados para dar mucha corriente pero sí que deben cambiar su valor con suficiente rapidez. El ejemplo clásico de elementos de este tipo son los transmisores-receptores para el protocolo RS232. En el Tema 8, veremos que este protocolo exige que el «0» sea una tensión entre +3 y +12 V y el «1» entre -3 y -12 V. Estas tensiones son imposibles de conseguir en un sistema lógico usual, donde las tensiones de alimentación están restringidas entre 0 y 5 V (o 0 y 3,3 V). Sin embargo, dispositivos como el MAX232 de Maxim Integrated o similares permiten realizar la conversión entre los niveles de tensión, en una y otra dirección.

Estos conversores no deben confundirse con otros elementos parecidos llamados, en general, «desplazadores de nivel» (*level shifters*), que son dispositivos que realizan la misma

función pero teniendo como entradas los distintos valores de la tensión de alimentación y prescindiendo de capacidades. Por ejemplo, el chip 74AUP1T45 de Nexperia permite convertir de manera simple lógicas CMOS (p.e., 0 y 3,3 V) en lógicas TTL (0 y 5 V) y viceversa sin mayor problema. En general son puertas lógicas CMOS, especialmente *buffers*, en los que los transistores han sido construidos cuidadosamente para tolerar tensiones relativamente altas y que las tensiones de conmutación sean compatibles con ambos valores de alimentación.

Para uso de alumnos de la
Universidad Complutense de Madrid
<http://www.ucm.es>