

TIPO MIXTO**MODELO C**

Nota: Esta parte del examen es de carácter eliminatorio y la nota mínima necesaria para corregir la pregunta teórico/práctica de desarrollo es de 4 sobre 10. Cada respuesta correcta se puntúa con 2 puntos sobre 10, las incorrectas restan 1 punto y las respuestas en blanco no puntúan. El peso del test en la nota final de la Prueba Presencial es del 30%.

1. ¿Cuál es el resultado de sumar aritméticamente las dos palabras de 5 bits $A(A_4, \dots, A_0) = 11011$ y $B(B_4, \dots, B_0) = 01111$, siendo A_4 y B_4 los bits más significativos? Marque la solución correcta.

- a) $S_i(S_4, \dots, S_0) = A \text{ plus } B = 01011, C_s = 1$
 b) $S_i(S_4, \dots, S_0) = A \text{ plus } B = 01010, C_s = 1$
 c) $S_i(S_4, \dots, S_0) = A \text{ plus } B = 11010, C_s = 0$
 d) $S_i(S_4, \dots, S_0) = A \text{ plus } B = 01110, C_s = 1$

2. ¿Cuál de las 4 tablas adjuntas corresponde a la tabla de síntesis de circuitos secuenciales con biestables J-K?

a)

| Q_n | Q_{n+1} | J | K |
|-------|-----------|---|---|
| 0 | 0 | 1 | x |
| 0 | 1 | 0 | x |
| 1 | 0 | x | 1 |
| 1 | 1 | x | 0 |

b)

| Q_n | Q_{n+1} | J | K |
|-------|-----------|---|---|
| 0 | 0 | 0 | x |
| 0 | 1 | 1 | x |
| 1 | 0 | x | 0 |
| 1 | 1 | x | 1 |

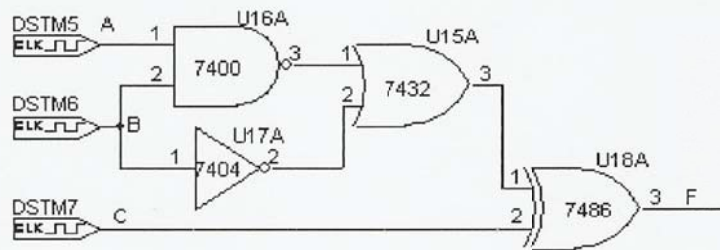
c)

| Q_n | Q_{n+1} | J | K |
|-------|-----------|---|---|
| 0 | 0 | x | 0 |
| 0 | 1 | 1 | x |
| 1 | 0 | 0 | x |
| 1 | 1 | x | 1 |

d)

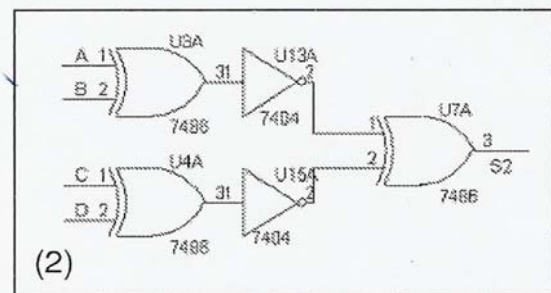
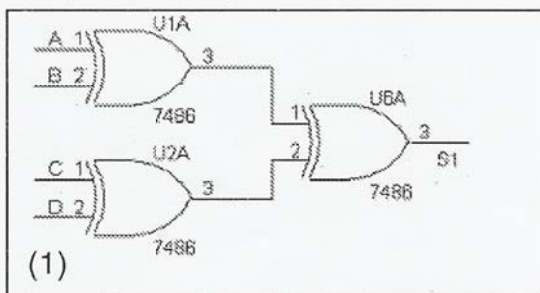
| Q_n | Q_{n+1} | J | K |
|-------|-----------|---|---|
| 0 | 0 | 0 | x |
| 0 | 1 | 1 | x |
| 1 | 0 | x | 1 |
| 1 | 1 | x | 0 |

3. Dado el circuito de la figura adjunta. ¿Qué función lógica realiza expresada con sólo puertas NAND? Marque la solución correcta.



- a) \overline{AB} b) $\overline{\overline{ABC} \overline{ABC}}$ c) $\overline{\overline{ABC} \overline{ABC}}$ d) $\overline{\overline{ABC} \overline{ABC}}$

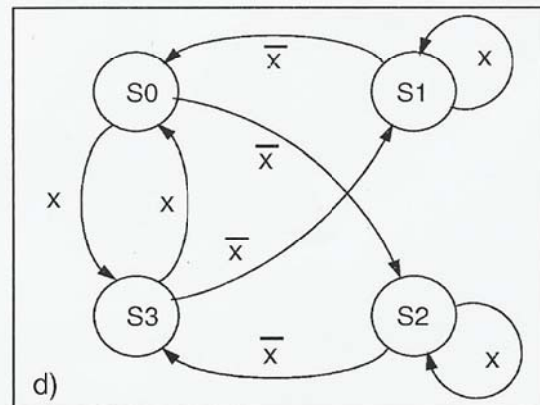
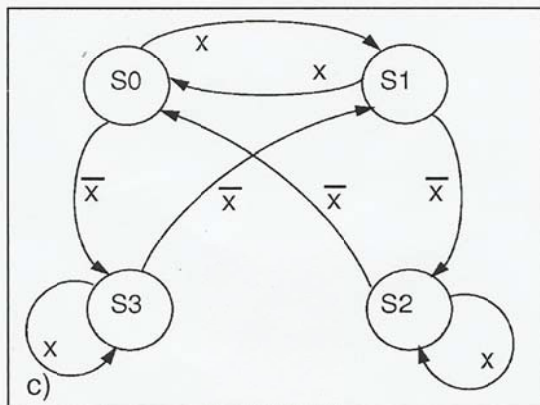
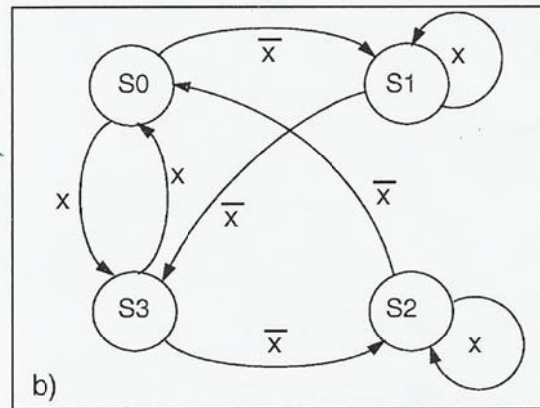
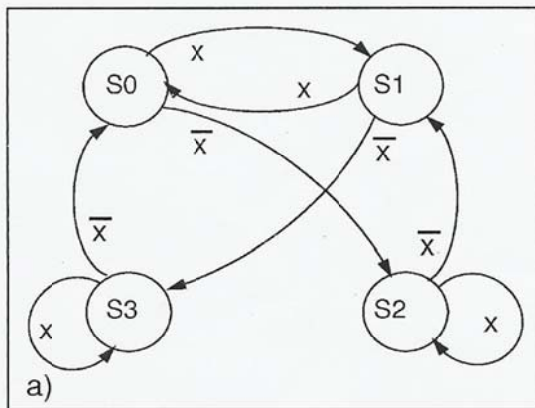
4. ¿Qué función realiza cada uno de los circuitos que se muestran en las siguientes figuras?



- a) (1) Detecta si el número de unos en la palabra de entrada es Impar
 (2) Detecta si el número de unos en la palabra de entrada es Impar
- b) (1) Detecta si el número de unos en la palabra de entrada es Impar
 (2) Detecta si el número de unos en la palabra de entrada es Par
- c) (1) Detecta si el número de unos en la palabra de entrada es Par
 (2) Detecta si el número de unos en la palabra de entrada es Par
- d) (1) Detecta si el número de unos en la palabra de entrada es Par
 (2) Detecta si el número de unos en la palabra de entrada es Impar

5. ¿A qué diagrama de transición de estados corresponde la siguiente Matriz Funcional?

$$\begin{array}{c}
 S0(t+\Delta t) \quad S1(t+\Delta t) \quad S2(t+\Delta t) \quad S3(t+\Delta t) \\
 \begin{array}{c}
 S0(t) \\
 S1(t) \\
 S2(t) \\
 S3(t)
 \end{array}
 \begin{pmatrix}
 0 & 0 & \bar{x} & x \\
 \bar{x} & x & 0 & 0 \\
 0 & 0 & x & \bar{x} \\
 x & \bar{x} & 0 & 0
 \end{pmatrix}
 \end{array}$$



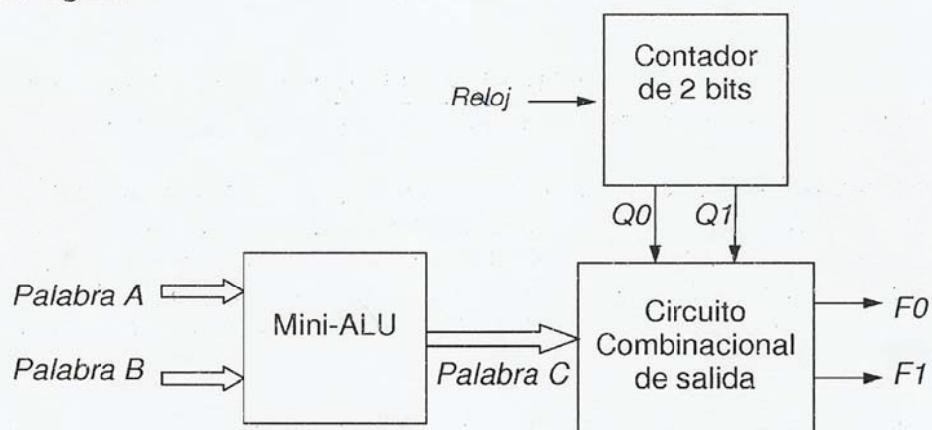
PREGUNTA TEÓRICO/PRÁCTICA de DESARROLLO

Nota 1: El peso de este apartado en la nota final de la Prueba Presencial es del 70%.

Nota 2: Siempre que se pida realizar un diseño es **imprescindible** obtener las expresiones lógicas de las señales de salida en función de las de entrada y de las de control, si las hubiere, y no se valorará el hecho de poner el circuito directamente. El diseño debe hacerse usando las tablas de verdad y/o los métodos de diseño de circuitos secuenciales o razonando de forma lógica las expresiones obtenidas.

Diseño de un sistema digital para que realice las operaciones aritmético-lógicas de Suma Aritmética, XOR, NOR y NAND, sobre 2 palabras, A y B, de 2 bits y para que presente los resultados de las operaciones de forma secuencial y de forma cíclica, y manteniendo el orden indicado:

El diagrama de bloques del sistema a diseñar es el que se muestra en la siguiente figura.



PASOS a SEGUIR y CUESTIONES a RESPONDER:

1- Diseño de la mini-ALU.

1.1. Diseñe, usando los distintos tipos de puertas, cada uno de los 4 circuitos que van a formar parte de la mini-ALU.

Las únicas condiciones del diseño son que debe ser un sumador paralelo de acarreo enlazado y que primero debe diseñar un semisumador y después, a partir de este, realizar el módulo del sumador completo y, finalmente, obtener el sumador de palabras de 2 bits.

1.2. Dibuje los circuitos resultantes.

2. Diseño del contador.

2.1. Diseñe con biestables J-K un contador síncrono de dos bits.

2.3. Dibuje el circuito resultante.

3. Diseño del circuito combinacional de salida,

El sistema digital debe presentar a la salida y con cada pulso de reloj el resultado de las operaciones de forma secuencial y en el orden especificado, para lo cual cuenta con dos salidas, F0 y F1, una para cada bit de la palabra de salida, F. Por tanto, hay que diseñar un circuito combinacional que dé paso en cada momento al resultado de la operación en curso.

3.1. Diseñe el circuito combinacional de salida. Para el diseño de este circuito puede usar distintos tipos de puertas o multiplexos de 4 a 1

Nota: Como la operación aritmética de la suma de dos palabras de 2 bits tiene 3 salidas, los dos bits de la suma y el acarreo (o arrastre), y el sistema a diseñar sólo tiene dos salidas (una para cada bit resultante de las operaciones) deberéis despreciar dicho acarreo. Es decir, el acarreo no se presenta a la salida.

4. Circuito completo del sistema digital.

4.1. Dibuje el circuito completo conectando todos los circuitos diseñados.

Fundamentos de sistemas digitales

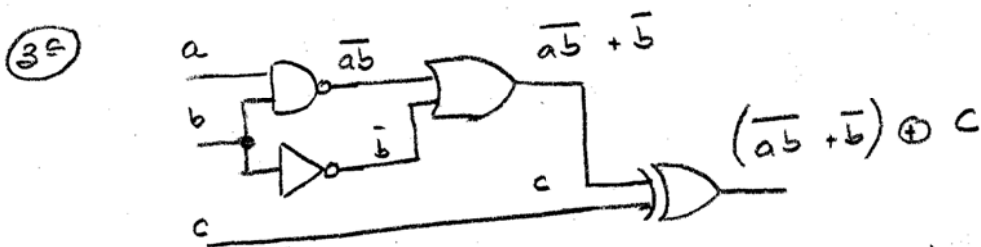
Enero 2012 - 15 - Modelo C

1)
$$\begin{array}{r} 1111 \\ 11011 \\ 01111 \\ \hline 01010 \Rightarrow \text{B} \end{array}$$

2) Tabla JK

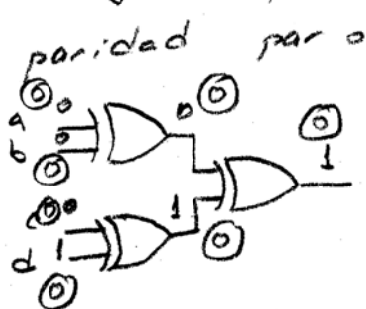
| Q | Q _{n+1} | J | K |
|---|------------------|---|---|
| 0 | 0 | 0 | x |
| 0 | 1 | 1 | x |
| 1 | 0 | x | 1 |
| 1 | 1 | x | 0 |

⇒ d



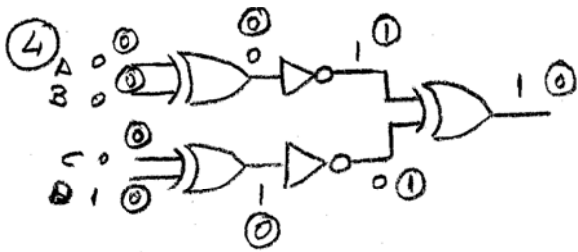
$$\begin{aligned} (\overline{ab} + \overline{b}) \oplus c &= (\overline{ab + b} \cdot c) + ((\overline{ab} + \overline{b}) \cdot \overline{c}) = \\ &= (\overline{a\overline{b}} \cdot \overline{b} \cdot c) + \overline{a\overline{b}} \cdot \overline{c} + \overline{b} \cdot \overline{c} = ab \cdot b \cdot c + \overline{a} \cdot \overline{b} \cdot \overline{c} + \overline{b} \cdot \overline{c} \\ &= abc + \overline{a} \cdot \overline{b} \cdot \overline{c} + \overline{b} \cdot \overline{c} = abc + \overline{c}(\overline{a} + \overline{b}) = abc + \overline{c}(\overline{ab}) = \\ &= abc + (\overline{ab\overline{c}}) = \overline{abc \cdot (\overline{ab\overline{c}})} \Rightarrow \text{C} \end{aligned}$$

4) según respuestas tienen que ser detectores de



1º - Hacemos matiendo $\begin{matrix} A & B & C & D \\ 0 & 0 & 0 & 1 \end{matrix}$
Nos da salida 1

2º - Hacemos matiendo $\begin{matrix} 0 & 0 & 0 & 0 \end{matrix}$
Nos da salida 0
⇒ detector paridad impar



1º Metiendo A B C D

Da salida = 1

2º metiendo 0000

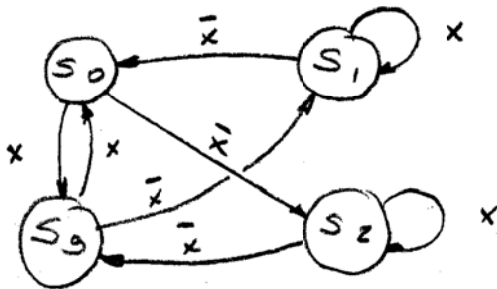
Da salida = 0

↓
Detector paridad impar.

Solución (a)

(5)

| | $S_0(t+1)$ | $S_1(t+1)$ | $S_2(t+1)$ | $S_3(t+1)$ | |
|-------|------------|------------|------------|------------|--|
| S_0 | 0 | 0 | \bar{x} | x | $x \rightarrow$ Del S_0 .. S_3 con \bar{x} |
| S_1 | \bar{x} | x | 0 | 0 | $0 \rightarrow$ del S_1 $\bar{x} \rightarrow S_0$ $S_1 \xrightarrow{x} S_1$ |
| S_2 | 0 | 0 | x | \bar{x} | $\bar{x} \rightarrow$ del $S_2 \xrightarrow{x} S_2$ $S_2 \xrightarrow{x} S_3$ |
| S_3 | x | \bar{x} | 0 | 0 | $0 \rightarrow$ del $S_3 \xrightarrow{x} S_0$ $S_3 \xrightarrow{\bar{x}} S_1$ |



→ (d)

Problema

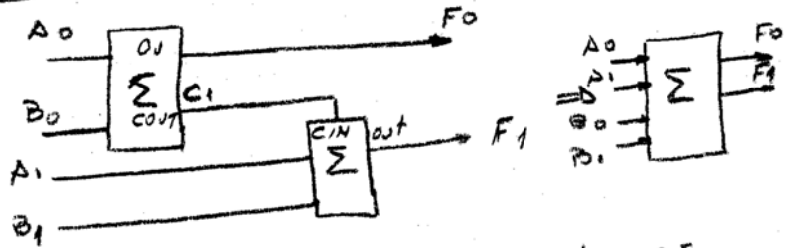
Operaciones }
 A plus B
 XOR
 NOR
 NAND

Alabras : 2 de 2 bits

A, A₀
 B, B₀

J.- ALU + circuito salida

Sumador →

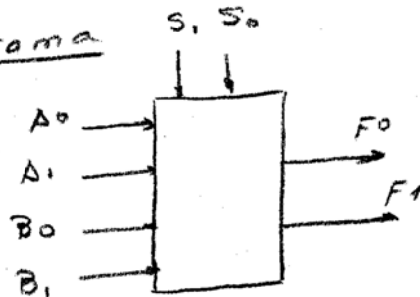


La aki debera

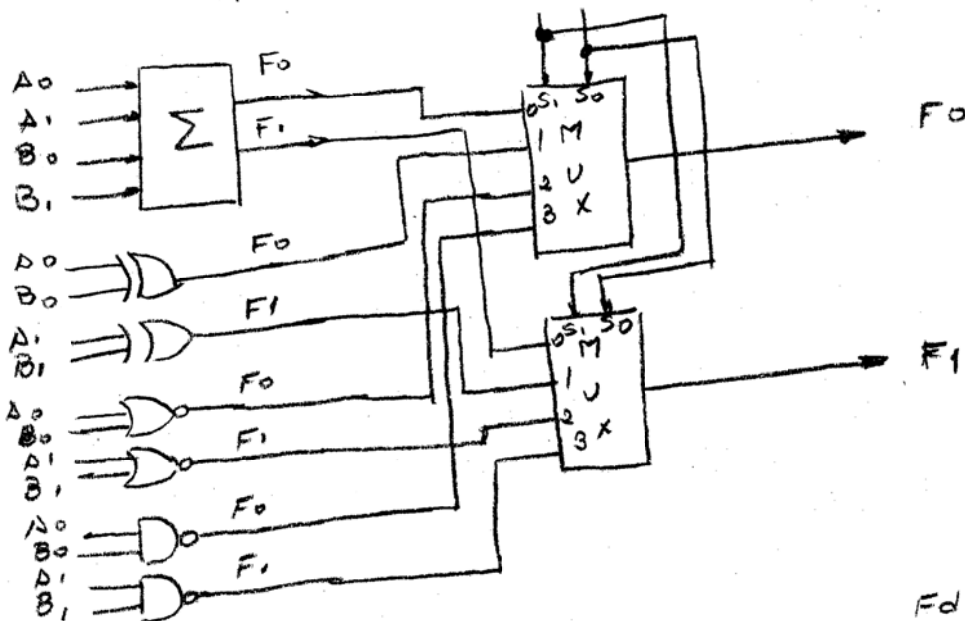
A plus B
 A XOR B
 A NOR B
 A NAND B

Para ello tendremos 4 circuitos para realizar las operaciones y un MUX para seleccionar la salida

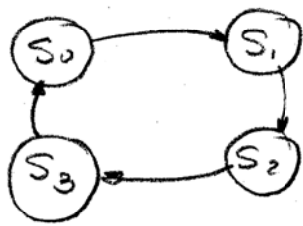
Diagrama



| A | B | S ₁ | S ₀ | Opera |
|---|---|----------------|----------------|----------|
| 0 | 0 | 0 | 0 | A plus B |
| 0 | 1 | 0 | 1 | A XOR B |
| 1 | 0 | 1 | 0 | A NOR B |
| 1 | 1 | 1 | 1 | A NAND B |



Contador



| $Q_1 Q_0$ | Q_{1+1} | Q_{0+1} | J | K | J ₀ | K ₀ |
|-----------|-----------|-----------|---|---|----------------|----------------|
| 0 0 | 0 | 1 | 0 | x | 1 | x |
| 0 1 | 1 | 0 | 1 | x | x | 1 |
| 1 0 | 1 | 1 | x | 0 | 1 | x |
| 1 1 | 0 | 0 | x | 1 | x | 1 |

T.V. J K

| Q | Q _{t+1} | J | K |
|---|------------------|---|---|
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 |

$J_0 = 1$

$K_0 = 1$

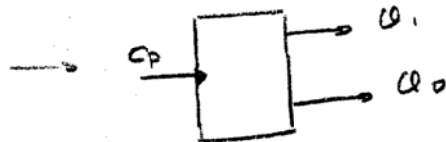
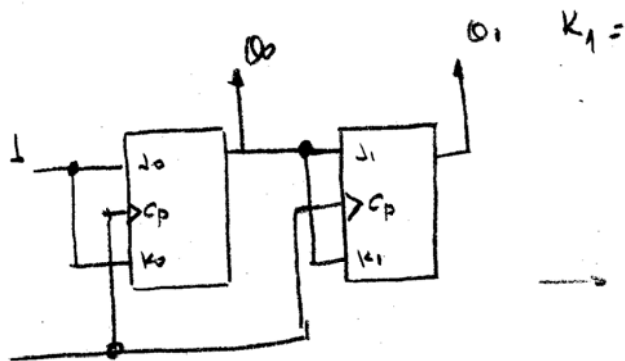
$J_1 =$

| \bar{Q}_1 | Q_1 | \bar{Q}_0 | Q_0 |
|-------------|-------|-------------|-------|
| 0 | 0 | 0 | 1 |
| 0 | 1 | x | x |
| 1 | 0 | x | x |
| 1 | 1 | 0 | 1 |

→ Q_0

| \bar{Q}_1 | Q_1 | \bar{Q}_0 | Q_0 |
|-------------|-------|-------------|-------|
| 0 | 0 | x | x |
| 0 | 1 | 0 | 1 |
| 1 | 0 | x | x |
| 1 | 1 | 0 | 1 |

→ Q_0



Circuito Final

