



DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS

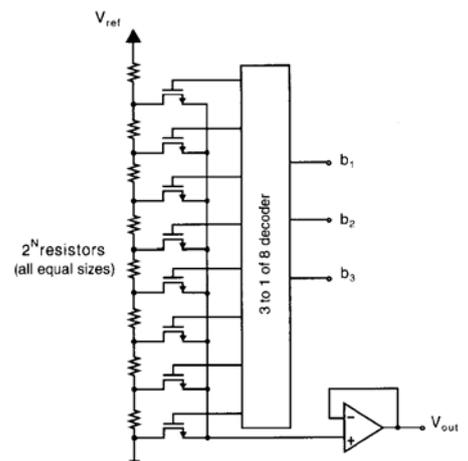
INGENIERÍA DE TELECOMUNICACIÓN

Universidad de Granada
Departamento de Electrónica y Tecnología
de Computadores

Relación de problemas nº 3

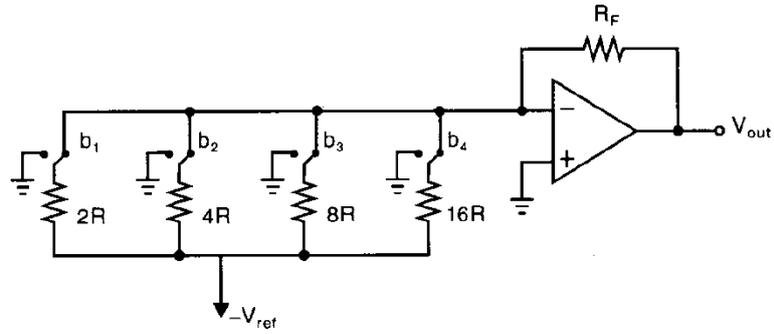
1. Calcule la SNR de un convertidor A/D ideal de 12 bits con $V_{ref}=3V$ cuando se le aplica una entrada armónica de amplitud pico a pico 1V.
2. Las siguientes medidas se obtuvieron a la salida de un convertidor D/A unipolar de 3 bits con $V_{ref}=8V$: (-0.01V, 1.03V, 2.02V, 2.96V, 3.95V, 5.02V, 6.00V, 7.08V). Usando como unidad el LSB, determine el error de *offset*, el error de ganancia, el máximo DNL y el máximo INL.
3. Las siguientes medidas se obtuvieron a la salida de un convertidor D/A de 2 bits con $V_{ref}=4V$: (0.01V, 1.02V, 1.97V, 3.02V). Usando como unidad el LSB, determine el error de *offset*, el error de ganancia y la peor precisión absoluta y relativa. Exprese estas dos últimas en bits de precisión.
4. Un convertidor A/D de 10 bits tiene como tensión de referencia $V_{ref}=10.24V$ a 25°C. Calcule el máximo coeficiente de temperatura ($\mu V/^\circ C$) asumible para la referencia de tensión si ésta ha de causar, como máximo, un error de $\pm 1/2$ LSB entre 0°C y 50°C.
5. Halle el máximo error de cuantificación de un convertidor A/D de 12 bits y $V_{ref}=5V$ con una precisión absoluta de $1/2$ LSB.
6. Determine la máxima indeterminación del tiempo de muestreo que puede tolerarse para un convertidor A/D de 16 bits que actúe sobre una señal con espectro entre 0 y 20kHz.

7. En el convertidor D/A de 3 bits de la figura de la derecha suponga que la resistencia total de la cadena es de 400Ω , los transistores de paso tienen una resistencia de 400Ω en conducción y sus capacidades parásitas entre drenador y tierra y fuente y tierra son de 0.1pF. Ignorando cualquier otro efecto, calcule el tiempo de establecimiento al 0.1% en el peor caso.

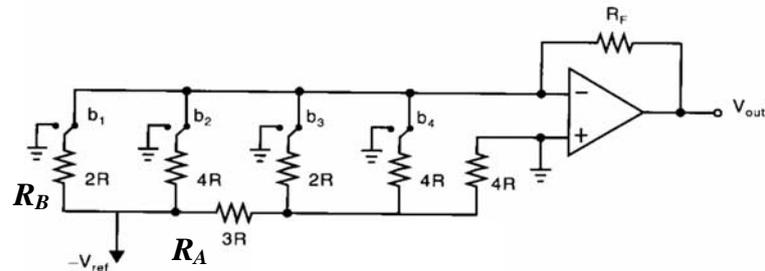


8. Un convertidor D/A de dos cadenas de resistencias de 10 bits emplea la primera para determinar los 4 MSBs y la segunda para los restantes 6 LSBs. Las resistencias de la primera cadena presentan una tolerancia del 0.1%, frente al 1.6% en las resistencias de la segunda cadena. Si la tensión de referencia es $V_{ref}=5V$, ¿cuánto *offset* se pueden tolerar en los amplificadores operacionales?

9. El convertidor D/A de la figura adjunta ha de ser lineal hasta los 10 bits. Ignorando cualquier no-idealidad salvo los errores de dispersión en las resistencias, determine qué tolerancia se requiere en las resistencias de b_2 , b_3 y b_4 con relación a b_1 .

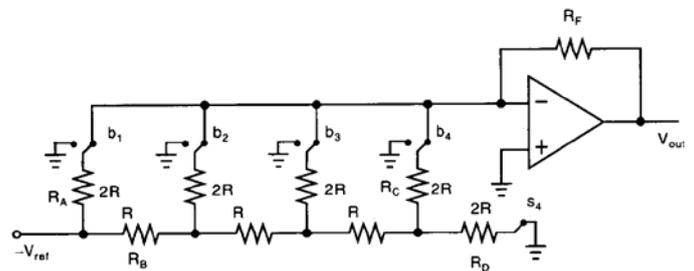


10. Determine el valor de la tensión de salida para el circuito de la derecha.

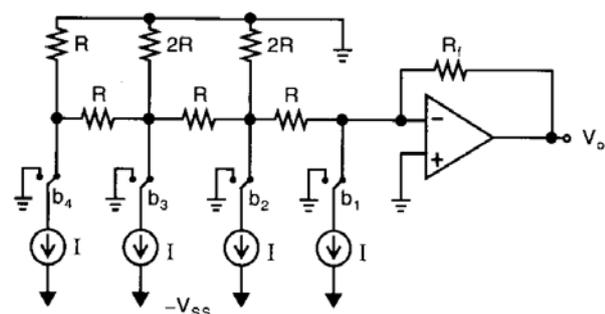


11. Para el circuito del problema anterior, calcule los valores de la tensión de salida asumiendo que los valores reales de las resistencias son $R_A=3.01R$ y $R_B=1.99R$, con $V_{ref}=5V$ y $R_f=R$. Determine la precisión absoluta, los errores de ganancia y *offset*, y los máximos errores integral y diferencial de no linealidad

12. En el circuito de la figura de la derecha determine el error en la tensión de salida (en LSBs) si $R_A=2.01R_B$. Determine el error de salida si $R_C=2.01R$.

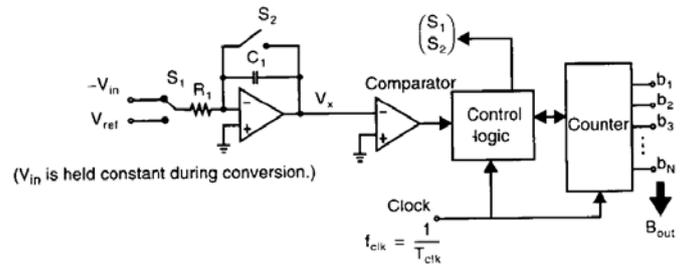


13. El convertidor D/A de la figura de la derecha, con $I=2mA$, $R_f=2k\Omega$ y $R=10k\Omega$, es perfectamente lineal pero muestra un error de *offset* de 0.15LSBs y un error de ganancia de 0.1LSBs. Determine los valores de tensión de la salida analógica, la precisión absoluta y los máximos errores integral y diferencial de no linealidad.



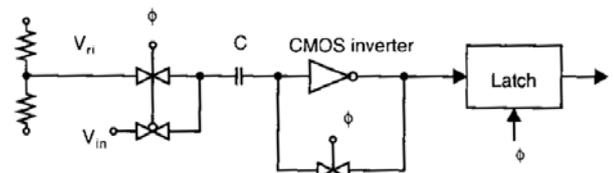
14. Calcule el tiempo de conversión máximo de un convertidor A/D de integración de doble pendiente de 18 bits si se emplea una señal de reloj de 5MHz.

15. En el convertidor A/D de integración de doble pendiente de 18 bits de la figura adjunta $V_{ref}=10V$, $C_1=100pF$ y se usa un de reloj de 1MHz. Calcule el valor necesario de R_1 para que la salida del amplificador operacional no sobrepase los 10V si $0V < V_{in} < 10V$.



16. Determine qué frecuencias de entrada son completamente atenuadas por un convertidor A/D de integración de doble pendiente de 16 bits con una señal de reloj de 1MHz. ¿Cuál es la atenuación para una señal de entrada de 60Hz?

17. Para el comparador síncrono de la figura adjunta suponga $K'_n=2K'_p=100\mu A/V^2$, $2(W/L)_n=(W/L)_p=2$, $|V_{Tn}|=|V_{Tp}|=1V$, $V_{DD}=5V$ y $V_{SS}=0V$. Si los transistores del inversor son ideales, excepto por presentar una resistencia de salida de $100k\Omega$ en conducción, calcule la mínima entrada diferencial que causa un cambio de 1V.



18. Asumiendo sobremuestreo sin conformación de ruido, determine la frecuencia de muestreo necesaria para obtener una SNR de 80dB en la conversión de una señal de 1kHz de ancho de banda usando un cuantificador de 1 bit.

19. Repita el problema anterior suponiendo que se emplean un modulador delta-sigma de primer orden y un modulador delta-sigma de segundo orden, respectivamente.

20. Si un convertidor A/D de 8 bits proporciona una SNR de 50dB pero es lineal hasta los 12 bits, determine la frecuencia de muestreo necesaria para conseguir 12 bits de precisión utilizando sobremuestreo para una señal de 1MHz de ancho de banda.

21. Esboce la estructura de un modulador delta-sigma de segundo orden con capacidades conmutadas.