

1) En un DLX con segmentación ejecutamos el siguiente fragmento de código:

```

    ADDI r3,r0,#3
L1 : SUBD F2,F6,F8
    SUBD F4,F8,F6
    SD 0(r3),F4
    DIVD F2,F4,F8
    ADDD F2,F8,F8
    SUBI r3,r3,#1
    DIVD F6,F4,F8
    MULD F4,F2,F6
    SUBD F10,F2,F6
    LD F4,0(r3)
    ADDD F0,F4,F2
    BNEZ r3,L1
    MULD F4,F2,F2
end
    
```

Se supone que:

- Un dato se puede escribir en un registro y leer su valor en el mismo ciclo.
- Se dispone de lógica de cortocircuito (*forwarding*).
- Los saltos se resuelven en la etapa de decodificación.
- La detección de todo tipo de riesgos (estructurales y LDE) y generación de paradas se realiza en la etapa de decodificación.
- Los riesgos EDE se resuelven mediante inhibición de escritura.
- Se dispone de un predictor de saltos de 2 bits del tipo BTB, al que se accede en la etapa IF, obteniendo la respuesta al final de dicha fase. El estado inicial del predictor es “salto no tomado fuerte”.
- Dos instrucciones no pueden acceder simultáneamente a la etapa de acceso a memoria ni tampoco a la de escritura en el banco de registros.
- Se dispone de las siguientes unidades funcionales:

UF	Cantidad	Latencia	Segmentación
FP ADDD	1	3	Sí
FP SUBD	1	3	Sí
FP MULD	1	4	Sí
FP DIVD	1	5	No
INT ALU	1	1	No

A) Representar el diagrama instrucción-tiempo para la primera iteración e indicar los cortocircuitos realizados. Indicar claramente las paradas y sus causas. A la vista del diagrama obtenido, y sin necesidad de desarrollar todas las iteraciones, calcular el número de ciclos que toma la ejecución completa del código. **(3.5 pts)**

**CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70**

**ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70**

- Una cache directa unificada de 32 KB que usa post-escritura con bit de sucio y asignación en escritura.

Esta configuración tiene una tasa de fallos de 0,03.



Suponiendo que:

- I. El procesador tiene un CPI ideal de 2.
- II. La latencia de memoria son 60 ciclos.
- III. Las transferencias de bloques se realizan a 8 bytes/ciclo.
- IV. El 35% de los bloques se modifican.
- V. El tamaño de bloque es de 64 bytes.
- VI. El 20% de las instrucciones son de acceso a memoria.

A) Calcular los CPI para las dos configuraciones. **(3.5 pts)**

Si ahora suponemos que es una cache de direcciones virtuales con un TLB de las siguientes características:

- I. 3% de tasa de fallos.
- II. El fallo de TLB produce una penalización de 15 ciclos.

B) Calcular los nuevos CPI teniendo en cuenta el TLB. **(1.5 pts)**

The logo for 'Cartagena99' features the text 'Cartagena99' in a stylized, blue, serif font. The '99' is significantly larger and more prominent than the rest of the text. The logo is set against a light blue background with a white arrow pointing to the right, and a yellow and orange gradient bar at the bottom.

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

TOTAL CICLOS = 84 (26(1ªit.)+25(2ªit.)+25(3ªit.)+8(última instrucción))

B) Si partimos del estado TF, en las dos primeras iteraciones del salto acertaríamos, por lo que no habría 2 ciclos de penalización, y no se modificaría el estado del predictor. En la última iteración fallaríamos (el salto no se toma y el predictor pasa a TD) por lo que sí tendríamos el ciclo de penalización al igual que en el apartado anterior. Conclusión, nos ahorraríamos 2 ciclos y por tanto

TOTAL CICLOS = 82

2)

A)

El ciclo por instrucción medio de acceso a la jerarquía de memoria viene dado por la siguiente expresión

$$CPI = CPI\ ideal + tasa\ de\ acceso \times tasa\ de\ fallos \times Penalización\ por\ fallo.$$

Como dan la tasa de fallo de las dos organizaciones no es necesario tener en cuenta ni el tamaño ni la política de emplazamiento, puesto que en la tasa de fallos ya van implícitos estos datos.

Para las dos organizaciones los tiempos de lectura y de escritura de un bloque vienen dados por la siguiente expresión:

$$Tiempo\ lectura\ o\ escritura\ de\ bloque = latencia + (tamaño\ bloque / velocidad\ de\ transf.)$$

La latencia hace referencia al tiempo que se tarda en recuperar la primera palabra y el ancho de banda determina el tiempo que tarda en traerse el resto del bloque.

$$Tiempo\ lectura\ o\ escritura\ de\ bloque = 60 + (64 / 8) = 68\ ciclos$$

Sin bit dirty.

Si no existe bit dirty hay que salvar siempre el bloque que se va a reemplazar antes de traer el nuevo bloque. Esto ocurre tanto para los fallos de lectura como para los fallos de escritura.

$$Penalización\ por\ fallo\ de\ lectura: escritura\ bloque + lectura\ bloque$$

$$Penalización\ fallos\ de\ escritura: escritura\ bloque + lectura\ bloque$$

Penalización media de memoria = tasa de accesos a memoria x tasa fallos x penalización = $1,2 \times 0,01 \times (2 \times 68) = 1,632$

$$CPI = 2 + 1,632 = 3,632$$

Con bit dirty

Igual que antes la penalizaciones por lectura y escritura son idénticas. Pero ahora hay que tener en cuenta el bit dirty

$$Penalización\ con\ dirty\ activado = escritura\ bloque + lectura\ bloque$$

$$Penalización\ con\ dirty\ desactivado = lectura\ bloque$$

Entonces:

**CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70**

**ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP: 689 45 44 70**

Cartagena99

- **Para la segunda organización**

Penalización media adicional = $1,2 \times 0,03 \times 0,03 \times 15$

$CPI = 5,3048 + 1,2 \times 0,03 \times 0,03 \times 15 = 5,321$

The logo for Cartagena99 features the text 'Cartagena99' in a stylized, blue, serif font. The '99' is significantly larger and more prominent than the rest of the text. The logo is set against a light blue background with a white arrow pointing to the right, and a white shadow effect is visible beneath the text.

**CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70**

**ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70**