



TEMA 4

Convertidores A/D y D/A integrados

Diseño de Circuitos y Sistemas
Electrónicos
Ing. Telecomunicación



Sumario

- Conceptos básicos
 - ✓ Ruido de cuantificación
 - ✓ Limitaciones

- Convertidores D/A a la frecuencia de Nyquist
 - ✓ Convertidores con capacidades conmutadas
 - ✓ Convertidores en modo de corriente
 - ✓ Convertidores híbridos

Sumario

- Convertidores A/D a la frecuencia de Nyquist
 - ✓ Convertidores algorítmicos
 - ✓ Convertidores paralelos
 - ✓ Convertidores por interpolación
 - ✓ Convertidores segmentados
- Convertidores de sobremuestreo
 - ✓ Cuantificación y ruido: ventajas
 - ✓ Modulador delta-sigma
 - ✓ Arquitecturas
 - ✓ Convertidores multi-bit

Introducción

- La mayoría de señales físicas corresponden al dominio analógico.
- A medida que aumentan las prestaciones de los sistemas digitales, el procesamiento digital de señales va ganando terreno al procesamiento analógico.
- Los sistemas digitales de procesamiento:
 - ✓ han de captar la información del mundo real a partir de señales analógicas
 - ✓ en muchas ocasiones, han de transformar su salida al dominio analógico para interactuar con el exterior
- Son necesarios circuitos que proporcionen una interfaz adecuada entre los mundos analógico y digital.

Introducción

- Es posible distinguir entre dos tipos básicos de convertidores:
 - ✓ **convertidores a la frecuencia de Nyquist:** generan valores de salida que se corresponden, uno a uno, a una muestra de la entrada
 - D/A: cada tensión analógica de salida corresponde a una palabra de entrada
 - A/D: cada palabra de salida responde a una muestra analógica
 - raramente trabajan estrictamente a la frecuencia de Nyquist, por la dificultad asociada al filtrado anti-aliasing (normalmente trabajan entre 1.5 y 10 veces la frecuencia de Nyquist)
 - ✓ **convertidores de sobremuestreo:** operan muy por encima de la frecuencia de Nyquist, incrementando la SNR al filtrar el ruido de cuantificación

Convertidor D/A Ideal

- La entrada la compone una palabra digital de N bits:

$$B_{in} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}$$

- La salida de tensión es proporcional a la palabra de entrada y una tensión de referencia:

$$V_{out} = V_{ref} (b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{ref} B_{in}$$

- La diferencia entre los niveles de tensión de salida está dado por el cambio asociado al LSB:

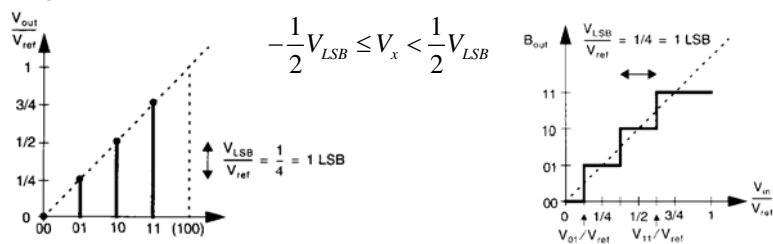
$$V_{LSB} = \frac{V_{ref}}{2^N}$$

Convertidor A/D Ideal

- Genera como salida una palabra digital de N bits en función de la tensión de entrada y una tensión de referencia:

$$V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{in} \pm V_x$$

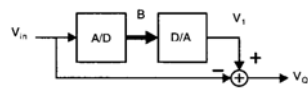
- Tensiones de entrada en un cierto rango producen la misma salida digital, provocando el **error de cuantificación**:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

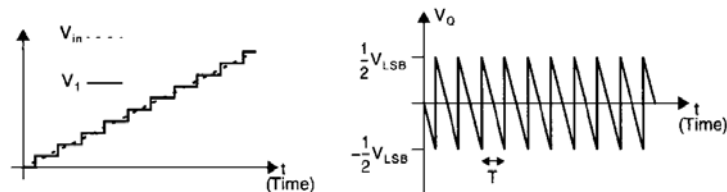
Ruido de cuantificación

- Utilizando dos convertidores ideales, el ruido de cuantificación puede estudiarse a través de:



- ✓ V_{in} : tensión de entrada
- ✓ V_1 : tensión cuantificada
- ✓ V_Q : ruido de cuantificación

$$V_1 = V_{in} + V_Q$$



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

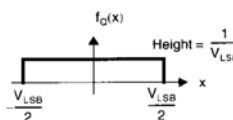
Ruido de cuantificación

- Utilizando una rampa como señal de entrada, V_Q es nula en media, pero su valor rms es:

$$V_{Q(\text{rms})} = \left[\frac{1}{T} \int_{-T/2}^{T/2} V_Q^2 dt \right]^{1/2} = \left[\frac{1}{T} \int_{-T/2}^{T/2} V_{LSB}^2 \left(\frac{-t}{T} \right) dt \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}}$$

- ✓ este ruido es proporcional a V_{LSB} , con lo que disminuye al aumentar N
- Suponiendo que el ruido de cuantificación está uniformemente distribuido:

$$V_{Q(\text{rms})} = \left[\int_{-\infty}^{\infty} x^2 f_Q(x) dx \right]^{1/2} = \left[\frac{1}{V_{LSB}} \int_{-V_{LSB}/2}^{V_{LSB}/2} x^2 dx \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}}$$



Ruido de cuantificación

- La dependencia del ruido de cuantificación con V_{LSB} hace que la potencia de ruido disminuya 6dB por cada bit extra (A/D).

- Suponiendo una entrada en diente de sierra de amplitud V_{ref} :

$$SNR = 20 \log \left(\frac{V_{in(\text{rms})}}{V_{Q(\text{rms})}} \right) = 20 \log \left(\frac{V_{ref} / \sqrt{12}}{V_{LSB} / \sqrt{12}} \right) = 20 \log (2^N) = 6.02N \text{ dB}$$

- Con una entrada armónica de amplitud V_{ref} :

$$SNR = 20 \log \left(\frac{V_{in(\text{rms})}}{V_{Q(\text{rms})}} \right) = 20 \log \left(\frac{V_{ref} / (2\sqrt{2})}{V_{LSB} / \sqrt{12}} \right) = 20 \log \left(\sqrt{\frac{3}{2}} 2^N \right) = 6.02N + 1.76 \text{ dB}$$

Limitaciones

- **Resolución:** número de diferentes niveles analógicos que se corresponden con diferentes palabras digitales.
- **Offset:** salida observada para una entrada que debería de producir salida nula:

$$E_{\text{off (D/A)}} = \frac{V_{\text{out}}}{V_{\text{LSB}}}|_{0\dots 0} \quad E_{\text{off (A/D)}} = \frac{V_{0\dots 01}}{V_{\text{LSB}}} - \frac{1}{2} \text{LSB}$$

- **Error de ganancia:** diferencia, a escala completa, entre la respuesta observada y la ideal asumiendo *offset* nulo:

$$E_{\text{gain(D/A)}} = \left(\frac{V_{\text{out}}}{V_{\text{LSB}}}|_{1\dots 1} - \frac{V_{\text{out}}}{V_{\text{LSB}}}|_{0\dots 0} \right) - (2^N - 1) \quad E_{\text{gain(D/A)}} = \left(\frac{V_{1\dots 1}}{V_{\text{LSB}}} - \frac{V_{0\dots 01}}{V_{\text{LSB}}} \right) - (2^N - 2)$$

Limitaciones

- **Precisión**
 - ✓ **absoluta:** diferencia entre la respuesta esperada y la obtenida; depende del *offset* y los errores de ganancia y linealidad
 - ✓ **relativa:** precisión tras eliminar errores de *offset* y de ganancia (llamada error máximo integral de no linealidad)
 - ✓ suele expresarse como el número de bits efectivos, o como fracción del LSB
- **Error integral de no linealidad (INL):** desviación de la respuesta lineal (definida sobre los extremos de la respuesta).
- **Error diferencial de no linealidad (DNL):** desviación de los intervalos analógicos respecto de 1 LSB.

Limitaciones

- **Monotonicidad (D/A):** un convertidor es monótono si la salida siempre se incrementa al incrementar la entrada (DNL < 1 LSB, INL < 0.5 LSB).
- **Códigos perdidos (A/D):** es el término equivalente a la monotonicidad (DNL < 1 LSB, INL < 0.5 LSB).
- **Velocidad de muestreo y tiempo de conversión A/D:** el tiempo de conversión incluye el tiempo de adquisición y el tiempo necesario para completar la conversión. Determina la velocidad de muestreo, salvo factores externos como latencia o segmentación.

Limitaciones

- **Velocidad de muestreo y tiempo de establecimiento D/A:** el tiempo de establecimiento determina el retardo entre la aplicación de la palabra de entrada y la salida tomando un valor $\pm 0.5\text{LSB}$ alrededor del valor final.
- **Indeterminación del tiempo de muestreo (*jitter* de apertura):** se define para una entrada armónica de frecuencia f_{in} aplicada a un convertidor A/D con signo de N bits:

$$V_{in}(t) = \frac{V_{ref}}{2} \sin(2\pi f_{in} t) \Rightarrow \left. \frac{\Delta V}{\Delta t} \right|_{\max} = \pi f_{in} V_{ref} \quad \Delta t < \frac{V_{LSB}}{\pi f_{in} V_{ref}} = \frac{1}{2^N \pi f_{in}}$$

Limitaciones

- **Rango dinámico:** se define normalmente como la relación entre el valor rms de la máxima entrada armónica y el valor rms del ruido de salida más la distorsión:
 - ✓ Esta medida requiere eliminar la respuesta a la entrada armónica de la salida:
 - D/A: uso de analizador de espectro ignorando la componente correspondiente a la entrada
 - A/D: uso de la FFT para eliminar la componente correspondiente a la entrada
 - ✓ Suele expresarse en bits efectivos usando la expresión de la SNR.
 - ✓ El rango dinámico puede depender de la frecuencia de la señal de entrada, influyendo en él la circuitería de filtrado, adquisición, etc.

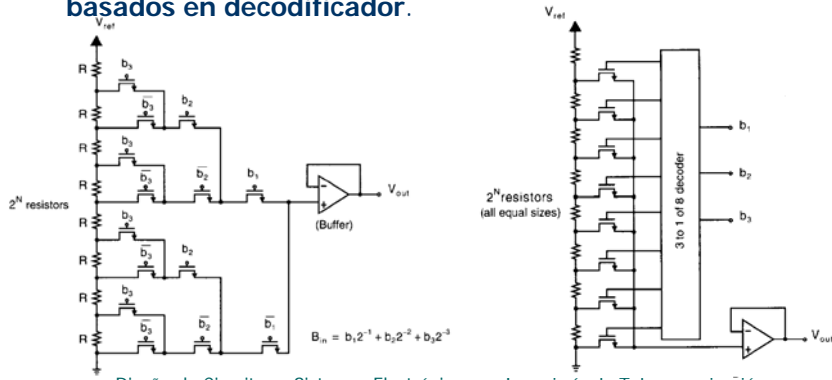
Sumario

- Conceptos básicos
 - ✓ Ruido de cuantificación
 - ✓ Limitaciones

- Convertidores D/A a la frecuencia de Nyquist
 - ✓ Convertidores con capacidades conmutadas
 - ✓ Convertidores en modo de corriente
 - ✓ Convertidores híbridos

Convertidores D/A básicos

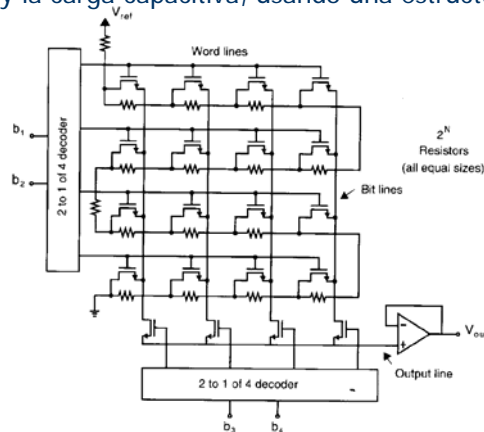
- La opción más simple para crear un convertidor D/A es la generación de 2^N referencias de tensión y llevar la adecuada a la salida en función de la palabra digital de entrada: **convertidores basados en decodificador**.



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores D/A básicos

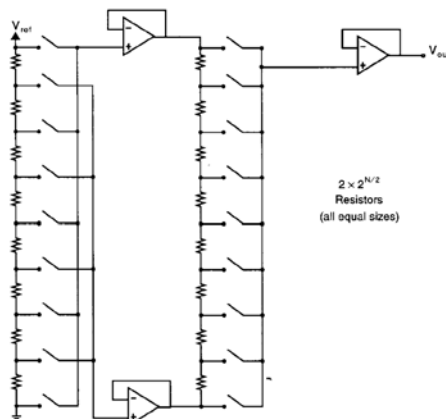
- El **convertidor de tipo *folded string*** reduce la decodificación digital y la carga capacitiva, usando una estructura de memoria:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores D/A básicos

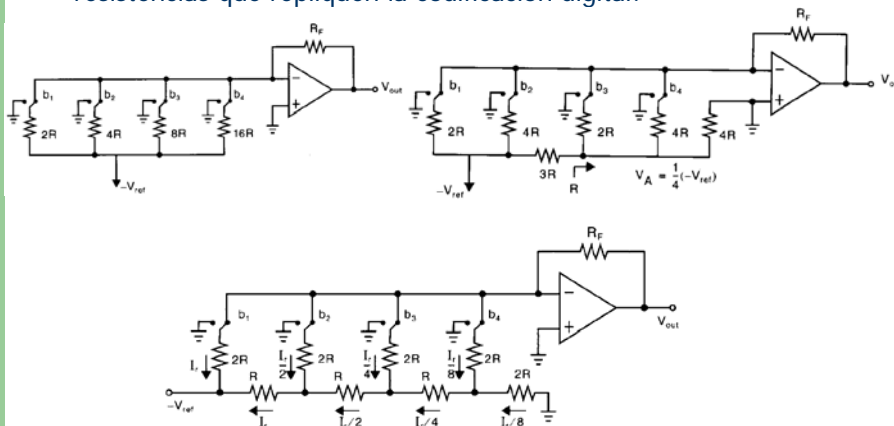
- Para aplicaciones de gran resolución y bajo consumo se puede emplear una configuración con **múltiples cadenas de resistencias**:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores D/A básicos

- Se puede reducir el número de resistencias empleando resistencias que repliquen la codificación digital:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

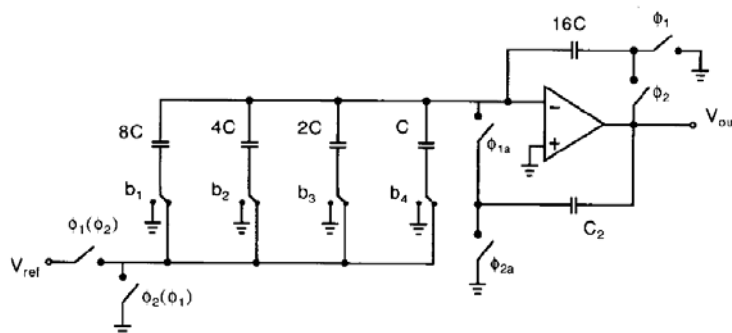
Convertidores con capacidades conmutadas

- Las ventajas de los circuitos SC se hacen evidentes en la realización de convertidores D/A.
- La idea básica consiste en sustituir la capacidad de entrada en un amplificador SC por una matriz programable de capacidades (PCA: *Programmable Capacitor Array*):
 - ✓ mantiene las ventajas de los amplificadores SC (insensibilidad a *offsets* y ruido $1/f$)
 - ✓ requiere relojes cuidadosamente generados para reducir la dependencia de la tensión de salida del reloj
 - ✓ sólo se debe cambiar la entrada digital cuando la entrada de los condensadores se conecta a tierra, lo que puede complicar la lógica

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores con capacidades conmutadas

- La idea básica consiste en sustituir la capacidad de entrada en un amplificador SC por una matriz programable de capacidades (PCA: *Programmable Capacitor Array*):



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Glitches

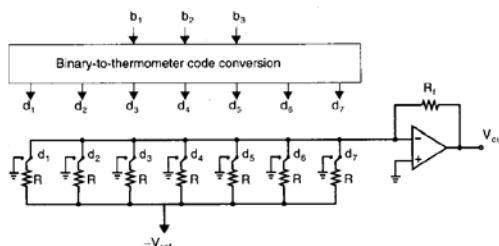
- Los *glitches* asociados a la actividad de las señales digitales pueden suponer un problema en convertidores D/A:
 - ✓ cada bit suele corresponder a un nivel diferente de corriente hacia la salida
 - ✓ esta diferencia en corriente hace muy difícil compensar exactamente el retardo en las diferentes ramas
- Se puede reducir la influencia de los *glitches*:
 - ✓ limitando el ancho de banda (con el perjuicio consiguiente)
 - ✓ utilizando un circuito de muestreo-retención en la salida
 - ✓ modificar la codificación de la entrada digital, pasando a un código termómetro

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Códigos termómetro

- Emplea 2^N-1 señales digitales para representar 2^N valores:
 - ✓ permiten mejor DNL y garantizan la monotonicidad
 - ✓ reducen el ruido asociado a los *glitches*
 - ✓ la implementación analógica no requiere más área, dado que el valor de una resistencia integrada es proporcional a su área
 - ✓ en circuitos SC, todas las capacidades son iguales al llevar igual corriente

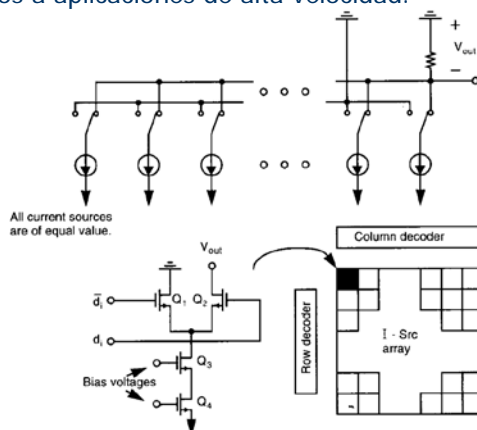
Decimal	Binary			Thermometer Code						
	b_1	b_2	b_3	d_1	d_2	d_3	d_4	d_5	d_6	d_7
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	1
2	0	1	0	0	0	0	0	0	0	1
3	0	1	1	0	0	0	0	0	1	1
4	1	0	0	0	0	0	1	1	1	1
5	1	0	1	0	0	1	1	1	1	1
6	1	1	0	0	1	1	1	1	1	1
7	1	1	1	1	1	1	1	1	1	1



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores en modo de corriente

- Se basan en la conmutación de corrientes entre la salida y tierra, orientados a aplicaciones de alta velocidad.



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

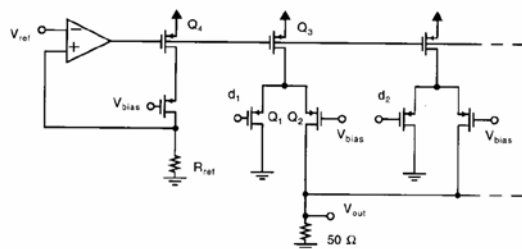
Convertidores en modo de corriente

- Se basan en la conmutación de corrientes entre la salida y tierra, orientados a aplicaciones de alta velocidad.
- Este diseño básico hace uso de:
 - ✓ decodificadores de termómetro para filas y columnas, lo que resulta en monotonicidad y buen DNL
 - ✓ fuentes de corriente en cascodo para reducir la variación de su corriente al variar la tensión de salida
 - ✓ señales de control con flancos bien definidos:
 - activas simultáneamente: salida cortocircuitada a tierra
 - inactivas simultáneamente: drenador de Q_3 en bajo, lo que implica un mayor tiempo de respuesta posterior

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores en modo de corriente

- La estructura de la figura, con alimentación única, es muy usada en RAMDACs:

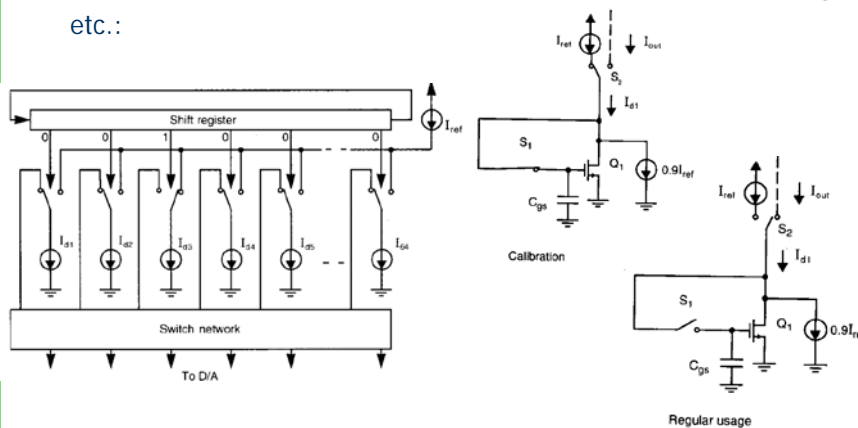


- ✓ lazo de realimentación acoplado para polarización exacta
- ✓ V_{bias} para que la relación entre corrientes no dependa de la salida
- ✓ para maximizar la velocidad, las variaciones de tensión han de ser pequeñas

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores en modo de corriente

- Se puede emplear acoplamiento dinámico, para compensar diferencias entre transistores, asimetrías en la inyección de carga, etc.:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores en modo de corriente

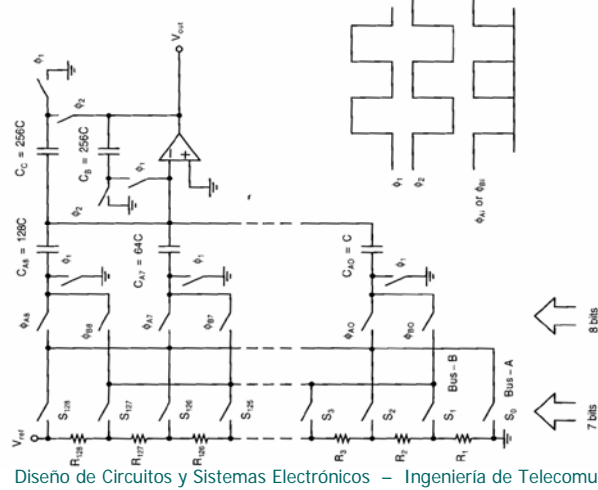
- Se puede emplear acoplamiento dinámico, para compensar diferencias entre transistores, asimetrías en la inyección de carga, etc.:
 - ✓ cada fuente de corriente se calibra periódicamente con una referencia, mediante un registro de desplazamiento
 - ✓ durante la calibración, cada fuente de corriente se conecta a la referencia, con Q_1 como diodo y cargando C_{gs} lo necesario para que I_{d1} iguale a I_{ref}
 - ✓ en el funcionamiento normal, C_{gs} mantiene la tensión de Q_1 para mantener la corriente que proporciona
 - ✓ es necesario recalibrar antes de que las corrientes de fuga alteren el valor de la tensión en C_{gs}

Convertidores híbridos

- Combinan diferentes técnicas de las expuestas para aprovechar las ventajas de cada una:
 - ✓ código termómetro para los MSBs, codificación binaria convencional para los LSBs
 - ✓ combinaciones de convertidores basados en resistencias, capacidades conmutadas o en modo de corriente
 - ✓ convertidores segmentados
- Estas aproximaciones pueden reducir *glitches* en los MSBs, aumentar la precisión, reducir consumo, etc.

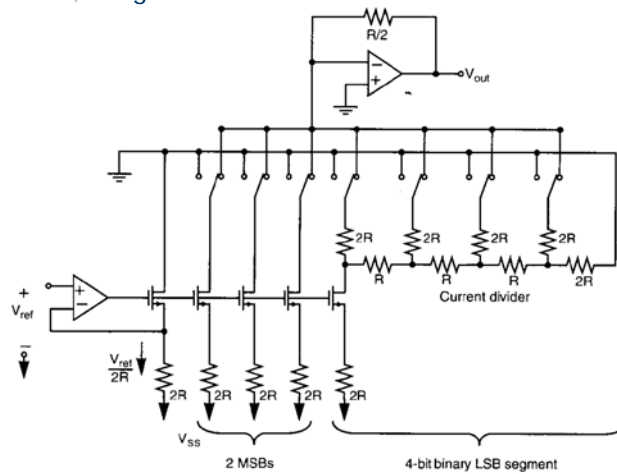
Convertidores híbridos

- Convertidor híbrido resistencia-capacidad:



Convertidores híbridos

- Convertidor segmentado:



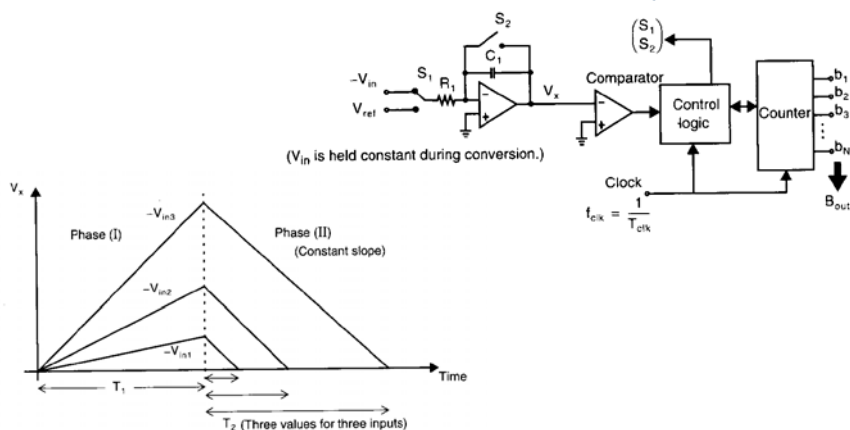
Sumario

- Convertidores A/D a la frecuencia de Nyquist
 - ✓ Convertidores algorítmicos
 - ✓ Convertidores paralelos
 - ✓ Convertidores por interpolación
 - ✓ Convertidores segmentados
- Convertidores de sobremuestreo
 - ✓ Cuantificación y ruido: ventajas
 - ✓ Modulador delta-sigma
 - ✓ Arquitecturas
 - ✓ Convertidores multi-bit

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores A/D básicos

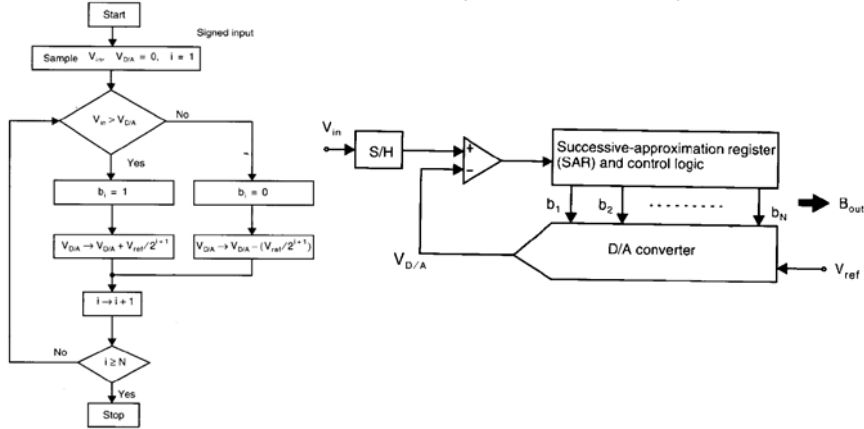
- Los **convertidores de integración** son una alternativa para obtener alta precisión en señales de variación muy lenta:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores A/D básicos

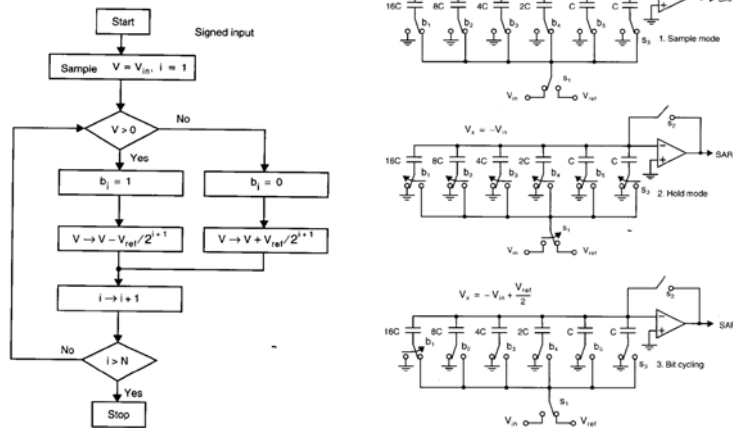
- El **convertidor de aproximaciones sucesivas** es de los más utilizados por su relativa velocidad y reducida complejidad:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores A/D básicos

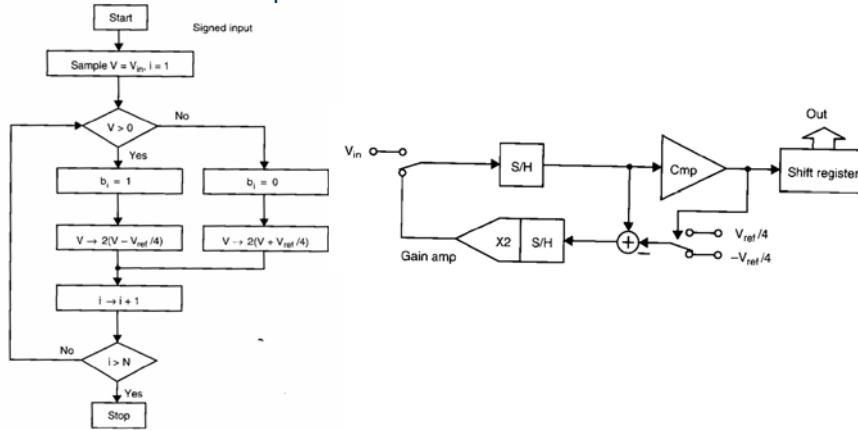
- Se puede modificar usando la **redistribución de carga unipolar**:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores algorítmicos

- Los **convertidores algorítmicos** (o **cíclicos**) son similares a los convertidores de aproximaciones sucesivas:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

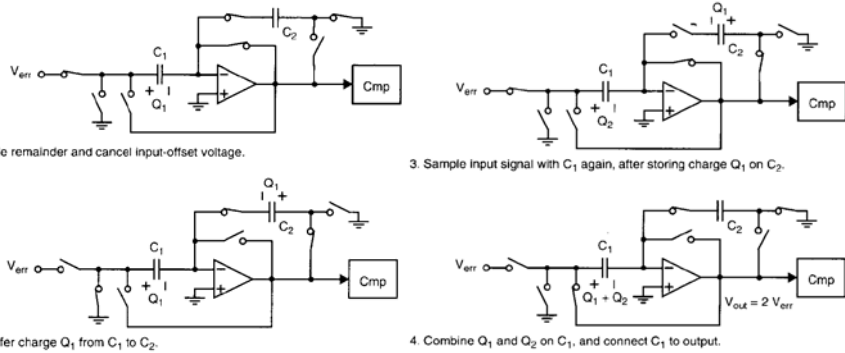
Convertidores algorítmicos

- Los **convertidores algorítmicos** (o **cíclicos**) son similares a los convertidores de aproximaciones sucesivas:
 - ✓ los convertidores algorítmicos doblan la tensión error en cada ciclo, dejando la referencia fija, mientras que los de aproximaciones sucesivas reducen a la mitad la tensión de referencia en cada ciclo
- Una de los problemas de la implementación es la construcción de un amplificador de multiplicación por dos con ganancia precisa:
 - ✓ se puede conseguir que no dependa de capacidades acopladas empleando cuatro ciclos en la operación
 - se muestrea la entrada dos veces usando la misma capacidad
 - durante la segunda muestra, la primera se almacena en otra capacidad, y finalmente ambas cargas se combinan

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores algorítmicos

- Una de los problemas de la implementación es la construcción de un amplificador de multiplicación por dos con ganancia precisa:

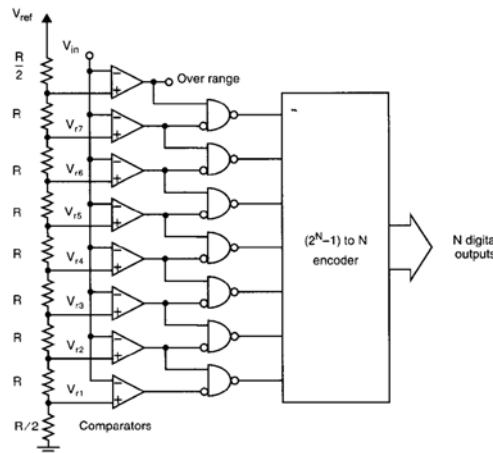


Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores paralelos

- Constituyen la aproximación estándar para aplicaciones de muy alta velocidad:

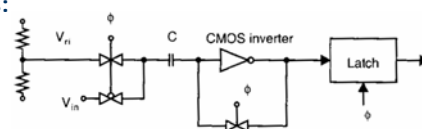
- ✓ las resistencia de los extremos reducen el error medio a 0.5LSB
- ✓ las puertas NAND permiten detección de errores (buscando más de un 0)
- ✓ requieren un gran número de comparadores, lo que implica gran área y consumo



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores paralelos

- El diseño de convertidores paralelos (*flash*) debe cuidar ciertos aspectos:
 - ✓ **capacidad de entrada:** el gran número de comparadores produce una capacidad parásita muy elevada en el nodo de entrada, con lo que puede ser necesario un *buffer* para controlar este nodo
 - ✓ **deriva de la cadena de resistencias:** con comparadores bipolares, su corriente de entrada puede alterar las tensiones de la cadena de resistencias. Debe corregirse con una corriente elevada o circuitería adicional
 - ✓ **retardo en los comparadores:** es necesario considerarlo especialmente cuando se usan comparadores sincros



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

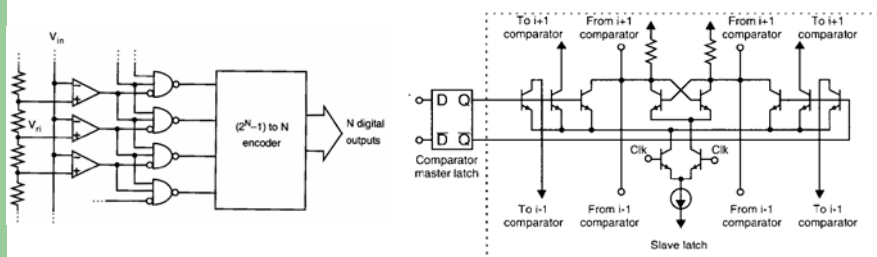
Convertidores paralelos

- El diseño de convertidores paralelos (*flash*) debe cuidar ciertos aspectos:
 - ✓ **retardo en señal y/o reloj:** retardos en la llegada del reloj o la señal a los comparadores puede causar errores, que pueden mitigarse con circuitos de muestreo y retención (muy complejos)
 - ✓ **ruido de sustrato y alimentación:** el ruido en las líneas de alimentación puede fácilmente afectar a la parte analógica a través del sustrato, con lo que debe apantallarse la circuitería analógica frente al reloj y separar las fuentes de alimentación
 - ✓ **errores de burbuja:** aunque la salida de los comparadores es un código de termómetro, pueden encontrarse 1s aislados por ruido, problemas de metaestabilidad, *cross talk*, etc.

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores paralelos

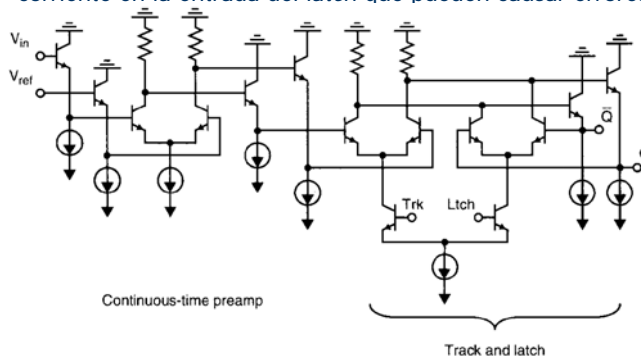
- El diseño de convertidores paralelos (*flash*) debe cuidar ciertos aspectos:
 - ✓ **errores de burbuja:** aunque la salida de los comparadores es un código de termómetro, pueden encontrarse 1s aislados por ruido, problemas de metaestabilidad, *cross talk*, etc.



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores paralelos

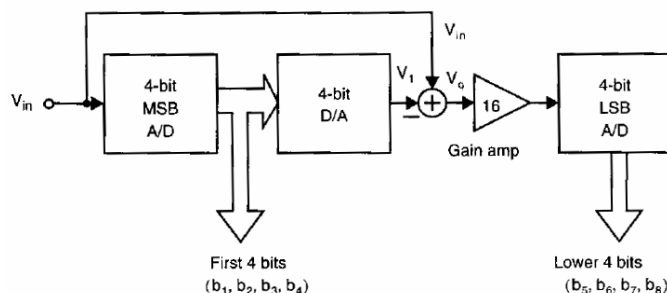
- El diseño de convertidores paralelos (*flash*) debe cuidar ciertos aspectos:
 - ✓ **flashback:** con comparadores síncronos puede ocurrir un *glitch* de corriente en la entrada del *latch* que pueden causar errores



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores de dos etapas

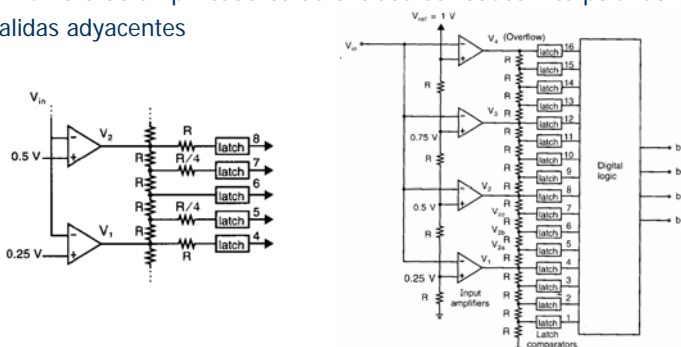
- Son una alternativa a los convertidores paralelos:
 - ✓ necesitan menos área y disipan menos energía, dado que la carga capacitiva es menor
 - ✓ implican una latencia menor, aunque su velocidad es similar



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores por interpolación

- Este tipo de convertidores usa amplificadores de entrada que se saturan para entradas no excesivamente elevadas:
 - ✓ es necesario determinar el signo del resultado de la comparación
 - ✓ el número de amplificadores de entrada se reduce interpolando entre salidas adyacentes



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

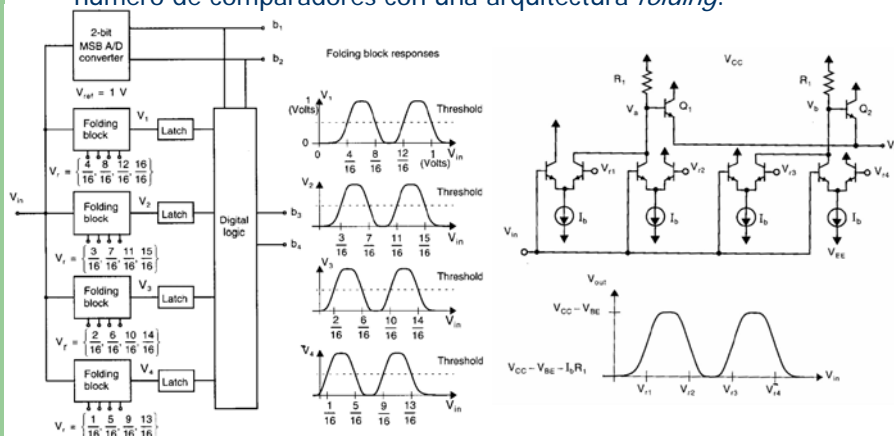
Convertidores por interpolación

- Se puede reducir, además del número de amplificadores, el número de comparadores con una arquitectura *folding*:
 - ✓ determina los MSBs por separado de los LSBs (similar a la conversión en dos etapas)
 - ✓ los LSBs se determinan a partir del preprocesado de la entrada
 - ✓ los MSBs se determinan simultáneamente a los LSBs:
 - un convertidor A/D simple determina los MSBs
 - el valor obtenido de los MSBs identifica el rango en el que se sitúa la señal de entrada
 - los bloques *folding* determinan un código termómetro para cada rango posible de la entrada, obteniéndose así los LSBs

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores por interpolación

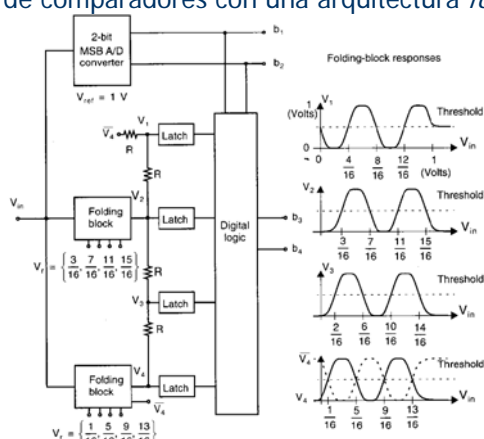
- Se puede reducir, además del número de amplificadores, el número de comparadores con una arquitectura *folding*:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores por interpolación

- Se puede reducir, además del número de amplificadores, el número de comparadores con una arquitectura *folding*.



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

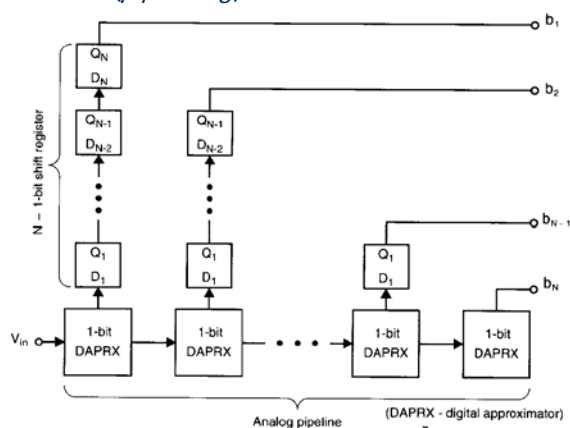
Convertidores segmentados

- La arquitectura de dos etapas anterior puede generalizarse a un número mayor de etapas:
 - ✓ en el límite, cada etapa calcula un bit de la salida
 - ✓ una implementación directa resulta en que cada bit depende del resultado de bits anteriores
 - ✓ esta aproximación puede resultar excesivamente lenta
- A fin de aumentar la velocidad, puede incorporarse el concepto de segmentación (*pipelining*):
 - ✓ una vez que una etapa ha obtenido el bit correspondiente de una muestra, puede pasar a procesar la muestra siguiente

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores segmentados

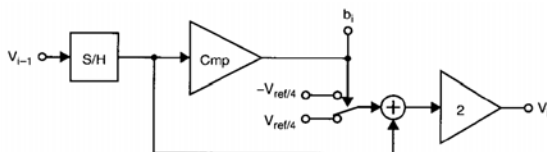
- A fin de aumentar la velocidad, puede incorporarse el concepto de segmentación (*pipelining*):



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores segmentados

- El bloque básico es el aproximador digital (DAPRX: *Digital Approximator*), que implementa la operación básica del algoritmo de conversión:
 - ✓ para entradas con signo, la entrada se compara con cero:
 - si $V_{in} > 0$, $V_{out} = 2V_{in} - V_{ref}/2$ y $b_{out} = 1$
 - en otro caso, $V_{out} = 2V_{in} + V_{ref}/2$ y $b_{out} = 0$
 - ✓ el bloque S/H permite implementar el cauce analógico, almacenando la tensión de entrada

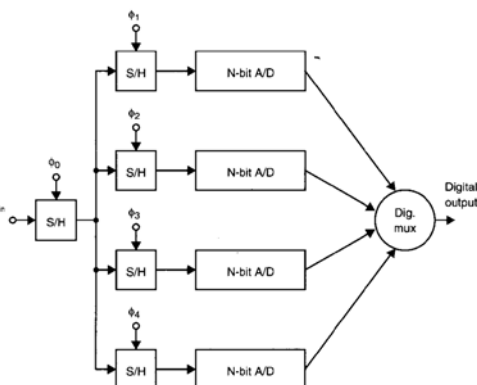


Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores segmentados

- Se puede aumentar la velocidad de muestreo con el uso de varios convertidores en paralelo (*time interleaving*):

- ✓ el primer bloque S/H es crítico (en ocasiones se usa tecnología diferente, GaAs)
- ✓ los diferentes canales han de ser idénticos en lo posible, ya que asimetrías introducen V_{sp} tonos espurios
- ✓ si estos tonos afectan a la frecuencia de interés, el convertidor puede resultar inservible



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Sumario

- Convertidores A/D a la frecuencia de Nyquist
 - ✓ Convertidores algorítmicos
 - ✓ Convertidores paralelos
 - ✓ Convertidores por interpolación
 - ✓ Convertidores segmentados
- Convertidores de sobremuestreo
 - ✓ Cuantificación y ruido: ventajas
 - ✓ Modulador delta-sigma
 - ✓ Arquitecturas
 - ✓ Convertidores multi-bit

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

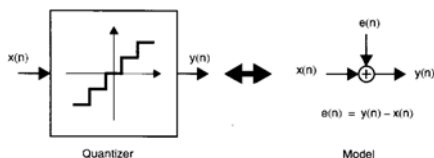
Convertidores de sobremuestreo

- Los convertidores de sobremuestreo, tanto A/D como D/A, se han convertido en una de las opciones más populares para aplicaciones de baja y media velocidad y resolución elevada:
 - ✓ reducen las especificaciones de la circuitería analógica, a costa de un procesamiento digital más complejo
 - tecnologías actuales (V_{DD} reducida) dificultan la implementación de funciones analógicas
 - se reduce la necesidad de simetría en los componentes y ganancia elevada
 - ✓ simplifican los filtros analógicos: anti-aliasing (A/D) y suavizado (D/A)
 - A/D: son suficientes filtros de primer orden y, normalmente, no se requiere S/H a la entrada del convertidor

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Cuantificación y ruido: ventajas

- Un cuantificador puede modelarse a través del **ruido de cuantificación**:
 - ✓ la salida $y(n)$ es el valor cuantificado más cercano a la entrada $x(n)$
 - ✓ el ruido de cuantificación $e(n)$ es la diferencia entre entrada y salida

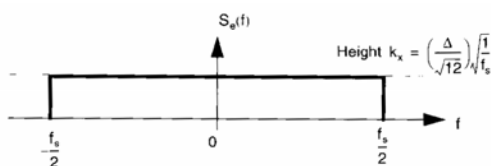


- Este modelo es exacto si se asume que $e(n)$ no es una señal independiente, sino fuertemente relacionada con $x(n)$, y se hace aproximado conforme se asumen diferentes propiedades de $e(n)$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Cuantificación y ruido: ventajas

- Para entrada muy activas, $e(n)$ puede aproximarse como un número aleatorio uniformemente distribuido entre $\pm\Delta/2$:
 - ✓ Δ es la diferencia entre dos niveles adyacentes de cuantificación
 - ✓ la potencia de ruido de cuantificación es, por tanto, $\Delta^2/12$ e independiente de la frecuencia de muestreo
 - ✓ La densidad espectral de $e(n)$, $S_e(f)$, es blanca y está comprendida entre $\pm f_s/2$



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Cuantificación y ruido: ventajas

- Se produce **sobremuestreo** cuando las señales de interés están limitadas a una frecuencia f_0 pero se mantiene una frecuencia de muestreo $f_s > 2f_0$:
 - ✓ se define la razón de sobremuestreo, OSR, como:

$$\text{OSR} = \frac{f_s}{2f_0}$$

- La señal cuantificada puede filtrarse por encima de f_0 eliminando cualquier componente fuera de la banda de interés y el ruido de cuantificación por encima de f_0 :

$$P_e = \int_{-f_s/2}^{+f_s/2} S_e^2(f) |H(f)|^2 df = \int_{-f_0}^{+f_0} \frac{\Delta^2}{12 f_s} df = \frac{\Delta^2}{12} \text{OSR}$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Cuantificación y ruido: ventajas

- Es posible definir la relación señal-ruido máxima como la relación entre la máxima potencia armónica de entrada y el ruido de cuantificación en la señal $y_2(n)$:

$$\text{SNR}_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{\Delta^2 2^{2N} / 8}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log(\text{OSR})$$

$$\text{SNR}_{\max} = 6.02N + 1.76 + 10 \log(\text{OSR})$$

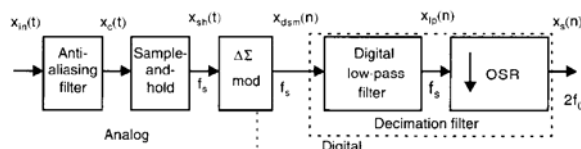
- ✓ los dos primeros términos representan la SNR producida por un cuantificador de N bits
- ✓ el último término representa la mejora introducida en la SNR por el sobremuestreo

Cuantificación y ruido: ventajas

- Este proceso de sobremuestreo mejora la SNR pero no tiene ningún efecto sobre la linealidad del convertidor:
 - ✓ **Ejemplo:** para obtener una conversión lineal de 16 bits con un convertidor de 12 bits, éste ha de tener un INL inferior a $1/2^4$ LSBs
- Un convertidor de 1 bit es lineal por naturaleza, de forma que combinado con sobremuestreo, puede emplearse para implementar convertidores lineales:
 - ✓ la mejora anterior en SNR provocada por el OSR conduciría a frecuencias de muestreo muy elevadas
 - ✓ es necesario mejorar el efecto del sobremuestreo sobre el ruido de cuantificación

Modulador delta-sigma

- La estructura básica de un convertidor A/D delta-sigma de sobremuestreo es:

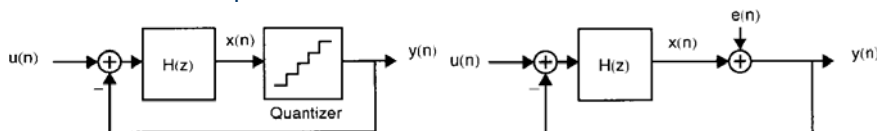


- ✓ con OSR elevados, el filtro inicial puede ser un simple RC
- ✓ el modulador sigma-delta proporciona una señal digital de baja resolución con conformación de ruido
- ✓ a continuación se transforma en una señal digital de alta resolución a una frecuencia mucho menor
- ✓ en implementaciones SC no es necesario el S/H

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Modulador delta-sigma

- El modulador delta-sigma es una estructura interpoladora y es similar a un amplificador realimentado:



- ✓ normalmente emplean un cuantificador de 1 bit, pero no es imprescindible (convertidores multi-bit)
- ✓ se puede tratar considerando dos entradas independientes:

$$S_{TF}(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1 + H(z)} \quad N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)}$$

$$Y(z) = S_{TF}(z)U(z) + N_{TF}(z)E(z)$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

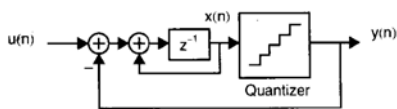
Modulador delta-sigma

- La conformación de ruido se realiza a través de la elección de $H(z)$, de modo que su magnitud sea elevada en la banda de interés ($0 < f < f_0$):
 - ✓ la función de transferencia de la señal $S_{TF}(z)$ se aproxima a 1 en la banda de interés
 - ✓ la función de transferencia del ruido $N_{TF}(z)$ se aproxima a 0 en la banda de interés
 - ✓ por tanto, se reduce el ruido de cuantificación en la banda de interés sin afectar a la señal
 - ✓ el ruido de cuantificación a altas frecuencias no se reduce, pero puede eliminarse por filtrado sin afectar significativamente a la banda de interés

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Modulador delta-sigma

- La conformación de ruido de primer orden se puede conseguir con un integrador en tiempo discreto:



$$H(z) = \frac{1}{z-1}$$

$$S_{TF}(z) = z^{-1} \quad N_{TF}(z) = 1 - z^{-1}$$

$$P_e = \int_{-f_0}^{+f_0} S_e^2(f) |N_{TF}(f)|^2 df = \frac{\Delta^2 \pi^2}{36} \left(\frac{1}{\text{OSR}} \right)^3$$

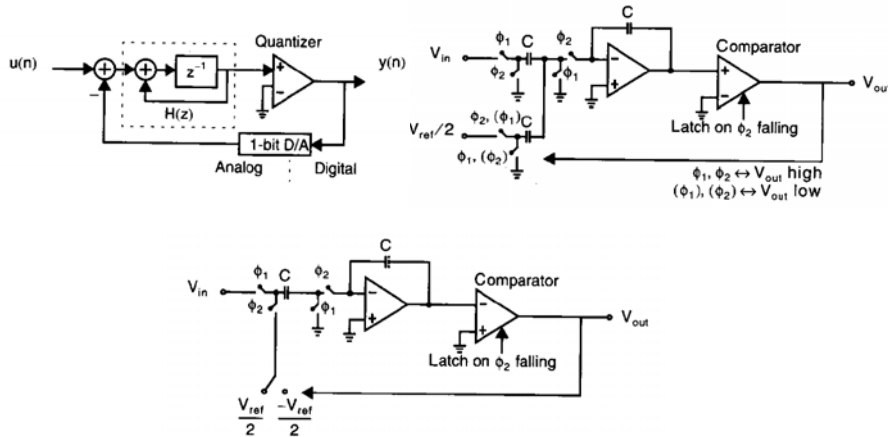
$$\text{SNR}_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{3}{\pi^2} (\text{OSR})^3 \right]$$

$$\text{SNR}_{\max} = 6.02N + 1.76 - 5.17 + 30 \log(\text{OSR})$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Modulador delta-sigma

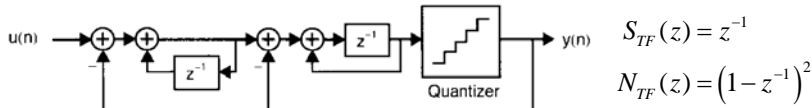
- Implementación SC:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Modulador delta-sigma

- La conformación de ruido de segundo orden utiliza una función paso-alta de segundo orden para $N_{TF}(z)$:



$$P_e = \int_{-f_0}^{+f_0} S_e^2(f) |N_{TF}(f)|^2 df = \frac{\Delta^2 \pi^4}{60} \left(\frac{1}{\text{OSR}} \right)^5$$

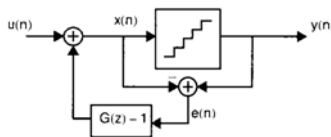
$$\text{SNR}_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{5}{\pi^4} (\text{OSR})^5 \right]$$

$$\text{SNR}_{\max} = 6.02N + 1.76 - 12.9 + 50 \log(\text{OSR})$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Modulador delta-sigma

- Una estructura alternativa es la de realimentación de error:
 - ✓ la función de transferencia de señal es la unidad
 - ✓ la función de transferencia de ruido coincide con $G(z)$

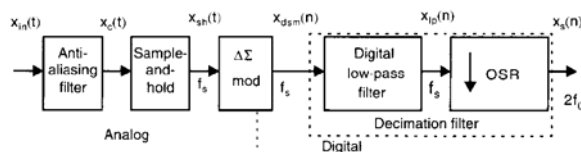


- Su principal inconveniente reside en que pequeños errores en los coeficientes degradan la conformación de ruido e impiden emplear razones de sobremuestreo elevadas.

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Arquitecturas

- Convertidor A/D delta-sigma de sobremuestreo:

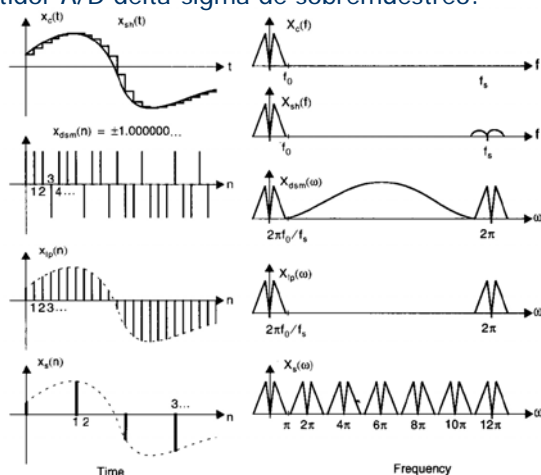


- ✓ con OSR elevados, el filtro inicial puede ser un simple RC
- ✓ el modulador sigma-delta proporciona una señal digital de baja resolución con conformación de ruido
- ✓ a continuación se transforma en una señal digital de alta resolución a una frecuencia mucho menor
- ✓ en implementaciones SC no es necesario el S/H

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Arquitecturas

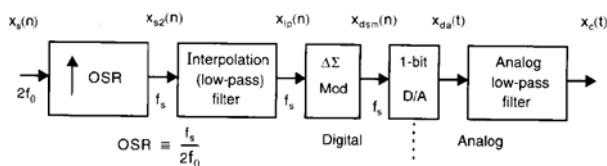
- Convertidor A/D delta-sigma de sobremuestreo:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Arquitecturas

- Convertidor D/A delta-sigma de sobremuestreo:

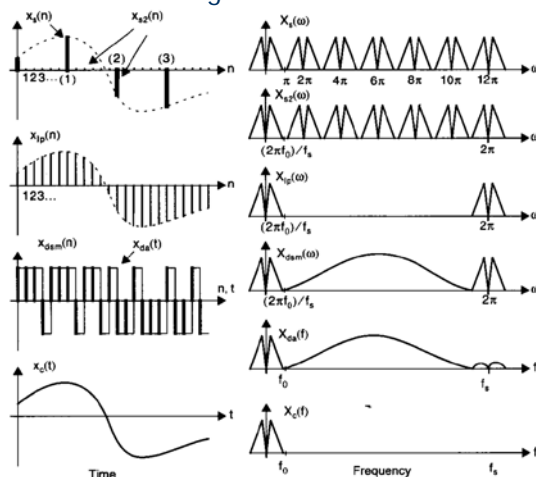


- ✓ la mayor parte del filtrado de alta frecuencia es realizado por el interpolador digital, requiriéndose un filtro final analógico mucho más sencillo
- ✓ el filtro paso-baja analógico final ha de ser un orden superior al del modulador delta-sigma, ya que en caso contrario el ruido de cuantificación es blanco hasta $f_s/2$
- ✓ este filtro ha de rechazar el ruido de altas frecuencias y ser lineal

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Arquitecturas

- Convertidor D/A delta-sigma de sobremuestreo:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores multi-bit

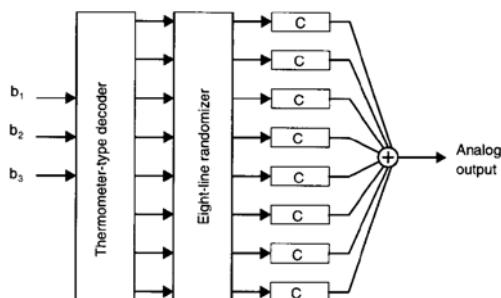
- Los convertidores de sobremuestreo de 1 bit proporcionan gran linealidad, pero presentan ciertos inconvenientes que estructuras multi-bit pueden atenuar:
 - ✓ pueden presentar fácilmente inestabilidad por la realimentación
 - ✓ el muestreo de niveles DC puede provocar tonos significativos en divisores de la frecuencia de muestreo (incluso con moduladores de segundo orden)
 - ✓ los convertidores D/A de 1 bit producen un gran ruido de cuantificación fuera de la banda de interés en convertidores D/A de sobremuestreo, que ha de ser filtrado analógicamente:
 - puede provocar problemas por la selectividad y rango dinámico requeridos para dicho filtrado

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores multi-bit

➤ Convertidor D/A multi-bit de aleatorización:

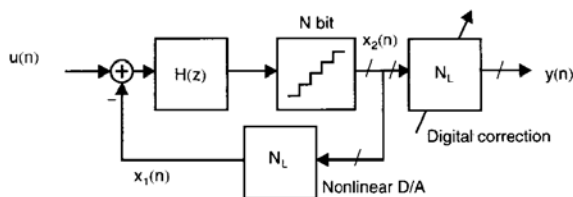
- ✓ la aleatorización distribuye las no linealidades por todo el rango de frecuencias
- ✓ el bloque de aleatorización distribuye el código termómetro de manera homogénea a las capacidades
- ✓ puede utilizarse junto con conformación de ruido



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

Convertidores multi-bit

- La alta linealidad de los convertidores en modo de corriente puede emplearse con sobremuestreo para conseguir rangos dinámicos muy elevados.
- Un convertidor D/A multi-bit puede utilizarse para introducir un ciclo de calibración en un modulador A/D de sobremuestreo:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación