



Universidad  
de Alcalá

# Problemas de Electrónica Digital (Tema 3, enunciados)

## Electrónica Digital

**Universidad de Alcalá**

---

(19/06/2012)

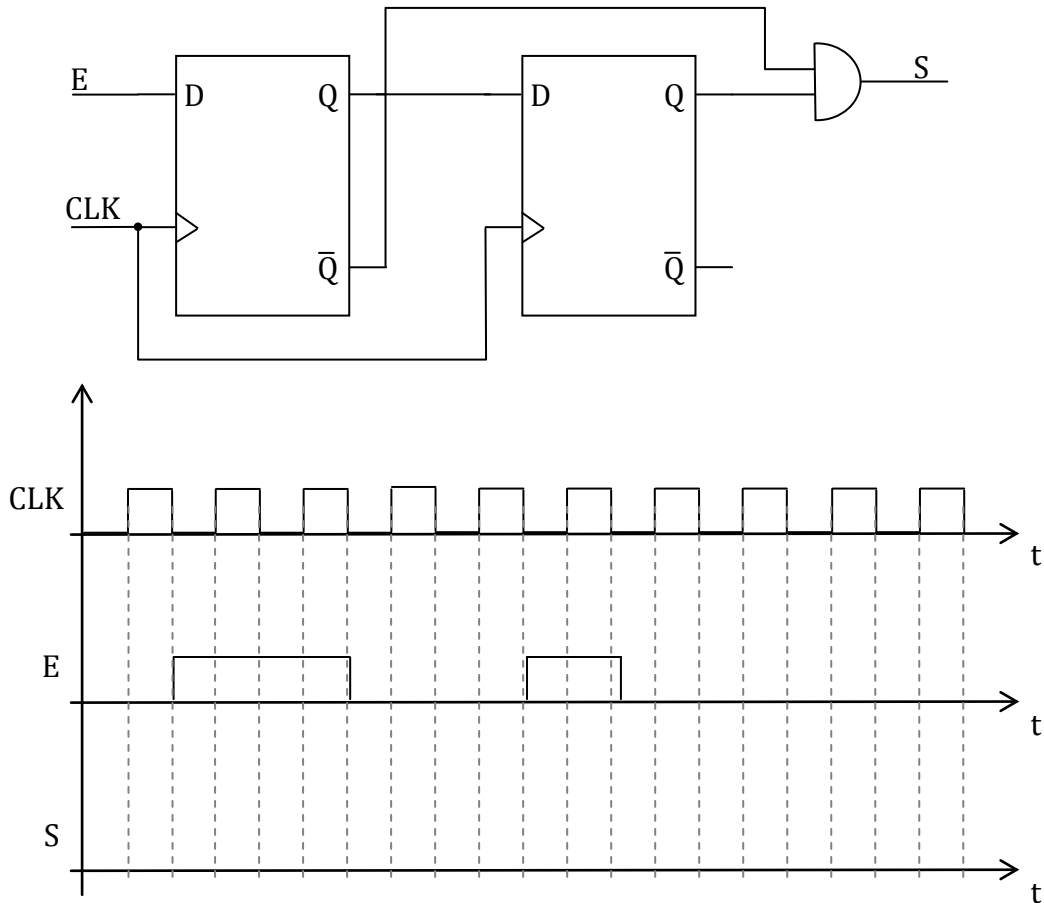
# Índice

Ejercicios del Tema 3 .....	2
Cuestión 1 .....	2
Cuestión 2 .....	3
Cuestión 3 .....	4
Cuestión 4 .....	5
Cuestión 5 .....	6
Cuestión 6 .....	7
Cuestión 7 .....	8
Cuestión 8 .....	9
Cuestión 9 .....	10
Cuestión 10 .....	11

### Ejercicios del Tema 3

#### Cuestión 1

- 1) Complete el cronograma adjunto para el circuito de la siguiente figura suponiendo que al principio las salidas de los biestables están a nivel bajo.



- 2) Diseñe un circuito que tenga esta misma funcionalidad (mismo cronograma) pero con biestables J-K activos por flanco de subida.

**Cuestión 2**

Tras estudiar el circuito de la figura 3.1 responda razonadamente a las preguntas que sobre él se formulan.

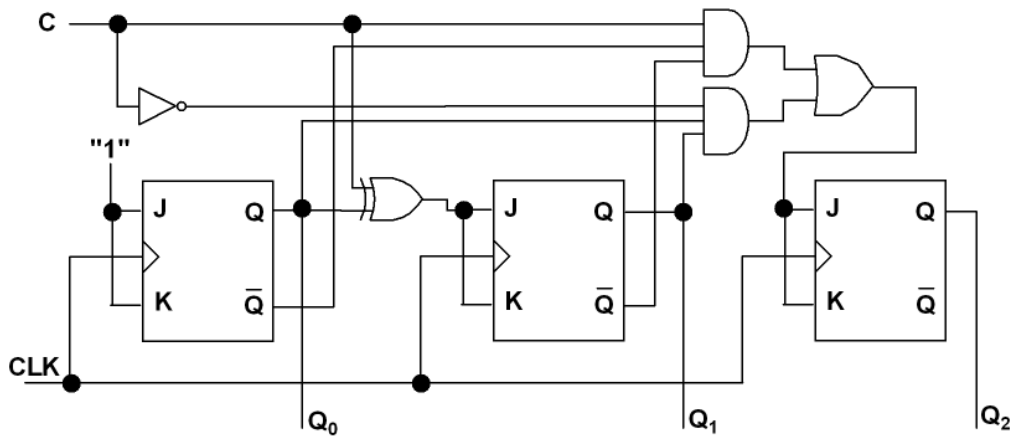
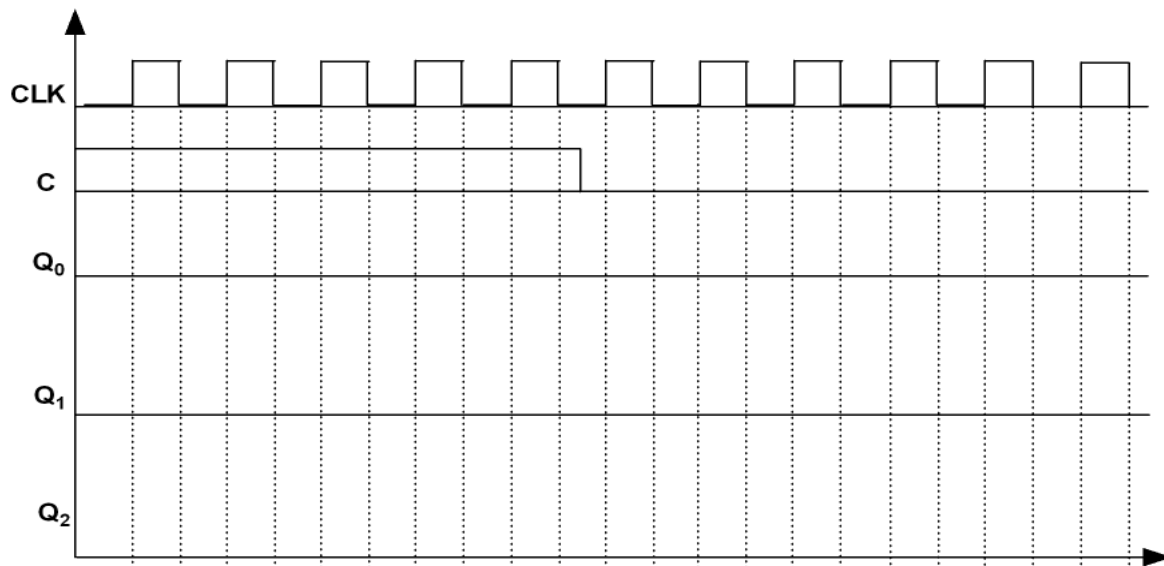


Figura 3.1

1) Complete el siguiente cronograma e indique la función que realiza el circuito y la señal C. Considere que inicialmente  $Q_0=Q_1=Q_2=0$ .

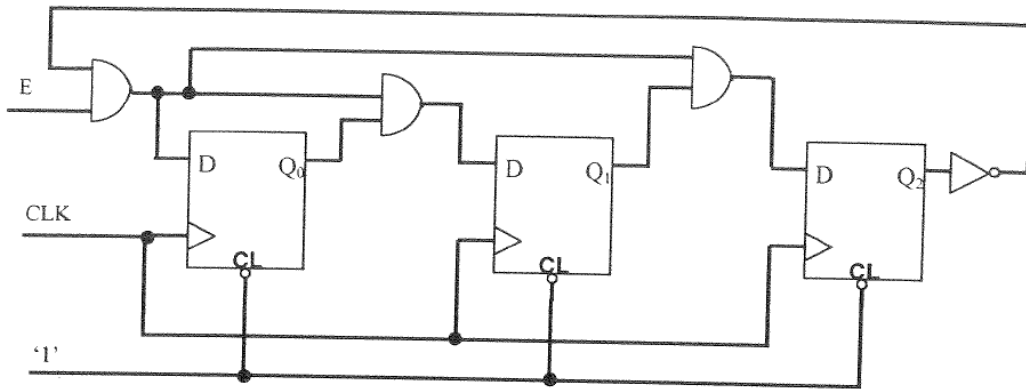


2) Calcule la frecuencia máxima de funcionamiento de la señal de reloj CLK, teniendo en cuenta los siguientes tiempos característicos de los componentes ( $t_{pp}$  es igual para todas las puertas lógicas, y el resto de tiempos son iguales para todos los biestables).

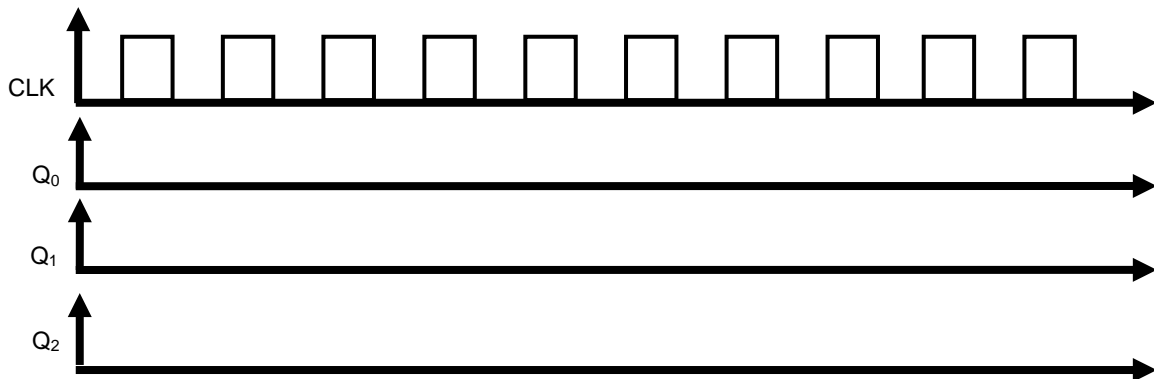
$t_{pp} = 4ns$
$t_{pB} = 11ns$
$t_{hold} = 3ns$
$t_{set-up} = 5ns$

### Cuestión 3

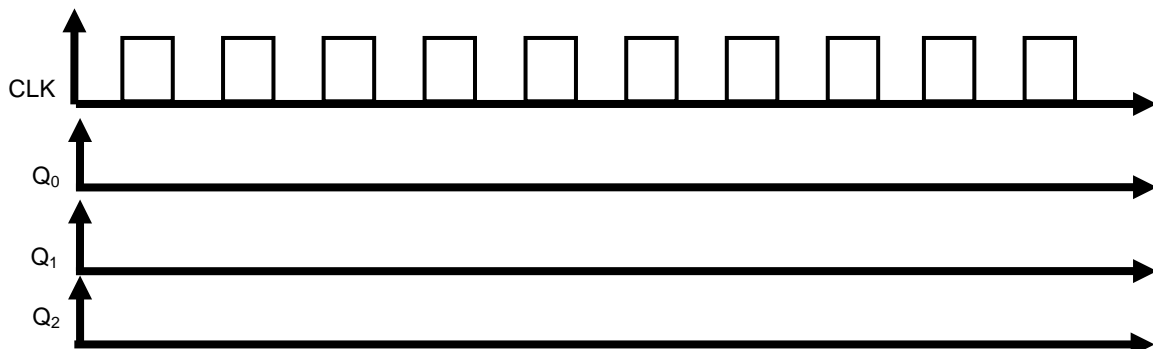
Responda justificadamente a las preguntas que se formulen sobre el circuito siguiente:



- 1) Representar sobre el siguiente cronograma la evolución temporal de las señales Q0 , Q1 , Q2 , suponiendo que inicialmente tienen el valor 000, y que la señal E siempre se encuentra a `1`. El funcionamiento de los componentes se considera ideal.



- 2) Representar sobre el siguiente cronograma la evolución temporal de las señales Q0 , Q1 , Q2 , suponiendo que inicialmente tienen el valor 111, y que la señal E siempre se encuentra a `0`. El funcionamiento de los componentes se considera ideal.



### Cuestión 4

Se dispone del circuito de la figura 5.1

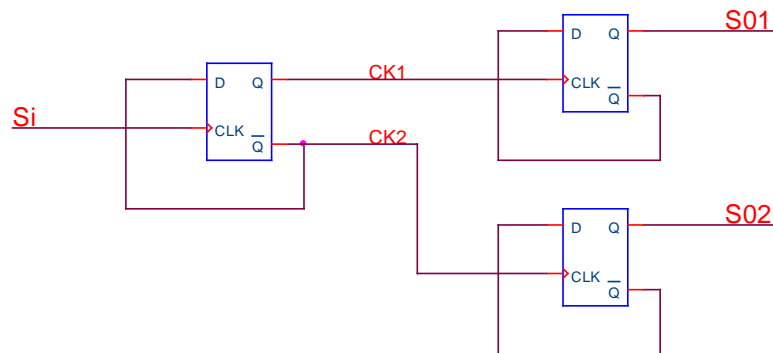
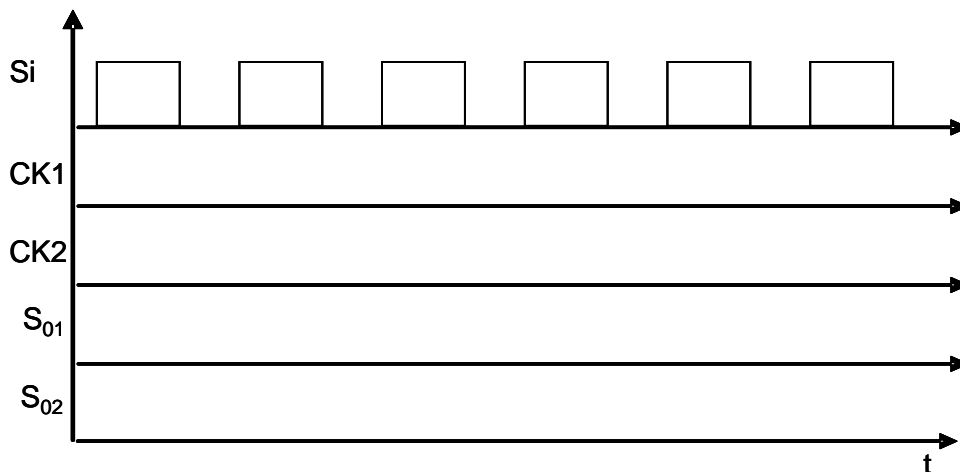


Figura 5.1

- 1) Complete el cronograma mostrado a continuación. Suponga que los biestables comienzan con  $Q=0$ . (NOTA: No es necesario reflejar los tiempos de retardo de los biestables en el cronograma)



- 2) Los biestables del circuito tienen un tiempo de propagación diferente para la salida  $Q$  y para la  $\bar{Q}$  ( $t_{pQ}, t_{p\bar{Q}}$  respectivamente). Obtenga el valor máximo posible de  $t_{p\bar{Q}}$  para que el circuito pueda funcionar correctamente para una señal de entrada  $S_i$ , cuadrada y periódica, de frecuencia 10MHz.

DATO:  $t_{pQ}=40\text{ns}$ .  $T_{SU}=10\text{ns}$ .

### Cuestión 5

A partir del circuito mostrado en la Figura 5.1, formado por biestables JK, se pide:

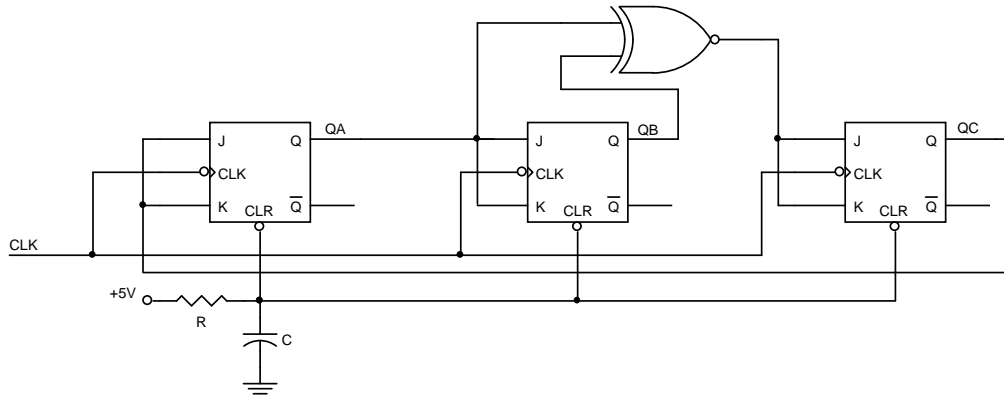
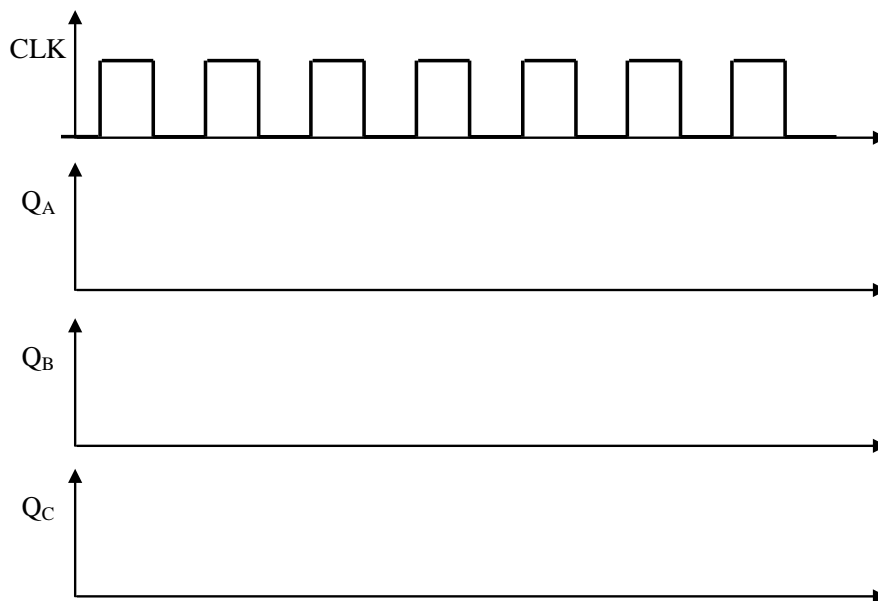


Figura 5.1.

- 1) Complete el cronograma siguiente suponiendo que en el instante inicial se conecta la alimentación del circuito



- 2) Calcule la frecuencia máxima de la señal de reloj.

**Datos:** Puerta:  $t_{pp}=5$  ns; Biestables:  $t_{pB}= 40$  ns,  $t_{su}= 25$  ns,  $t_h= 5$  ns.

### Cuestión 6

A partir del circuito secuencial mostrado en la Figura 5.1, se pide:

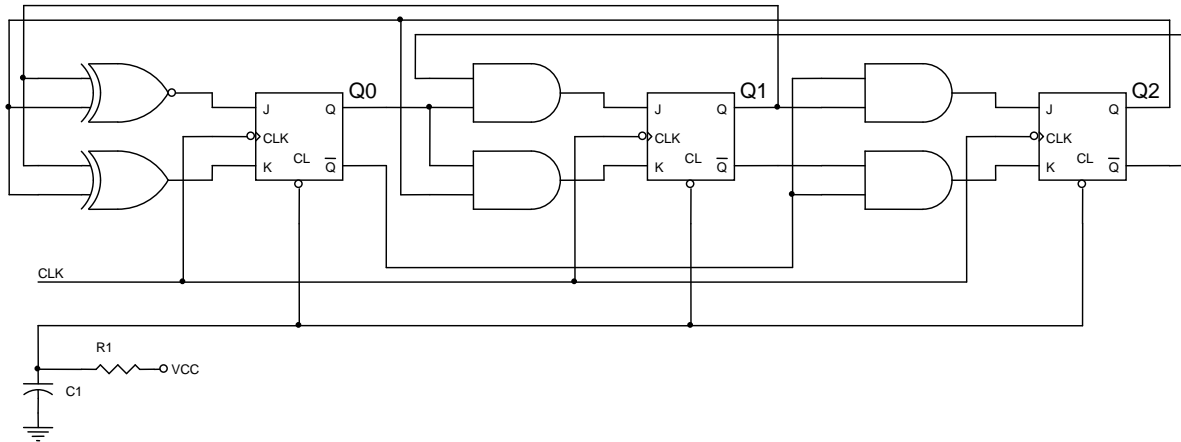


Figura 5.1. Circuito secuencial basado en biestables.

- 1) Complete la siguiente tabla indicando la evolución de las salidas del circuito durante los primeros 10 flancos de la señal de reloj, desde el momento de conectar la alimentación.

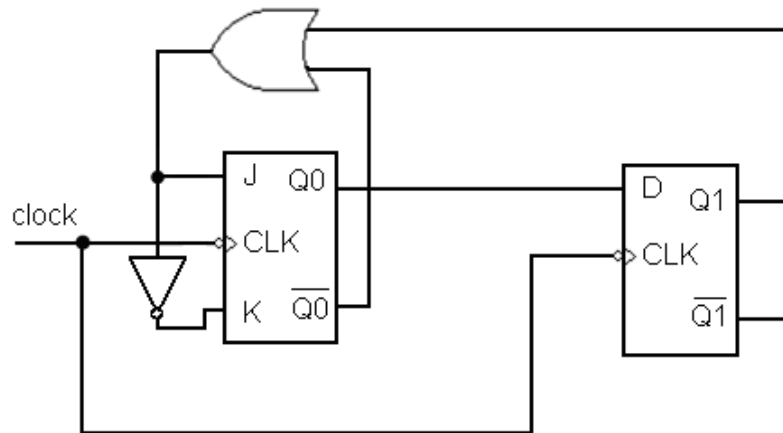
CLK	Q2	Q1	Q0
Inicio			
↓			
↓			
↓			
↓			
↓			
↓			
↓			
↓			
↓			

- 2) Indique el código de numeración de la salida del circuito, así como su módulo en caso de tratarse de un contador.

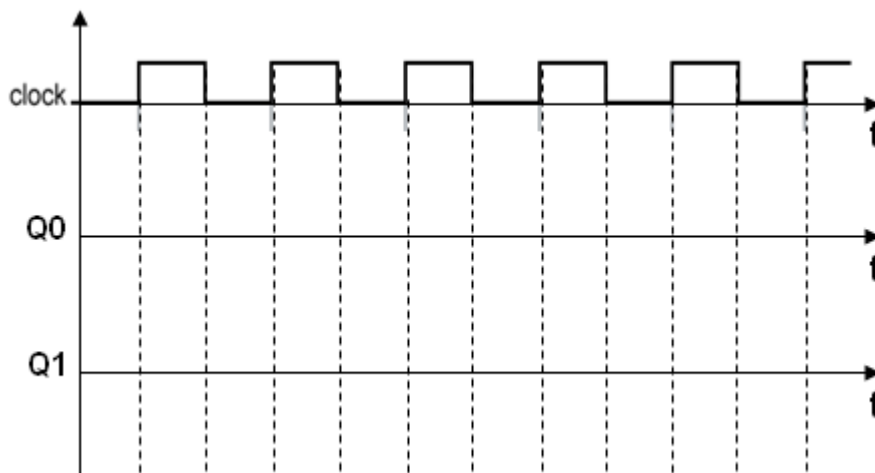


### Cuestión 7

Dado el siguiente circuito:



- 1) Rellene el siguiente cronograma de tiempo (suponga que Q0 y Q1 están en nivel bajo en el momento inicial):



- 2) Determine la frecuencia máxima de la señal de reloj en función de los tiempos característicos de los componentes.

Datos Biestables:  $t_{pB} = 8 \text{ ns}$ ,  $t_{\text{setup}} = 4,5 \text{ ns}$ ,  $t_{\text{hold}} = 0 \text{ ns}$ .

Datos Puertas:  $t_{pp} = 6 \text{ ns}$ .

### Cuestión 8

Dado el circuito de la figura 3.1, complete el cronograma a partir de la conexión de la alimentación.

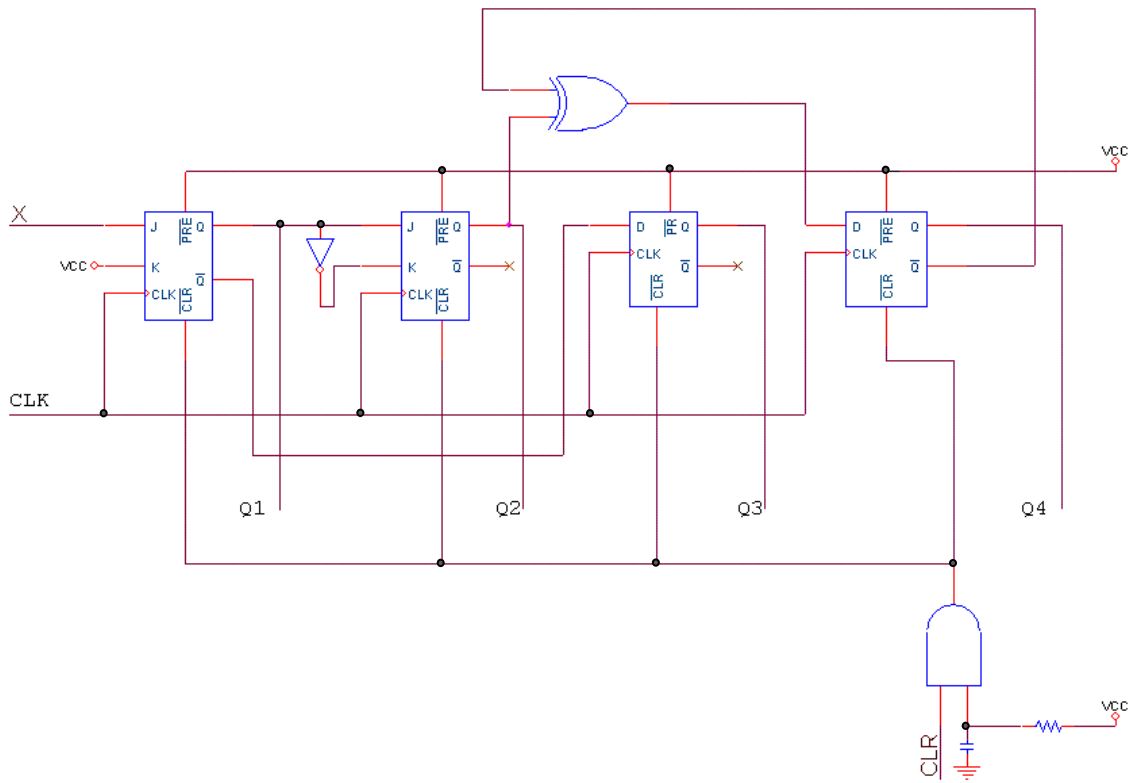
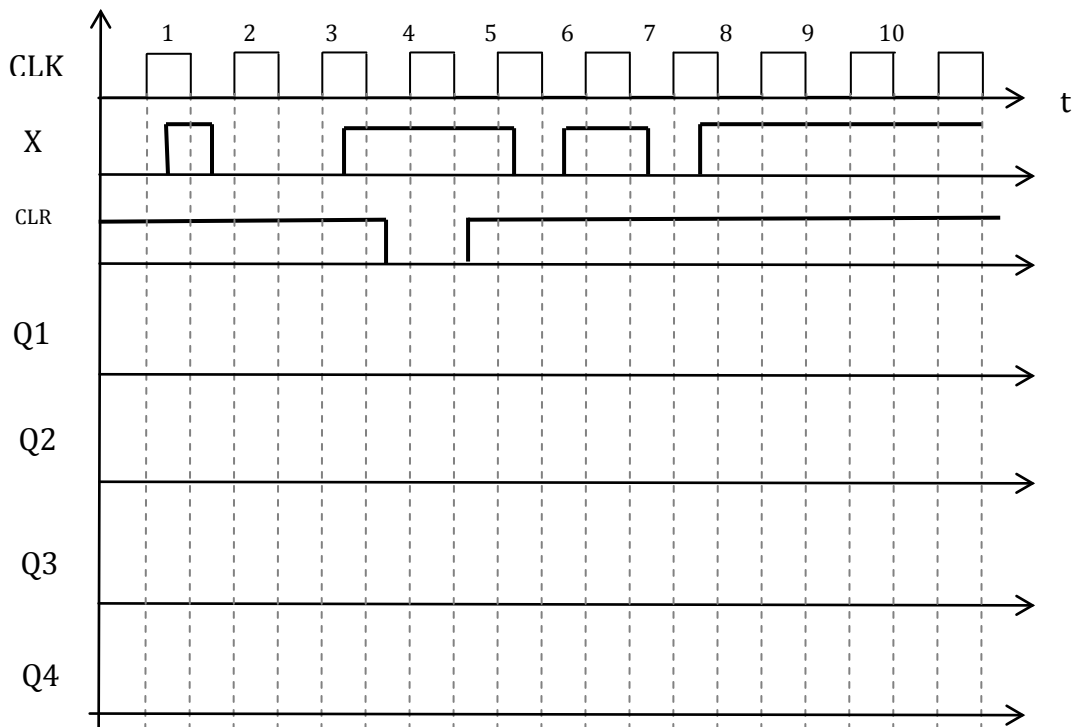


Figura 3.1



### Cuestión 9

Dado el circuito de la Figura 3.1, se pide:

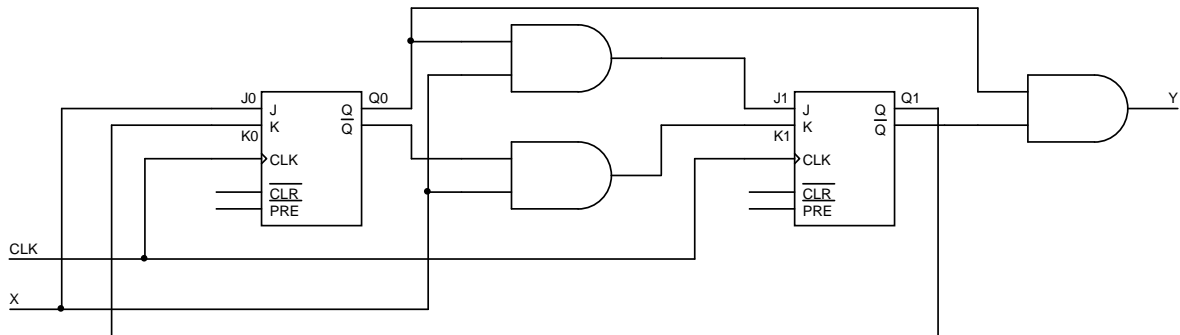
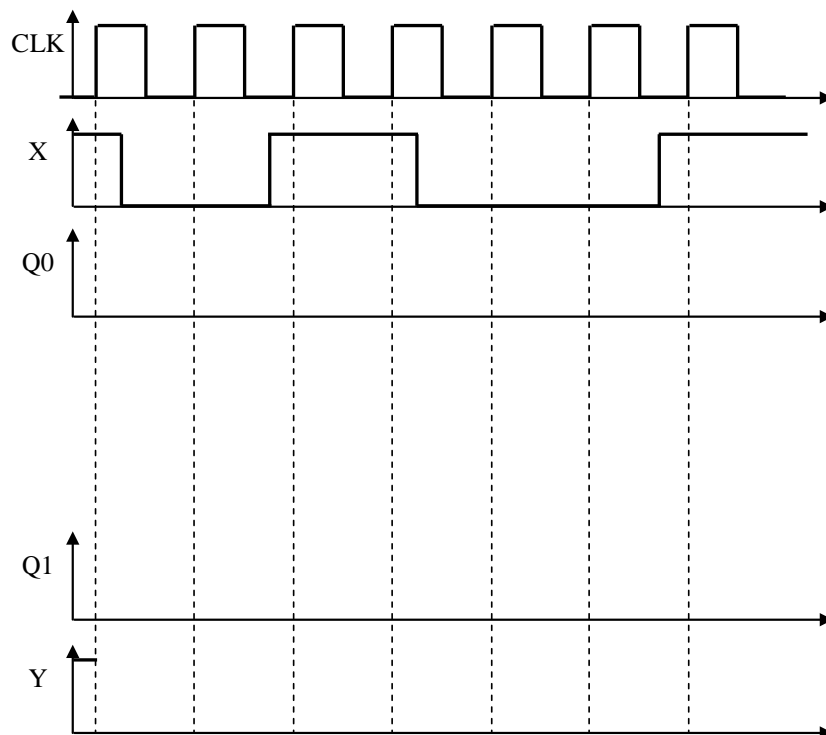


Figura 3.1

- 1) Complete el circuito de la Figura 3.1 de manera que cuando se conecte la alimentación la salida Y comience a nivel alto.
- 2) Complete el siguiente cronograma con la evolución de las señales Q0, Q1 y la salida Y, sabiendo que ésta comienza a nivel alto.



- 3) Calcule la frecuencia máxima de la señal de reloj a partir de los datos que se proporcionan.  
 Datos: Puertas:  $t_{pAND}=5\text{ ns}$ ; Biestables:  $t_{pB}=8\text{ ns}$ ,  $t_{SU}=2\text{ ns}$ ,  $t_h=4\text{ ns}$ .

### Cuestión 10

A partir del circuito de la Figura 5.1, responda justificadamente a las siguientes preguntas:

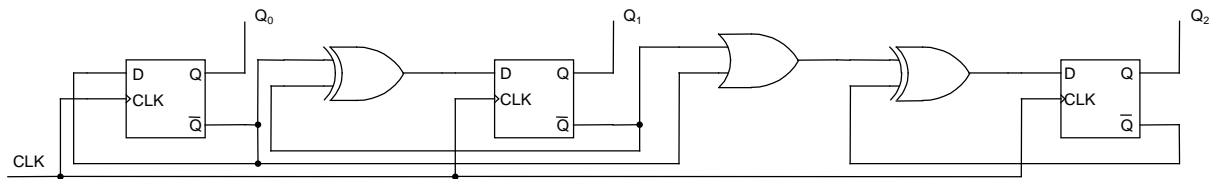
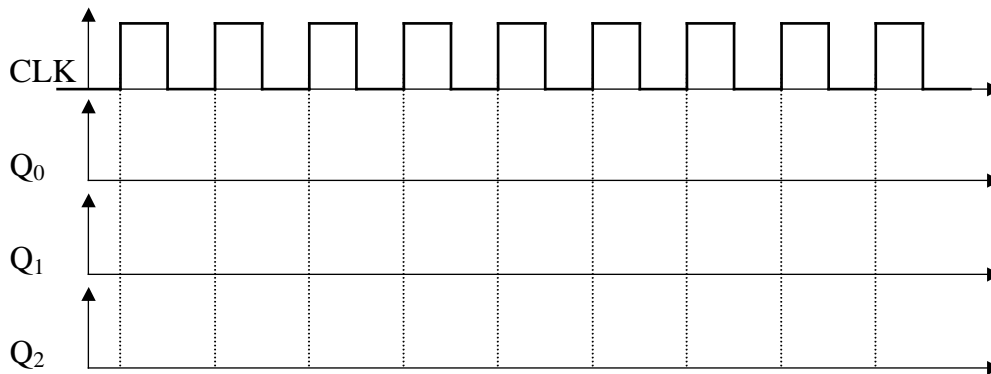


Figura 5.1. Circuito secuencial.

- 1) Represente sobre el siguiente cronograma la evolución temporal de las señales Q0 Q1 Q2, suponiendo que inicialmente tienen el valor 0 0 0.



- 2) Si se trata de un circuito contador, indique el módulo del mismo.

- 3) Determine la frecuencia máxima de funcionamiento.

Datos Biestables:  $t_{pB} = 8 \text{ ns}$ ;  $t_{\text{setup}} = 4,5 \text{ ns}$ ;  $t_{\text{hold}} = 0 \text{ ns}$

Datos Puertas:  $t_{pp} = 6 \text{ ns}$