

Examen final y 2º parcial de Estructura de Computadores

(12-02-2010, 9:30h, Aulas 1,2 y 3)

Teoría (1h examen parcial, 1h 15' examen final)

1) Expresa en decimal los siguientes números:

a) Codificados en complemento a 2

01100111

11100111

b) Codificado en coma flotante en el standard IEEE 754

100000000110000000000000000000

01000011111111111111111111111111

2) Diseña una memoria de 4K palabras y 4 bits útiles de longitud de palabra, tolerante a un fallo simple, utilizando el código de Hamming. Se dispone de módulos de memoria de 1Kx 4 bits, 2K x 1 bits y módulos combinacionales. Dibuja el esquema de interconexión.

3) Describir brevemente y con un ejemplo el funcionamiento de una lectura asíncrona mediante el protocolo handshake.

4) Describir brevemente (menos de 10 líneas) el funcionamiento de un computador con DMA en modo ráfaga. Ventajas de un computador con DMA con robo de ciclo frente a un computador con E/S controlada por interrupciones.

5) Un computador dispone de un sistema de memoria virtual con una capacidad de 128GB, mientras que su memoria física es de 4GB. El tamaño de página es de 64KB. Se hace uso de un TLB para la traducción de direcciones anticipadas, y se sabe que contiene un total de 1024 entradas. Se pide:

a) Formato de las direcciones virtual y física.

b) Número máximo de páginas virtuales y páginas físicas

6) Calcular el tiempo de lectura sobre un fichero de 1MB que se encuentra almacenado consecutivo en un disco magnético de 160 pistas con 64 sectores por pista (1 sector =1KB), cuya velocidad es de de 40 MB/s y un tiempo de búsqueda de 20ms.

7) El sistema de memoria virtual de un computador dispone de una memoria física de 3 marcos de página. Sobre él se ejecuta un programa que hace referencia a las páginas 1,2,3,2,1,4,5,3,5,2,1. Dibuja la evolución del contenido de la memoria física a lo largo de la ejecución del programa y determina el número de fallos de página para las siguientes políticas de sustitución de página: *LRU*, *FIFO* y *LINUFO*.

8) Un procesador de 24 líneas para el bus de direcciones con una memoria cache de correspondencia directa dispone de 2048 líneas de cache de 64 palabras. ¿Cuántos marcos de memoria principal compiten por cada una de las líneas de cache?

Notas:

1. Los alumnos que se presentan sólo al 2º parcial contestarán a las preguntas 3, 4, 5, 6, 7 y 8.

3. La nota de teoría vale la mitad de la nota total del examen

Examen final y 2º parcial de Estructura de Computadores
(12-02-2010, 9:30h, Aulas 2,3,4 y 5)
Problemas (1h 30' examen parcial, 2h examen final)

Problema 1

Un computador con instrucciones de longitud fija de 32 bits dispone de 256 registros generales y los siguientes grupos de instrucciones:

- Grupo 1: 13 instrucciones que hacen referencia a 3 operandos, 2 en registros y 1 desplazamiento de 12 bits.
- Grupo 2: 40 instrucciones que hacen referencia a 3 operandos en registros
- Grupo 3: 7 instrucciones que hacen referencia a 2 operandos, 1 en registro y 1 desplazamiento de 16 bits
- Grupo 4: 200 instrucciones sin operandos

- A) Determina el formato de cada grupo de instrucciones
- B) Dibuja el diseño del decodificador completo
- C) Calcula el tiempo de decodificación de instrucciones si cada decodificador utilizado en el diseño tienes dos niveles de puertas lógicas y son 2 ns el tiempo de retardo de cada puerta.

Problema 2

Se dispone de un computador con las siguientes características: longitud de palabra 32 bits, una Memoria Principal de 2 MBytes y una Memoria Cache de 1KBytes asociativa por conjuntos de 4 vías, políticas LRU y postescritura, organizada en líneas de cache de 32 bytes. En dicho computador se ejecuta el siguiente programa escrito en lenguaje C:

```
#define N 16
#define M 16

void main()
{
    int a[N][M];
    int b[M][N];

    for (int i=1; i<N; i++)
        for (int j=1; j<M; j++)
            b[i][j] = a[i][j] + (b[i][j-1] + b[i-1][j])/2;
}
```

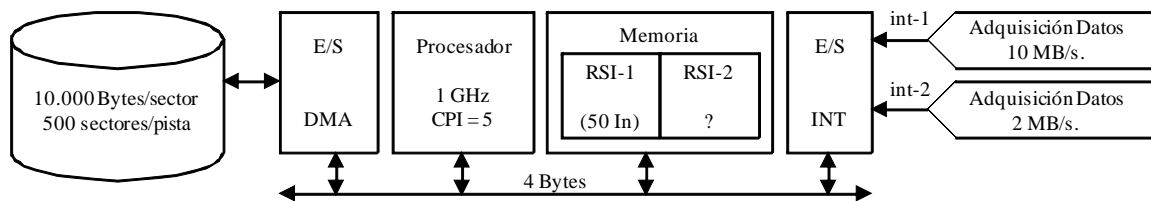
Suponiendo que cada elemento entero ocupa 4 bytes, que el vector *a* comienza en la posición de memoria 0x000000, el vector *b* va a continuación del *a*, que la cache está inicialmente vacía y que el tiempo de operaciones aritméticas es despreciable. Calcular:

- 1) Correspondencia entre la dirección física para acceder a memoria principal y memoria cache. Especificar el número de bits para la etiqueta.
- 2) Número de fallos y aciertos a la memoria cache
- 3) Tiempo de ejecución suponiendo que el tiempo correspondiente la gestión de un fallo de cache es de 20 veces mayor que el acceso a memoria cache (incluida la escritura de línea de cache). Obtener la ganancia del uso de la memoria cache suponiendo que el acceso a memoria principal a por un dato es 10 veces superior al de memoria cache.

Problema 3

Un computador presenta la siguiente configuración (ver figura):

- Una CPU que opera a 1 GHz con ciclo medio por instrucción CPI = 5.
- Un disco con 500 sectores/pista y 10.000 Bytes/sector conectado por DMA. Se transfieren 4 Bytes por ciclo de DMA.
- Dos sistemas de adquisición de datos que operan a 10 MBytes/segundo y 2 MBytes/segundo conectados por interrupción a través de las líneas int-1 y int-2 respectivamente, siendo la primera prioritaria sobre la segunda. Se transfieren 4 Bytes por interrupción.



Calcular cuando operan simultáneamente el disco y los sistemas de adquisición de datos:

- 1) El número máximo de instrucciones que puede ejecutar la rutina de servicio asociada a int-2 (RSI-2) si el número máximo que ejecuta la asociada a int-1 (RSI-1) es de 50 y el DMA opera: 1a) en modo transparente y 1b) en modo robo de ciclo.
- 2) El ancho de banda que tiene la E/S por DMA cuando opera: 2a) en modo transparente si 2 de los 5 ciclos de una instrucción son internos (no utiliza la memoria) y 2b) en modo robo de ciclo.
- 3) La velocidad angular máxima a la que puede girar el disco en revoluciones/minuto (r.p.m.) si el DMA opera: 3a) en modo transparente y 3b) en modo robo de ciclo.

Notas:

1. Los alumnos que se presentan sólo al 2º parcial deberán hacer los problemas 2 y 3.
2. La nota de problemas vale la mitad de la nota total del examen