



EXAMEN PARCIAL DE FUNDAMENTOS DE COMPUTADORES

CURSO 2015-16, PRIMER PARCIAL (CONV. DE JUNIO), 12 DE FEBRERO DE 2016

1. **(1 punto)** Dados los siguientes números: $A = +(27)_{10}$, $B = -(127)_8$, $C = +(74)_{16}$ y $D = +(1111010)_2$
- (0,5 puntos)** Expréselos en representación en complemento a 2 con 8 bits
 - (0,5 puntos)** Efectúe las operaciones (A-B) y (-C-D) indicando en cada caso si hay desbordamiento y/o acarreo y el por qué.
2. **(2,5 puntos)** Un depósito de agua cuenta para su llenado con dos electroválvulas (E1 y E2) que suministran un caudal de 50 y 10 litros/minuto respectivamente. El nivel del agua en su interior puede conocerse mediante la lectura de 3 sensores (S1, S2 y S3) tales que:
- La salida del sensor S1 vale 1, cuando se ha llegado al 100% de la capacidad del depósito.
 - La salida del sensor S2 vale 1, si la cantidad de agua en el depósito supera el 90%.
 - La salida del sensor S3 vale 1, si el nivel se encuentra por encima del 60%.
- Se desea diseñar un sistema combinacional que controle la activación de las electroválvulas en función del valor de los sensores según las siguientes especificaciones:
- Cuando la cantidad de agua existente en el depósito se encuentre entre el 0 y el 60% de la capacidad total, se deberá llenar el depósito a razón de 60 litros/minuto.
 - Si el nivel de agua se encuentra entre el 60 y el 90%, la velocidad de llenado será de 50 litros/minuto.
 - Si el nivel se encuentra entre el 90 y el 100%, se procederá a terminar de llenar el depósito con un caudal de 10 litros/minuto.
 - Si el nivel ha llegado a su punto máximo, es decir al 100%, se deben cerrar ambas electroválvulas.
- Se pide:
- (0,5 puntos)** Obtener la tabla de verdad del sistema.
 - (1 punto)** Utilizando el menor número de puertas NAND, implementar un circuito con el comportamiento anteriormente especificado.
 - (0,5 puntos)** Implementar el control de E1 utilizando un decodificador 3 a 8 y el menor número de puertas lógicas.
 - (0,5 puntos)** Implementar el control de E2 utilizando un multiplexor 4 a 1 y el menor número de puertas lógicas.
3. **(1 punto)** Usando un sumador binario de 8 bits así como las puertas y/o multiplexores que necesite, diseñe un sumador saturado de 8 bits en C2. Su comportamiento es el siguiente:
- Si al realizar la suma se produce un desbordamiento positivo (es decir, el resultado de la suma sería positivo pero requeriría más de 8 bits para ser representado correctamente en C2), el sumador devuelve el máximo valor representable en C2 con 8 bits.
 - Si al realizar la suma se produce un desbordamiento negativo (es decir, el resultado de la suma sería negativo pero requeriría más de 8 bits para ser representado correctamente en C2), el sumador devuelve el mínimo valor representable en C2 con 8 bits.
 - Si al realizar la suma no se produce desbordamiento alguno (es decir, el resultado de la suma puede representarse correctamente en C2 con 8 bits), el sumador devuelve el resultado de dicha suma.

4. (2,5 puntos) Sea un sistema secuencial con una entrada de 2 bits (\underline{X}), una salida de un bit (\underline{Z}) y que se comporta según la siguiente expresión:

$$Z(t) = \begin{cases} 1 & \text{si } \underline{X}(t-2) = (01) \text{ y } \underline{X}(t-1) = (10) \\ 0 & \text{en caso contrario} \end{cases}$$

Se pide:

- (1 punto) Especificar el sistema mediante un diagrama de estados de tipo Moore.
 - (0,5 puntos) Obtener las tablas de transición y de salida del sistema.
 - (1,5 puntos) Implementar el sistema con biestables D y una ROM.
5. (3 puntos) Utilizando un contador módulo 4 con carga en paralelo y el mínimo número de puertas lógicas, implemente un sistema secuencial cuya salida de 2 bits (\underline{Z}) en función de una entrada de 2 bits (\underline{X}) siga repetidamente las siguientes secuencias:
- Si $\underline{X} = 0$, la salida del sistema seguirá la secuencia **0,1,2,3...**
 - Si $\underline{X} = 1$, la salida del sistema seguirá la secuencia **0,2,1,3....**
 - Si $\underline{X} = 2$, la salida del sistema seguirá la secuencia **0,3,1,2....**

Si el valor de entrada cambia en un cierto ciclo, el sistema seguirá la nueva secuencia a partir del dígito que esté en la salida en dicho ciclo (véase la figura).

$\underline{X}(t)$	0	0	0	0	0	2	2	2	2	2	2	1	1	1	1
$\underline{Z}(t)$	0	1	2	3	0	1	2	0	3	1	2	0	2	1	3
	Secuencia "0123"					Secuencia "0312"						Secuencia "0213"			