

Diseñar un sistema digital con reloj y una única línea de entrada de datos (Entrada) por la que, en serie, y uno por ciclo de reloj, le van llegando bits. El circuito tiene dos líneas de salida por las que se codifica el número de unos que le han llegado en los 3 últimos ciclos de reloj.

Una vez diseñado el circuito, constrúylo usando el software ORCAD y la librería 74S. Tened en cuenta que el circuito, que contiene biestables D 74S175, necesita una entrada adicional al diseño que habéis realizado en el apartado anterior, CLEAR que ha de estar a 1 para el funcionamiento normal de los biestables, siendo estos reseteados cuando CLEAR=0. Además obviamente necesita la entrada de reloj, CLK.

Simular el diseño con los siguientes estímulos:

CLK es un reloj con un periodo de 10ms, 5ms a 0 y 5 ms a 1

CLEAR = 0 hasta 37ms y a partir de ahí vale 1

Entrada = 0 hasta 97ms, desde ahí 1 hasta 137ms, desde ahí 0 hasta 147 ms desde ahí 1 hasta 167 ms y desde ahí 0

Mostrar en los resultados de simulación, además de las entradas, el bus formado por las dos salidas S0 y S1 ({S1 S0})

Listado de Circuitos Integrados recomendados

Identificador	Descripción
74S00	NAND de dos entradas
74S107	Biestable JK con señal de clear
74S175	Biestable D con señal de clear
74S32	OR de 2 entradas
74S04	INVERSOR
74S10	NAND de 3 entradas
74S11	AND de 3 entradas
74S08	AND de dos entradas
74s20	NAND de 4 entradas

The logo for 'Cartagena99' features the text 'Cartagena99' in a stylized, blue, serif font. The '99' is significantly larger and more prominent than the 'Cartagena' part. The text is set against a light blue background with a subtle gradient and a soft shadow effect.

**CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70**

**ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70**