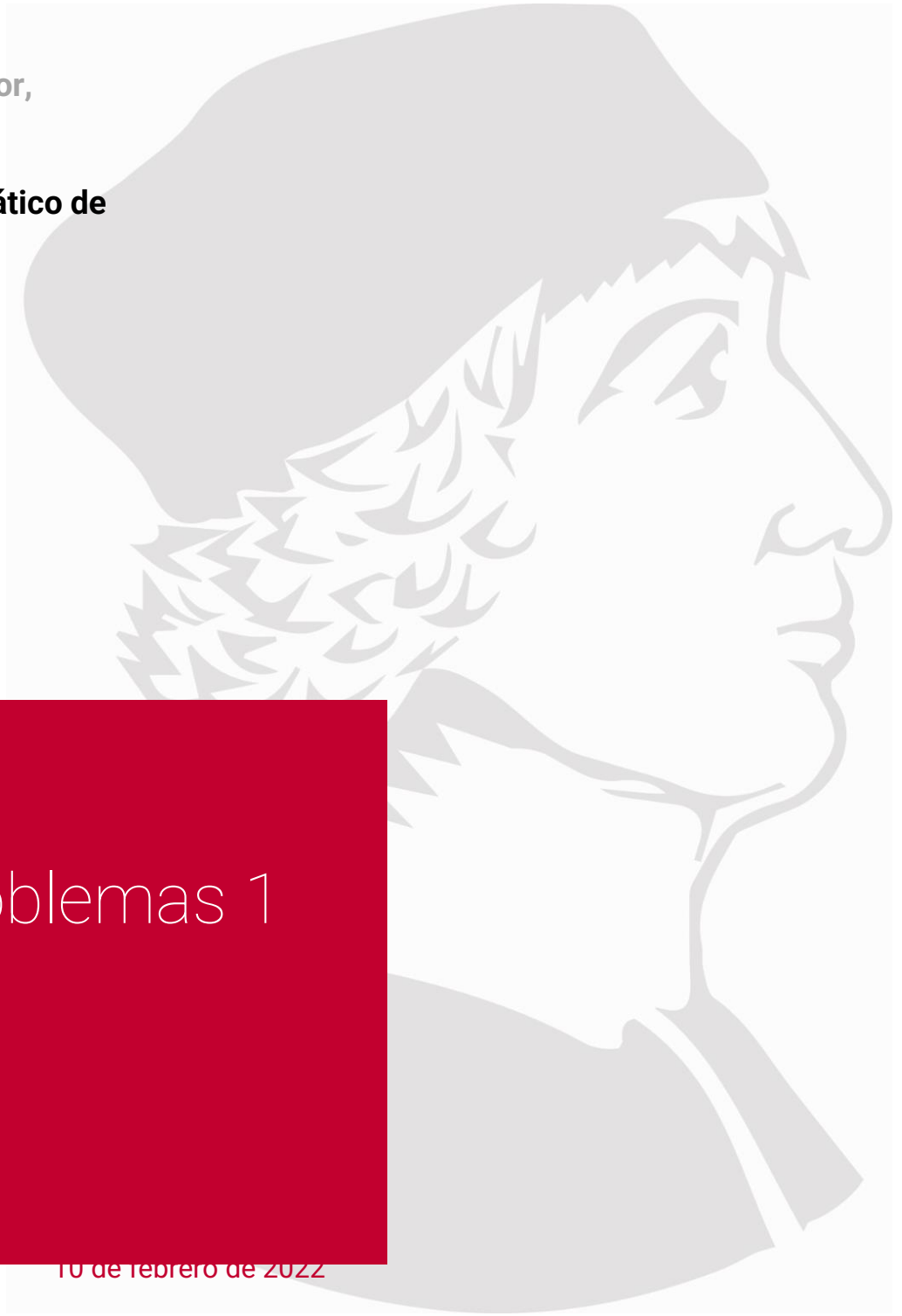


Escuela Politécnica Superior,
Grado en Informática

**Asignatura: Diseño Automático de
Sistemas**



Hoja de Problemas 1

10 de febrero de 2022

Cartagena99

**CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70**

**ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70**

1. Un circuito secuencial síncrono tiene una entrada (X) y una salida (Z). Si la secuencia de entrada 0101 o 0110 sucede la salida toma el valor de 1 durante dos ciclos de reloj. El circuito se debe resetear después del segundo 1 de la secuencia de salida. El primer 1 de la salida debe ocurrir en el mismo ciclo en el que el último bit de la entrada (0101 o 0110) ha sucedido. Ejemplo de una secuencia:

Entrada (X) X = 0 1 0 0 1 1 1 0 1 0 1 0 1 0 1 1 0 1 ...
Salida (Z) Z = 0 0 0 0 0 0 0 0 0 0 1 1 0 0 0 0 1 1 ...

- ¿Qué tipo de máquina de estado utilizarías? Justifica la respuesta.
- Dibuja un diagrama de estados.
- Transfórmalo a un ASM.
- ¿Qué señales necesitas registrar para su implementación en VHDL?

2. Un circuito secuencial con una entrada (X) y una salida (Z) tiene el siguiente comportamiento: La salida toma el valor de 1 al siguiente ciclo de la secuencia de entrada 111 y el valor de 0 después de la secuencia de entrada 000. En cualquier otro caso la señal de salida se mantiene.

Entrada (X) X = 0 1 0 1 1 1 0 1 0 0 0 1 1 1 0 0 1 0 0 0 ...
Salida (Z) Z = 0 0 0 0 0 0 1 1 1 1 1 0 0 0 1 1 1 1 1 1 0...

- ¿Qué tipo de máquina de estado utilizarías? Justifica la respuesta.
- Dibuja un diagrama de estados.
- Transfórmalo a un ASM
- Escribe la máquina de estados en dos procesos usando VHDL, incluye una señal de reset asíncrono a nivel alto.

3. Se desea implementar un contador binario de síncrono ascendente de 4 bits con la siguiente funcionalidad: Si está activo (entrada EN = '1') entonces cuenta de forma incremental en cada pulso de reloj. Si la entrada EN se pone a 0, el valor de CNT se mantiene. Si la entrada RST se pone a 1 entonces se reinicia la cuenta (CNT) a 0, durante el tiempo en el que CNT está a 1 el contador debe estar parado. En caso de llegar al máximo la cuenta (CNT) también se reinicia a 0.

- Dibuje el diagrama de bloques del contador indicando los tamaños de las señales y el tipo de estas.
- Implemente el contador en VHDL en un único proceso, incluyendo las declaraciones de las variables/señales y las posibles conversiones/casteos que fuesen necesarios.

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

4. Se desea realizar un contador decimal síncrono ascendente que cuente desde d'0 hasta d'1000 con un reset síncrono a nivel bajo (RST) y que cuando la cuenta en CNT alcance el valor de d'1000 se active una señal a nivel alto (RDY). Cuando se produce el reset se debe poner la cuenta a 0 y limpiar la salida.

a) Identifique las señales internas, variables de entrada y salida. Indique la longitud en bits de cada una de las señales y como lo ha calculado.

b) Implemente el contador en VHDL en un único proceso, incluyendo las declaraciones de las variables/señales y las posibles conversiones/asteos que fuesen necesarios. Recuerde inicializar las señales necesarias.

5. Se quiere implementar un sistema de control de aforo que permita visualizar en un marcador el número de personas que hay en el local. Este control tiene que permitir sumar y restar las personas que entren/salgan. Además, se deberá mostrar mediante tres señales el nivel de aforo ocupado (bajo, medio o alto) según sea inferior al 25% (medio), entre el 25% y el 50% medio y por encima del 50% alto. El aforo debe de ser configurable según se desee utilizando una señal de entrada. La interfaz propuesta para el sistema es la siguiente: Entradas: RST (reset asíncrono a nivel bajo), INC (Aumentar en 1 la ocupación), DEC (Disminuir en 1 la ocupación), AFORO (vector de 8 bits con el aforo máximo). Salidas: OCUP (Valor de la ocupación actual), BAJO (señal a nivel alto cuando la ocupación es inferior al 25%), MEDIO (señal a nivel alto cuando la ocupación está entre el 25% y el 50%), ALTO (señal a nivel alto cuando la ocupación es superior al 50%) y ERROR (señal a nivel bajo para indicar un error). Si se modifica el valor del aforo durante el funcionamiento del sistema la OCUP se debe conservar, si el valor del aforo se pone a 0 (invalido). Si se introduce un valor de AFORO inferior al valor de OCUP entonces se debe activar ALTO, ERROR y solo se permitirá decrementar OCUP. Si se pulsa INC y DEC a la vez se debe dejar OCUP igual.

Recuerda que dividiré entre 2 es rotar hacia la derecha en binario ej: b'100 -> b'10 rotar el primer número 4 da como resultado 2.

a) Indique las entradas y salidas del sistema y su tamaño en bits.

b) Utilice un patrón controlador datapath y dibuje los bloques conceptuales de cada una de las partes, interfaz y como interactúan.

c) Diseñe el ASM para la aplicación dada. Consejo: usar una máquina de estados con un único estado. Separar el calculo de BAJO, MEDIO, ALTO a un bloque combinacional fuera de la máquina de estados.

d) Escriba el código VHDL para el funcionamiento del sistema. Se pide usar una implementación con máquinas de estados mediante dos procesos (registros y lógica combinacional).



CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

- - -

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

7. Diseñe un circuito PWM que mediante una señal ancho 'W'(de 4 bits) permita seleccionar el ciclo de trabajo a 0000 el ciclo de trabajo es 100% y en cualquier otro caso es W/16. Se debe incluir un reset síncrono.

Un circuito PWM consiste en una salida que está activa durante una fracción del periodo del reloj. Para seleccionar ese ciclo de trabajo se va a utilizar la señal W. El circuito consta de un contador y un comparador.

- a) Haga una descripción de las entradas y salidas del bloque.
- b) Piense en el circuito y que valores tomará la salida según el valor del contador interno.
- c) Implemente en VHDL el circuito.
- d) ¿Qué debería cambiar para poder tener más precisión en el ciclo de trabajo?
¿Depende de la frecuencia del sistema?

The logo for Cartagena99 features the text 'Cartagena99' in a stylized, blue, serif font. The '99' is significantly larger and more prominent than the 'Cartagena' part. The text is set against a light blue background with a subtle gradient and a soft shadow effect.

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70